高性能 32 位多核处理器 SOC 芯片

S698PM 用户手册

（Ver：4.4）

严禁复制

珠 海 欧 比 特 宇 航 科 技 股 份 有 限 公 司

地址：广东省珠海市唐家东岸白沙路 1 号欧比特科技园　　邮编：519080

电话：0756-3391979　　传真：0756-3391980　　网址：www.myorbita.net

修改记录

版本变更	日期	修改内容
V1.0	2014-03-05	首次发布。
V1.1	2014-03-06	对 25.2 节信号定义修改为 TOP VIEW 视图。
V2.0	2014-05-10	重新整理排版。
V3.0	2016-05-10	增加了芯片陶瓷封装信息，增加了 Cache 说明。
V3.1	2016-08-04	完善电性参数内容,完善以太网控制器内容。
V3.2	2016-11-04	完善 L2 Cache 参数内容。
V3.3	2017-04-07	1.增加了 4.2 FPU 部分的内容；2.对外部 GPIO 中断增加了说明。
V4.0	2017-08-29	删除 SPI 模块三线传输内容，并重新整理发布。
V4.1	2018-03-19	更新了表 24-26 S698PM 中 1553B 模块 RT 子地址控制字(RT_SUB_CTRL)的定义。
V4.2	2018-05-03	更新 表 15-3 存储器配置寄存器 1 的 PROM WRITE WS，PROM READ WS 的的计算时间，更新了 1553B 循环缓冲模式说明。
V4.3	2018-07-24	1.增加了4.1.4.7内容，对在MMU关闭情况下，补充说明了物理地址0x40000000至0x5fffffff可访问。2.增加了图2-2上电或复位情况下的时序图。
V4.4	2018-11-06	1. 表 7-1 的 15 号中断增加了限制使用说明； 2. 表 15-2 的 DDRFTCFG 配置寄存器地址修改为 0xffe00020； 3. 更新了 PROM,SRAM,I/O 的时序图（图 15-1~图 15-14）。

版权声明

珠海欧比特宇航科技股份有限公司拥有此文件的版权，并有权将其作为保密资料处理。本文件包含由版权法保护的专有资料，版权所有，未经珠海欧比特宇航科技股份有限公司的书面同意不得将本文件的任何部分进行照相、复制、公开、转载或以其他方式散发给第三方，否则，必将追究其法律责任。

免责声明

本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，珠海欧比特宇航科技股份有限公司不承担任何责任。

珠海欧比特宇航科技股份有限公司

ZHUHAI ORBITA AEROSPACE SCIENCE & TECHNOLOGY CO. , LTD

地址(Addr)：广东省珠海市唐家东岸白沙路 1 号欧比特科技园

Orbita Tech Park, 1 Baisha Road, Tangjia Dong'an, Zhuhai, Guangdong, China

邮编：519080

电话(Tel)：+86 756-3391979

传真(Fax)：+86 756-3391980

网址(web)：www.myorbita.net

目 录

目 录 ..... **I**

表目录 ..... **IX**

图目录 **1**

1. 概述 **1**

1.1 产品简介 1
1.2 结构组成 2
1.3 主要特征 3
1.4 产品订货信息 5

2. 芯片初始化 **6**

2.1 上电或复位初始化过程 6
2.2 上电或复位需初始化参数配置 8
2.3 多核软件程序启动过程 10

3. 时钟信号发生模块 **10**

3.1 片内时钟域 10
3.2 时钟信号发生模块 12

4. 处理器核心 **15**

4.1 整型单元 IU 15
4.1.1 主要特性 *15*
4.1.2 指令 *16*
4.1.3 寄存器堆（Register File） *19*
4.1.4 专用寄存器 *22*
4.1.5 异常（Exception） *27*
4.1.6 复位操作 *29*
4.1.7 休眠模式（Power-down） *29*
4.1.8 多核处理器支持 *30*
4.2 浮点单元(FPU)和浮点控制器(FPC) 30
4.2.1 FPU 概述 *30*
4.2.2 FPU 功能描述 *30*
4.2.3 FPC 概述 *35*
4.2.4 FPC 的浮点寄存器文件（Floating-Point register file） *35*
4.2.5 SPARC 浮点状态寄存器（FSR） *35*
4.2.6 浮点异常和浮点延迟队列 *36*
4.3 一级缓存（L1 CACHE） 37
4.3.1 指令缓存(instration cache) *37*
4.3.2 数据缓存(data cache) *38*
4.3.3 缓存寄存器定义 *39*
4.4 存储器管理单元（MMU） 40
4.4.1 MMU 控制寄存器 *41*
4.4.2 MMU 上下文指针寄存器 *42*
4.4.3 MMU 上下文寄存器 *42*
4.4.4 MMU 错误状态寄存器 *42*
4.4.5 MMU 错误地址寄存器 *43*
4.4.6 MMU Flush 操作 *43*
4.4.7 MMU Bypass 操作 *43*

5. 二级缓存（L2 CACHE）.....44

5.1 读操作.....44
5.2 写操作.....45
5.3 FLUSH 操作.....45
5.4 诊断接口.....45
5.5 地址映射.....46
5.6 寄存器定义.....47
5.6.1 L2C 控制寄存器.....47
5.6.2 L2C 状态寄存器.....48
5.6.3 L2C flush 寄存器.....48
5.6.4 L2C flush 寄存器.....49
5.6.5 L2C 错误状态控制寄存器.....50
5.6.6 L2C 错误地址寄存器.....51
5.6.7 L2C TAG 位校验位寄存器.....51
5.6.8 L2C 数据校验位寄存器.....51
5.6.9 L2C scrub 控制状态寄存器.....51
5.6.10 L2C scrub 延迟寄存器.....52
5.6.11 L2C 错误注入寄存器.....52
5.6.12 L2C 存储器类型范围寄存器(L2CMTRR).....52

6. 地址空间分配.....53

6.1 内部地址空间分配.....53
6.2 APB 总线地址分配.....53
6.3 AHB 总线状态寄存器.....54
6.3.1 寄存器地址分配.....54
6.3.2 AHB 状态寄存器.....55
6.3.3 AHB 出错地址寄存器.....55

7. 中断控制器.....55

7.1 中断优先级.....56
7.2 中断信号流程及中断处理过程.....56
7.3 多处理器状态监视.....57
7.4 中断分配表.....57
7.5 外部中断扩展.....58
7.6 中断寄存器.....59
7.6.1 中断级别寄存器.....60
7.6.2 中断悬挂寄存器.....60
7.6.3 中断清除寄存器.....60
7.6.4 多处理器状态寄存器.....60
7.6.5 中断广播寄存器.....61
7.6.6 中断屏蔽寄存器.....61
7.6.7 处理器中断强制寄存器.....62
7.6.8 扩展中断响应寄存器.....62

8. 通用定时器.....62

8.1 通用定时器工作原理.....63
8.2 通用定时器寄存器.....66
8.2.1 预分频器计数值寄存器.....67
8.2.2 预分频器重载计数值寄存器.....67
8.2.3 通用定时器配置寄存器.....67
8.2.4 通用定时器定时值寄存器.....67
8.2.5 通用定时器重载值寄存器.....68

8.2.6 通用定时器控制寄存器 68

9. 锁存定时器 69

9.1 锁存定时器工作原理 69
9.2 锁存定时器寄存器 71
9.2.1 预分频器计数值寄存器 71
9.2.2 预分频器重载计数值寄存器 71
9.2.3 锁存定时器配置寄存器 72
9.2.4 锁存触发中断选择寄存器 72
9.2.5 锁存定时器定时值寄存器 72
9.2.6 锁存定时器重载值寄存器 73
9.2.7 锁存定时器控制寄存器 73
9.2.8 锁存定时器锁存值寄存器 73

10. 通用输入输出接口 GPIO 74

10.1 GPIO 的工作原理 74
10.2 GPIO 寄存器 75
10.2.1 GPIO 数据输入寄存器 76
10.2.2 GPIO 数据输出寄存器 76
10.2.3 GPIO 方向寄存器 76
10.2.4 GPIO 外部中断屏蔽寄存器 77
10.2.5 GPIO 外部中断极性寄存器 77
10.2.6 GPIO 外部中断方式寄存器 77
10.2.7 GPIO 外部中断映射配置寄存器 77

11. 多功能引脚配置寄存器 GPREG 78

11.1 概述 78
11.1.1 GPREG 通用寄存器 78

12. I²C 总线主控制器 79

12.1 概述 79
12.2 I²C 工作原理 79
12.3 I²C-MASTER 寄存器 81
12.3.1 I²C -master 时钟预分频(prescale)寄存器 81
12.3.2 I²C -master 控制寄存器 81
12.3.3 I²C-master 发送寄存器 82
12.3.4 I²C -master 接收寄存器 82
12.3.5 I²C -master 命令寄存器 82
12.3.6 I²C -master 状态寄存器 82
12.3.7 I²C-master 动态滤波器寄存器 83

13. 调试支持模块 DSU 83

13.1 DSU 简介 83
13.2 DSU 工作原理 84
13.3 DSU 寄存器映射表 85
13.3.1 DSU 寄存器映射表 85
13.3.2 DSU 控制寄存器 86
13.3.3 DSU 断点和单步寄存器 87
13.3.4 DSU 调试模式控制寄存器 87
13.3.5 DSU 陷阱寄存器 87
13.3.6 DSU 踪迹缓存时间标识计数器 87
13.3.7 DSU ASI 寄存器 87

13.3.8 DSU 踪迹缓存控制寄存器 *88*
13.3.9 DSU 踪迹缓存索引寄存器 *88*
13.3.10 DSU 踪迹缓存过滤控制寄存器 *88*
13.3.11 DSU 踪迹缓存过滤标识寄存器 *88*
13.3.12 DSU 踪迹缓存断点寄存器 *88*
13.3.13 DSU 命令踪迹控制寄存器 *89*
13.3.14 DSU 命令计数寄存器 *89*
13.3.15 AHB 观测控制寄存器 *89*
13.3.16 AHB 观测点数据寄存器 *89*

14. JTAG 接口控制器 90

14.1 概述 90
14.2 功能说明 90
14.3 寄存器说明 91
14.3.1 JTAG 命令/地址寄存器 *91*
14.3.2 JTAG 数据寄存器 *91*

15. 外部存储控制器 92

15.1 存储控制器简介 92
15.2 存储地址分配 92
15.3 存储器控制寄存器 92
15.3.1 存储器寄存器地址分配 *92*
15.3.2 存储器配置寄存器 1（MCFG1） *92*
15.3.3 存储器配置寄存器 2（MCFG2） *93*
15.3.4 存储器配置寄存器 3（MCFG3） *94*
15.3.5 DDR2 FT 配置寄存器 *94*
15.4 EDAC 控制器 95
15.4.1 概述 *95*
15.4.2 EDAC 校验的测试方法 *95*
15.4.3 EDAC 的配置 *96*
15.5 PROM 控制器 96
15.6 SRAM 控制器 99
15.7 I/O 设备 102
15.8 DDR2 SDRAM 控制器 103

16. 遥控遥测模块 TMTC 105

16.1 TMTC 简介 105
16.2 TM-遥测编码 105
16.2.1 TM 简介 *105*
16.2.2 参考资料 *106*
16.2.3 使用介绍 *107*
16.2.4 启动发送 *108*
16.2.5 发送数据后的处理 *108*
16.2.6 TM 寄存器描述 *108*
16.3 TC-遥控解码 113
16.3.1 TC 简介 *113*
16.3.2 参考资料 *114*
16.3.3 数据传送 *115*
16.3.4 命令链接控制字-CLCW *115*
16.3.5 TC 寄存器描述 *115*

17. SPACEWIRE 节点控制器 119

17.1 SPACEWIRE 总线简介 119
17.2 SPACEWIRE 节点控制器主要特征 120
17.3 SPACEWIRE 节点控制器实现的功能与工作流程 121
17.3.1 Spacewire 节点控制器实现的功能 121
17.3.2 Spacewire 节点控制器工作流程 121
17.4 SPACEWIRE 节点控制器结构 122
17.5 SPACEWIRE 节点控制器寄存器描述 124
17.5.1 Spacewire 节点控制器寄存器地址 124
17.5.2 Spacewire 节点控制器寄存器说明 124

18. SPI 总线主控制器 130

18.1 SPI 简介 130
18.2 SPI 工作原理 131
18.2.1 SPI 传输协议 131
18.2.2 SPI 时钟控制 132
18.2.3 SPI 从模式控制 133
18.2.4 SPI 主模式控制 133
18.3 SPI 控制寄存器描述 133
18.3.1 SPI 寄存器地址 133
18.3.2 SPI 性能寄存器 134
18.3.3 SPI 模式控制寄存器 134
18.3.4 SPI 事件寄存器 136
18.3.5 SPI 控制屏蔽寄存器 136
18.3.6 SPI 控制命令寄存器 137
18.3.7 SPI 控制传输寄存器 137
18.3.8 SPI 控制接收寄存器 137
18.3.9 SPI slave 选择寄存器 137

19. CAN 总线控制器 138

19.1 简介 138
19.2 CAN 控制器主要特征 138
19.3 结构框图 139
19.4 BASICCAN 模式寄存器 139
19.4.1 BasicCAN 模式寄存器映射 139
19.4.2 控制寄存器 140
19.4.3 命令寄存器 141
19.4.4 状态寄存器 141
19.4.5 中断寄存器 141
19.4.6 发送缓冲寄存器 142
19.4.7 接收缓冲寄存器 142
19.4.8 接收过滤寄存器 142
19.5 PELICAN 模式寄存器 143
19.5.1 PeliCAN 模式寄存器映射 143
19.5.2 模式寄存器 144
19.5.3 命令寄存器 144
19.5.4 状态寄存器 144
19.5.5 中断寄存器 145
19.5.6 中断允许寄存器 145
19.5.7 仲裁丢失捕捉寄存器 145
19.5.8 错误代码捕捉寄存器 146
19.5.9 错误报警限制寄存器 146
19.5.10 接收错误计数器 146

19.5.11 发送错误计数器 *147*
19.5.12 发送缓冲寄存器 *147*
19.5.13 接收缓冲寄存器 *148*
19.5.14 验收过滤寄存器 *149*
19.5.15 接收报文计数器 *151*
19.6 公共寄存器 151
19.6.1 时钟分频寄存器 *151*
19.6.2 总线定时 0 寄存器 *152*
19.6.3 总线定时 1 寄存器 *152*
19.7 信号数据帧组成 153

20. USB 主控制器 153

20.1 USB 主控制器(USBHC)简介 153
20.2 USB1.1 主机控制器架构 154
20.3 USB 主控制器(USBHC)工作原理 154
20.4 USB(UHC)主控寄存器 155
20.4.1 UHC I/O 寄存器（0x802A0000 - 0x802A0100） 155

21. 通用串行接口 UART 158

21.1 串口(UART)简介 158
21.2 串口(UART)工作原理 159
21.2.1 发送操作 *159*
21.2.2 接收操作 *160*
21.2.3 波特率设置 *160*
21.2.4 自环模式 *160*
21.2.5 FIFO 调试模式 *161*
21.2.6 中断机制 *161*
21.3 串口寄存器 161
21.3.1 UART 数据寄存器 *162*
21.3.2 UART 状态寄存器 *162*
21.3.3 UART 控制寄存器 *162*
21.3.4 UART 分频寄存器 *162*

22. 以太网控制器 163

22.1 以太网（ETHERNET）简介 163
22.2 以太网功能介绍 164
22.3 发送 DMA 通道 164
22.3.1 设置发送描述符 *164*
22.3.2 启动发送 *165*
22.3.3 发送数据后的处理 *165*
22.3.4 设置发送数据 *165*
22.4 接收 DMA 通道 166
22.4.1 设置接收描述符 *166*
22.4.2 启动接收 *167*
22.4.3 接收数据后的处理 *167*
22.4.4 接收过程中 AHB 错误 *167*
22.4.5 接收 MAC 地址 *167*
22.5 MDIO 接口 167
22.6 以太网调试通信链路(EDCL) 168
22.6.1 使用介绍 *168*
22.6.2 EDCL 协议 *168*
22.7 以太网控制器寄存器 169

22.7.1 以太网控制寄存器 *169*
22.7.2 以太网状态寄存器 *170*
22.7.3 MAC 地址 MSB *170*
22.7.4 MAC 地址 LSB *171*
22.7.5 MDIO 寄存器 *171*
22.7.6 以太网发送描述符表基地址寄存器 *171*
22.7.7 以太网接收描述符表基地址寄存器 *171*
22.7.8 以太网 EDCL IP 寄存器 *172*
22.7.9 以太网 Hash 表 MSB 寄存器 *172*
22.7.10 以太网 Hash 表 MSB 寄存器 *172*
22.7.11 EDCL MAC 地址 MSB *172*
22.7.12 EDCL MAC 地址 LSB *172*
22.8 以太网控制器自动协商机制使用说明 173
22.8.1 以太网模块的自动协商机制 *173*
22.8.2 MDIO ctrl/status register 第 3 位 Busy 信号的自动置位 *173*
22.8.3 如何将 Busy 信号置为 0 ..... *173*
22.8.4 以太网外围硬件电路配置 *173*

23. DDR2 存储器控制器 174

23.1 DDR2SPA 简介 174
23.2 DDR2SPA 操作 174
23.2.1 概述 *174*
23.2.2 DDR2 控制器的初始化 *175*
23.2.3 DDR2 控制器对大容量存储器的支持 *176*
23.2.4 DDR2 控制器可配的时需参数 *176*
23.2.5 DDR2 控制器的刷新操作 *177*
23.2.6 DDR2SDRAM 控制命令 *177*
23.2.7 寄存 SDRAM 总线 *178*
23.2.8 DDR2 时钟 *178*
23.3 DDR2 纠错 178
23.3.1 概述 *178*
23.3.2 数据的传送 *178*
23.3.3 校验位的访问 *179*
23.4 DDR2SPA 寄存器列表 179
23.4.1 DDR2SPA 控制寄存器 *179*
23.4.2 DDR2SPA 配置寄存器 2 ..... *180*
23.4.3 DDR2SPA 配置寄存器 3 ..... *180*
23.4.4 DDR2SPA 配置寄存器 4 ..... *180*
23.4.5 DDR2SPA 配置寄存器 5 ..... *181*
23.4.6 DDR2 FT 配置寄存器 *181*
23.4.7 DDR2 FT 诊断地址寄存器 *181*
23.4.8 DDR2 FT 诊断纠错位寄存器 *182*
23.4.9 DDR2 FT 诊断数据寄存器 *182*
23.4.10 DDR2 FT 边界地址寄存器 *182*

24. 1553B 总线控制器 182

24.1 主要特征 182
24.2 结构描述 184
24.3 功能描述 186
24.3.1 总线控制器（BC） *186*
24.3.2 远程终端（RT） *186*
24.3.3 总线监视器（BM） *187*

24.4 地址空间分配 187
24.5 寄存器定义及描述 187
24.6 模块工作方式描述 205
24.6.1 BC 总线控制器工作方式 205
24.6.2 RT 远程终端工作方式 207
24.6.3 BM 总线监视器工作方式 213
24.7 时序图 215
24.8 应用说明 215
24.8.1 1Mbps 外围接口 216
24.8.2 10Mbps 外围接口 216
24.8.3 BC 总线控制器应用案例 217
24.8.4 RT 远程终端应用案例 218
24.8.5 BM 总线监视器应用案例 219

25. 封装和信号定义 220

25.1 塑封球栅阵列 220
25.1.1 塑料封装信号引脚定义 222
25.1.2 塑料封装电源引脚定义 234
25.2 陶封柱栅阵列 236
25.2.1 陶瓷封装信号引脚定义 237
25.2.2 陶瓷封装电源引脚定义 249

26. 工作条件及电气特性 250

表目录

表 1-1 S698PM 芯片产品订货信息.....5
表 2-1 S698PM 芯片上电或复位需配置信号.....8
表 3-1 S698PM 芯片内部时钟域.....11
表 3-2 S698PM 芯片时钟相关的引脚信号.....11
表 4-1 S698PM 芯片指令周期.....19
表 4-2 S698PM 芯片的指令可以访问 32 个通用寄存器.....20
表 4-3 S698PM 芯片陷阱及其优先级分配表.....28
表 4-4 IU 内部部分寄存器复位状态.....29
表 4-5 FPU 操作.....31
表 4-6 输出与延迟.....33
表 4-7 NaNs 操作.....35
表 4-8 L1 Cache 寄存器列表.....39
表 4-9 Cache 控制寄存器位描述.....39
表 4-10 ICache 配置寄存器位描述.....40
表 4-11 DCache 配置寄存器位描述.....40
表 4-12 MMU 寄存器列表.....41
表 4-13 MMU 控制寄存器.....41
表 4-14 MMU 上下文指针寄存器.....42
表 4-15 MMU 上下文寄存器.....42
表 4-16 MMU 错误状态寄存器.....42
表 4-17 MMU 错误地址寄存器.....43
表 5-1 S698PM 芯片二级缓存相关的地址映射.....46
表 5-2 L2C 控制寄存器.....47
表 5-3 L2C 状态寄存器.....48
表 5-4 L2C FLUSH 寄存器 1(MEMORY ADDRESS).....48
表 5-5 L2C FLUSH 寄存器 2(SET, INDEX).....49
表 5-6 L2C 错误状态控制寄存器.....50
表 5-7 错误地址寄存器.....51
表 5-8 TAG 校验位寄存器.....51
表 5-9 数据校验位寄存器.....51
表 5-10 L2C SCRUB 控制状态寄存器.....51
表 5-11 L2C SCRUB 延迟寄存器.....52
表 5-12 L2C 错误注入寄存器.....52
表 5-13 L2C 存储器类型范围寄存器.....52
表 6-1 S698PM 芯片内部地址空间分配.....53
表 6-2 S698PM 芯片 APB 总线地址分配.....53
表 6-3 寄存器地址分配.....54
表 6-4 AHB 状态寄存器(AHB STATUS).....55
表 6-5 AHB 出错地址寄存器(AHB FAIL ADDR).....55
表 7-1 S698PM 芯片的中断列表.....58
表 7-2 中断控制寄存器列表.....59
表 7-3 中断级别寄存器 ILR.....60
表 7-4 中断悬挂寄存器 IPR.....60
表 7-5 中断清除寄存器 ICR.....60
表 7-6 多处理器状态寄存器 MSR.....60
表 7-7 中断广播寄存器 IBR.....61
表 7-8 中断屏蔽寄存器 IMR.....61
表 7-9 中断强制寄存器.....62
表 7-10 扩展中断响应寄存器.....62

表 8-1 寄存器地址分配 66
表 8-2 预分频器计数值寄存器(PRESCALER VALUE) 67
表 8-3 预分频器重载计数值寄存器(PRESCALER RELOAD VALUE) 67
表 8-4 通用定时器配置寄存器(TIMER CONFIG) 67
表 8-5 通用定时器定时值寄存器(TIMERN VALUE) 67
表 8-6 通用定时器重载值寄存器(TIMERN RELOAD VALUE) 68
表 8-7 通用定时器控制寄存器(TIMER CONTROL) 68
表 9-1 锁存定时器寄存器地址分配 71
表 9-2 预分频器计数值寄存器(PRESCALER VALUE) 71
表 9-3 预分频器重载计数值寄存器(PRESCALER RELOAD VALUE) 71
表 9-4 锁存定时器配置寄存器(LTIMER CONFIG) 72
表 9-5 锁存触发中断选择寄存器(LTIMER LATCH INT SELECT) 72
表 9-6 锁存定时器定时值寄存器(COUNTER VALUR) 72
表 9-7 锁存定时器重载值寄存器(RELOD VALUR) 73
表 9-8 锁存定时器控制寄存器(LTIMER CONTROL) 73
表 9-9 锁存定时器的锁存值寄存器(LTIMER LATCH VALUE) 73
表 10-1 GPIO 寄存器地址分配 75
表 10-2 GPIO 数据输入寄存器(INPUT) 76
表 10-3 GPIO 数据输出寄存器(OUTPUT) 76
表 10-4 GPIO 方向寄存器(DIRECTION) 76
表 10-5 GPIO 外部中断屏蔽寄存器(INT MASK) 77
表 10-6 GPIO 外部中断极性寄存器(INT POLA) 77
表 10-7 GPIO 外部中断方式寄存器(EDGE) 77
表 10-8 GPIO 外部中断映射配置寄存器 N（0≤N≤7） 77
表 11-1 多功能引脚配置 GPREG 寄存器地址 78
表 11-2 多功能引脚配置 GPREG 寄存器 78
表 12-1 I²C-MASTER 寄存器 81
表 12-2 I²C-MASTER 时钟预分频(PRESCALE)寄存器 81
表 12-3 I²C-MASTER 控制寄存器 81
表 12-4 I²C-MASTER 发送寄存器 82
表 12-5 I²C-MASTER 接收寄存器 82
表 12-6 I²C-MASTER 命令寄存器 82
表 12-7 I²C-MASTER 状态寄存器 82
表 12-8 I²C-MASTER 动态滤波器寄存器 83
表 13-1 DSU 寄存器映射表 85
表 13-2 DSU 控制寄存器 86
表 13-3 DSU 断点和单步寄存器 87
表 13-4 DSU 调试模式控制寄存器 87
表 13-5 DSU 陷阱寄存器 87
表 13-6 DSU 踪迹缓存时间标识寄存器 87
表 13-7 DSU ASI 寄存器 87
表 13-8 DSU 踪迹缓存控制寄存器 88
表 13-9 DSU 踪迹缓存索引寄存器 88
表 13-10 DSU 踪迹缓存过滤控制寄存器 88
表 13-11 DSU 踪迹缓存过滤标识寄存器 88
表 13-12 DSU 踪迹缓存断点寄存器 88
表 13-13 DSU 命令踪迹控制寄存器 89
表 13-14 DSU 命令计数寄存器 89
表 13-15 AHB 观测控制寄存器 89
表 13-16 AHB 观测点数据寄存器 89
表 14-1 JTAG 命令/地址寄存器 91
表 14-2 JTAG 数据寄存器 91

表 15-1 存储器控制器地址分配表.....92
表 15-2 EDAC 寄存器地址分配列表.....92
表 15-3 存储器配置寄存器 1.....92
表 15-4 存储器配置寄存器 2.....93
表 15-5 存储器配置寄存器 3.....94
表 15-6 DDR2 FT 配置寄存器.....94
表 16-1TM 发送描述符字 0.....107
表 16-2 TM 发送描述符字 1.....107
表 16-3 TM 寄存器地址.....108
表 16-4 DMA 控制寄存器.....109
表 16-5 DMA 状态寄存器.....109
表 16-6 DMA 长度寄存器.....109
表 16-7 DMA 描述符指针寄存器.....109
表 16-8 DMA 配置寄存器.....110
表 16-9 DMA 修正寄存器.....110
表 16-10 外部 VC 控制&状态寄存器.....110
表 16-11 DMA 外部 VC 描述符指针寄存器.....110
表 16-12 控制寄存器.....110
表 16-13 配置寄存器.....110
表 16-14 物理层寄存器.....111
表 16-15 编码子层寄存器.....111
表 16-16 添加同步标志寄存器.....112
表 16-17 所有帧产生寄存器.....112
表 16-18 主帧产生寄存器.....112
表 16-19 空闲帧产生寄存器.....112
表 16-20 副帧头/插入区寄存器 0.....112
表 16-21 副帧头/插入区寄存器 1.....113
表 16-22 副帧头/插入区寄存器 2.....113
表 16-23 副帧头/插入区寄存器 3.....113
表 16-24 操作控制域寄存器.....113
表 16-25 TC 寄存器地址.....115
表 16-26 TC 全局复位寄存器.....116
表 16-27 TC 全局控制寄存器.....116
表 16-28 TC 物理接口屏蔽寄存器.....116
表 16-29 TC 航天器标识符寄存器.....116
表 16-30 TC 帧接收报告寄存器.....117
表 16-31 TC 命令链接控制字寄存器 1.....117
表 16-32 TC 命令链接控制字寄存器 2.....117
表 16-33 TC 物理接口寄存器.....118
表 16-34 TC 控制寄存器.....118
表 16-35 TC 状态寄存器.....118
表 16-36 TC 地址空间寄存器.....118
表 16-37 TC 接收读指针寄存器.....118
表 16-38 TC 接收写指针寄存器.....119
表 16-39 TC 中断寄存器.....119
表 17-1 SPACEWIRE 节点控制器主要模块说明.....123
表 17-2 SPACEWIRE 节点控制器寄存器地址.....124
表 17-3 SPW 控制寄存器.....124
表 17-4 SPW 状态寄存器.....125
表 17-5 SPW 节点地址寄存器.....126
表 17-6 SPW 时钟分频器寄存器.....126
表 17-7 SPW 目标关键字寄存器.....126

表 17-8 SPW 时间寄存器 126
表 17-9 SPW DMA 控制寄存器 127
表 17-10 SPW 接收最长数据包寄存器 128
表 17-11 SPW 发送器描述符表地址寄存器 128
表 17-12 SPW 接收描述符表地址寄存器 128
表 17-13 SPW 通道地址寄存器 128
表 17-14 SPW 接收描述符寄存器 0 128
表 17-15 SPW 接收描述符寄存器 1 129
表 17-16 SPW 发送描述符寄存器 0 129
表 17-17 SPW 发送描述符寄存器 1 130
表 17-18 SPW 发送描述符寄存器 2 130
表 17-19 SPW 发送描述符寄存器 3 130
表 18-1 SPI 寄存器地址 133
表 18-2 SPI 性能寄存器 134
表 18-3 SPI 模式控制寄存器 134
表 18-4 SPI 事件寄存器 136
表 18-5 SPI 控制屏蔽寄存器 136
表 18-6 SPI 控制命令寄存器 137
表 18-7 SPI 控制传输寄存器 137
表 18-8 SPI 控制接收寄存器 137
表 18-9 SPI SLAVE 选择寄存器 137
表 19-1 BASICCAN 偏移地址分配（基地址为：0x80200000） 139
表 19-2 控制寄存器（CR） 141
表 19-3 命令寄存器（CMR） 141
表 19-4 状态寄存器（SR） 141
表 19-5 中断寄存器（IR） 141
表 19-6 发送缓冲器 142
表 19-7 PELICAN 偏移地址分配 143
表 19-8 模式寄存器（MOD） 144
表 19-9 命令寄存器（CMR） 144
表 19-10 状态寄存器 144
表 19-11 中断寄存器（IR） 145
表 19-12 中断允许寄存器（IER） 145
表 19-13 仲裁丢失捕捉寄存器（ALC） 145
表 19-14 仲裁丢失捕捉寄存器（ALC） 146
表 19-15 错误代码说明（ALC.7:6） 146
表 19-16 错误代码说明（ALC.4:0） 146
表 19-17 发送缓冲器 147
表 19-18 发送帧信息（此位段在 SFF 和 EFF 帧中相同） 147
表 19-19 发送标识符 1（此位段在 SFF 帧和 EFF 帧中相同） 147
表 19-20 发送标识符 2，SFF 帧 147
表 19-21 发送标识符 2，EFF 帧 147
表 19-22 发送标识符 3，EFF 帧 147
表 19-23 发送标识符 4，EFF 帧 148
表 19-24 接收缓冲寄存器 148
表 19-25 接收帧信息（此位段在 SFF 和 EFF 帧中相同） 148
表 19-26 接收标识符 1（此位段在 SFF 帧和 EFF 帧中相同） 148
表 19-27 接收标识符 2，SFF 帧 148
表 19-28 接收标识符 2，EFF 帧 149
表 19-29 接收标识符 3，EFF 帧 149
表 19-30 接收标识符 4，EFF 帧 149
表 19-31 验收过滤寄存器 149

表 19-32 时钟分频寄存器（CDR）.....151
表 19-33 总线定时 0 寄存器（BTR0）.....152
表 19-34 总线定时 1 寄存器（BTR1）.....152
表 20-1 UHC I/O 寄存器.....155
表 20-2 UHC I/O 命令寄存器.....155
表 20-3 UHC I/O 状态寄存器.....156
表 20-4 UHC I/O 中断使能寄存器.....156
表 20-5 UHC I/O 帧索引寄存器.....156
表 20-6 UHC I/O 帧列表基地址寄存器.....157
表 20-7 UHC I/O 起始帧修改寄存器.....157
表 20-8 UHC I/O 端口状态与控制表寄存器.....157
表 21-1 UART 寄存器.....161
表 21-2 UART 数据寄存器.....162
表 21-3 UART 状态寄存器.....162
表 21-4 UART 控制寄存器.....162
表 21-5 UART 分频寄存器.....162
表 22-1 以太网发送描述符字 0.....164
表 22-2 以太网发送描述符字 1.....165
表 22-3 以太网接收描述符字 0.....166
表 22-4 以太网接收描述符字 1.....166
表 22-5 的数据包格式.....168
表 22-6 EDCL 接收数据包的应用协议域.....168
表 22-7 以太网控制器寄存器.....169
表 22-8 以太网控制寄存器.....169
表 22-9 以太网状态寄存器.....170
表 22-10 以太网 MAC 地址 MSB 寄存器.....170
表 22-11 以太网 MAC 地址 LSB 寄存器.....171
表 22-12 以太网 MDIO 寄存器.....171
表 22-13 以太网发送描述符表基地址寄存器.....171
表 22-14 以太网接收描述符表基地址寄存器.....171
表 22-15 以太网 EDCL IP 寄存器.....172
表 22-16 以太网 HASH 表 MSB 寄存器.....172
表 22-17 以太网 HASH 表 MSB 寄存器.....172
表 22-18 以太网 EDCL MAC 地址 MSB 寄存器.....172
表 22-19 以太网 EDCL MAC 地址 LSB 寄存器.....172
表 23-1 DDR2PHY 的配置参考参数值.....175
表 23-2 DDR2PHY 的配置参考参数值.....177
表 23-3 DDR2 典型配置参考参数值.....177
表 23-4 DDR2SPA 寄存器地址(0XFFE00000~0XFFE000FF).....179
表 23-5 DDR2SPA 控制寄存器（DDR2 SRAM CONTROL REGISTER（DDR2CFG1））.....179
表 23-6 DDR2SPA 配置寄存器（DDR2 SRAM CONFIG REGISTER2（DDR2CFG2），只读）.....180
表 23-7 DDR2SPA 配置寄存器（DDR2 SRAM CONFIGURATION REGISTER3（DDR2CFG3））.....180
表 23-8 DDR2SPA 配置寄存器（DDR2 SRAM CONFIGURATION REGISTER4（DDR2CFG4））.....180
表 23-9 DDR2SPA 配置寄存器（DDR2 SRAM CONFIGURATION REGISTER5（DDR2CFG5））.....181
表 23-10 DDR2 FT 配置寄存器（DDR2 FT CONFIGURATION REGISTER（DDR2FTCFG））.....181
表 23-11 DDR2 FT 诊断地址（DDR2 FT DIAGNOSTIC ADDRESS(DDR2FTDA））.....182
表 23-12 DDR2 FT 诊断纠错位（DDR2 FT DIAGNOSTIC CHECKBITS(DDR2FTDC））.....182
表 23-13 DDR2 FT 诊断数据（DDR2 FT DIAGNOSTIC DATA(DDR2FTDD））.....182
表 23-14 DDR2 FT 边界地址寄存器（DDR2 FT BOUNDARY ADDRESS REGISTER(DDR2FTBND））.....182
表 24-1 S698PM 中 1553B 模块各子模块说明.....185
表 24-2 S698PM 中 1553B 模块的端口信号说明.....185
表 24-3 S698PM 中 1553B 模块地址空间分配.....187

表 24-4 S698PM 中 1553B 模块寄存器偏移地址分配 188
表 24-5 S698PM 中 1553B 模块中断屏蔽寄存器（IMR） 188
表 24-6 S698PM 中 1553B 模块 BC 配置寄存器 1(BC-CFG1) 190
表 24-7 S698PM 中 1553B 模块 RT 配置寄存器 1(RT- CFG1) 191
表 24-8 S698PM 中 1553B 模块配置寄存器 2(CFG2) 192
表 24-9 S698PM 中 1553B 模块启动/复位寄存器（SRR） 192
表 24-10 S698PM 中 1553B 模块 BC/RT 命令堆栈指针寄存器(STACK_ADDR) 193
表 24-11 S698PM 中 1553B 模块 BM 初始命令堆栈指针寄存器（INIT_STACK_ADDR) 193
表 24-12 S698PM 中 1553B 模块时间标签寄存器 0（TTR） 194
表 24-13 S698PM 中 1553B 模块中断状态寄存器（INT_STA） 194
表 24-14 S698PM 中 1553B 模块配置寄存器 3(CFG3) 195
表 24-15 S698PM 中 1553B 模块配置寄存器 4(CFG4) 196
表 24-16 S698PM 中 1553B 模块配置寄存器 5(CFG5) 197
表 24-17 S698PM 中 1553B 模块 BM 数据堆栈指针寄存器（BM_STACK_ADDR) 197
表 24-18 S698PM 中 1553B 模块 1MBPS/10MBPS 配置寄存器（1M_10M_SEL) 197
表 24-19 S698PM 中 1553B 模块 BC 帧时间/RT 上一命令字寄存器（LAST_CMD) 197
表 24-20 S698PM 中 1553B 模块 RT 状态字寄存器(RT_STA) 198
表 24-21 S698PM 中 1553B 模块 RT BIT 字寄存器(RT_BIT_REG) 198
表 24-22 S698PM 中 1553B 模块时间标签寄存器 1（TTR1） 199
表 24-23 S698PM 中 1553B 模块 BC 控制字（BC_CTRL） 199
表 24-24 S698PM 中 1553B 模块 BC 命令字(BC_CMD) 200
表 24-25 S698PM 中 1553B 模块 BC 块状态字(BC_BLK) 201
表 24-26 S698PM 中 1553B 模块 RT 子地址控制字(RT_SUB_CTRL) 202
表 24-27 S698PM 中 1553B 模块 RT 块状态字(RT_BLK) 203
表 24-28 S698PM 中 1553B 模块 BM 块状态字(BM_BLK) 204
表 24-29 S698PM 中 1553B 模块 BC 存储器地址分配(4K 双口 RAM) 205
表 24-30 S698PM 中 1553B 模块 BC 消息格式 206
表 24-31 S698PM 中 1553B 模块 BC 消息格式（接上表） 207
表 24-32 S698PM 中 1553B 模块 RT 存储器地址分配(4K 双口 RAM) 207
表 24-33 S698PM 中 1553B 模块 RT 存储器查找表(LOOK_UP TABLE) 208
表 24-34 S698PM 中 1553B 模块 RT 存储器非法命令地址分配表(COMMAND ILLEGALIZING TABLE) 208
表 24-35 S698PM 中 1553B 模块 RT 存储器忙位查找表地址分配表(BUSY BIT LOOKUP TABLE) .209
表 24-36 S698PM 中 1553B 模块 RT 存储器方式代码选择中断表 209
表 24-37 S698PM 中 1553B 模块 RT 存储器方式代码选择中断表地址分配表 210
表 24-38 S698PM 中 1553B 模块 RT 存储器方式代码数据表 210
表 24-39 S698PM 中 1553B 模块已实现的方式代码 211
表 24-40 S698PM 中 1553B 模块 BM 存储器地址分配 213
表 24-41 S698PM 中 1553B 模块 BM 子地址分配表 214
表 25-1 塑料封装信号引脚定义 222
表 25-2 塑料封装电源引脚定义 234
表 25-3 陶瓷封装信号引脚定义 237
表 25-4 陶瓷封装电源引脚定义 249
表 26-1 S698PM 芯片关键参数极限范围 250
表 26-2 S698PM 芯片直流（DC）特性参数 251

图目录

图 1-1 S698PM 芯片结构框图 2
图 2-1 S698PM 芯片的复位及启动过程图 7
图 2-2 S698PM 芯片的复位及启动时序图 8
图 2-3 S698PM 芯片的多核软件程序启动过程图 10
图 3-1 时钟分频结构图 13
图 4-1 地址转换 17
图 4-2 S698PM 芯片窗口的寄存器结构 21
图 7-1 S698PM 芯片的中断控制器功能结构图 57
图 8-1 S698PM 芯片通用定时器结构图 65
图 9-1 S698PM 芯片锁存定时器结构图 70
图 10-1 S698PM 芯片 GPIO 结构示意图 74
图 12-1 I²C MASTER 结构框图 79
图 12-2 I²C 数据传输示意图 80
图 13-1 S698PM 内部 DSU 模块结构图 84
图 14-1 JTAG 控制器模块图 90
图 15-1 PROM 非连续读周期（0 等待） 97
图 15-2 PROM 连续读周期（0 等待） 97
图 15-3 PROM 读周期（3 等待） 98
图 15-4 PROM 写周期（0 等待） 98
图 15-5 PROM 写周期（3 等待） 99
图 15-6 静态 RAM 非连续读周期（0 等待） 99
图 15-7 静态 RAM 非连续读周期（3 等待） 100
图 15-8 静态 RAM 写周期（0 等待） 100
图 15-9 静态 RAM 写周期（3 等待） 101
图 15-10 静态 RAM READ-MODIFY-WRITE 周期（0 等待） 101
图 15-11 I/O 读周期（0 等待） 102
图 15-12 I/O 写周期（0 等待） 102
图 15-13 I/O 读周期（3 等待） 103
图 15-14 I/O 写周期（3 等待） 103
图 15-15 DDR2 SDRAM 读操作时序 104
图 15-16 DDR2 SDRAM 写操作时序 104
图 16-1 TM 结构框图 106
图 16-2 TC 结构框图 114
图 17-1 SPACEWIRE 节点控制器功能结构框图 123
图 18-1 SPI 控制器结构框图 131
图 18-2 SPI 控制器传输字节（0X55）的所有传输模式 132
图 19-1 CAN 控制器结构框图 139
图 19-2 信号数据帧组成 153
图 20-1 基于 AMBA 总线的 USB1.1 主机控制器 IP 核的结构 154
图 21-1 UART 结构框图 159
图 22-1 以太网内部结构图 163
图 23-1 DDR2SPA 结构图 174
图 24-1 S698PM 中 1553B 模块结构框图 185
图 24-2 S698PM 中 1553B 模块 BC 存储器管理 206
图 24-3 S698PM 中 1553B 模块 RT 单缓冲存储器管理 212
图 24-4 S698PM 中 1553B 模块 RT 循环缓冲存储器管理 213
图 24-5 S698PM 中 1553B 模块 RT 双缓冲存储器管理 213
图 24-6 S698PM 中 1553B 模块 BM 存储器管理 214
图 24-7 S698PM 中 1553B 模块发送波形 215
图 24-8 S698PM 中 1553B 模块接收波形 215

图 24-9 S698PM 中 1553B 模块数据频率编码之间的关系.....215
图 24-10 S698PM 中 1553B 模块 1M 外围接口原理图.....216
图 24-11 S698PM 中 1553B 模块 10M 接口原理图.....216
图 24-12 S698PM 中 1553B 模块 BC 程序流程图.....217
图 24-13 S698PM 中 1553B 模块 RT 程序流程图.....219
图 24-14 S698PM 中 1553B 模块 BM 程序流程图.....220
图 25-1 S698PM 芯片 BGA784 封装外形图.....220
图 25-2 S698PM 芯片 BGA784 封装外形图.....221
图 25-3 S698PM 芯片 BGA784 封装外形图.....222
图 25-4 S698PM 芯片 CCGA576 陶封封装外形图.....236
图 25-5 S698PM 芯片 CCGA576 陶封封装外形图.....237

1. 概述

1.1 产品简介

S698PM芯片是一款抗辐照型的高性能、高可靠、高集成度、低功耗的多核并行处理器SoC芯片。S698PM采用国际最先进LEON4内核，采用对称多处理架构（SMP），遵循SPARC V8标准，专为高端嵌入式实时控制及复杂计算等应用而设计。

S698PM芯片内部集成4个相同的高性能处理器核心，每个处理器核心均由32位RISC整型处理单元(IU)、双精度浮点处理单元(FPU)、高速一级缓存(L1 Cache)和存储器管理单元（MMU）等组成。

S698PM芯片采用AMBA2.0作为片内互联总线，其中采用128位带宽的AHB总线作为各处理器核心的互联总线，采用32位带宽的AHB总线作为片内高速外设的互联总线，采用32位带宽的APB总线作为片内低速外设的互联总线，各总线间通过桥接器交换数据。

S698PM芯片内部集成了丰富的片上外设，包括GPIO、UART、定时器、中断控制器、调试支持单元、存储器控制器、1M/10M 的1553B总线控制器、CAN总线控制器、10M/100M以太网控制器、SpaceWire总线节点控制器、CCSDS遥控遥测控制器、USB1.1主控器、SPI主控器、I2C主控器等功能模块。

S698PM芯片内嵌在线调试支持单元(DSU)，用户可以通过JTAG、UART或以太网等接口连接DSU来访问芯片内部的寄存器、存储器和片内外设，可以方便地进行软、硬件调试和开发。S698PM芯片支持RTEMS、 eCOS、VxWorks、Linux等实时嵌入式操作系统，用户可方便地实现嵌入式实时控制系统的高性能多核并行处理设计。

S698PM芯片芯片内部所有逻辑单元具有三模冗余（TMR）加固，片内与片外存储器进行了检错纠错（EDAC）加固，芯片抗辐照指标满足高可靠、抗辐照产品要求。

S698PM芯片可广泛应用在航空、航天、电子、核工业、兵器、船舶、测控、

工业控制等领域。

1.2 结构组成

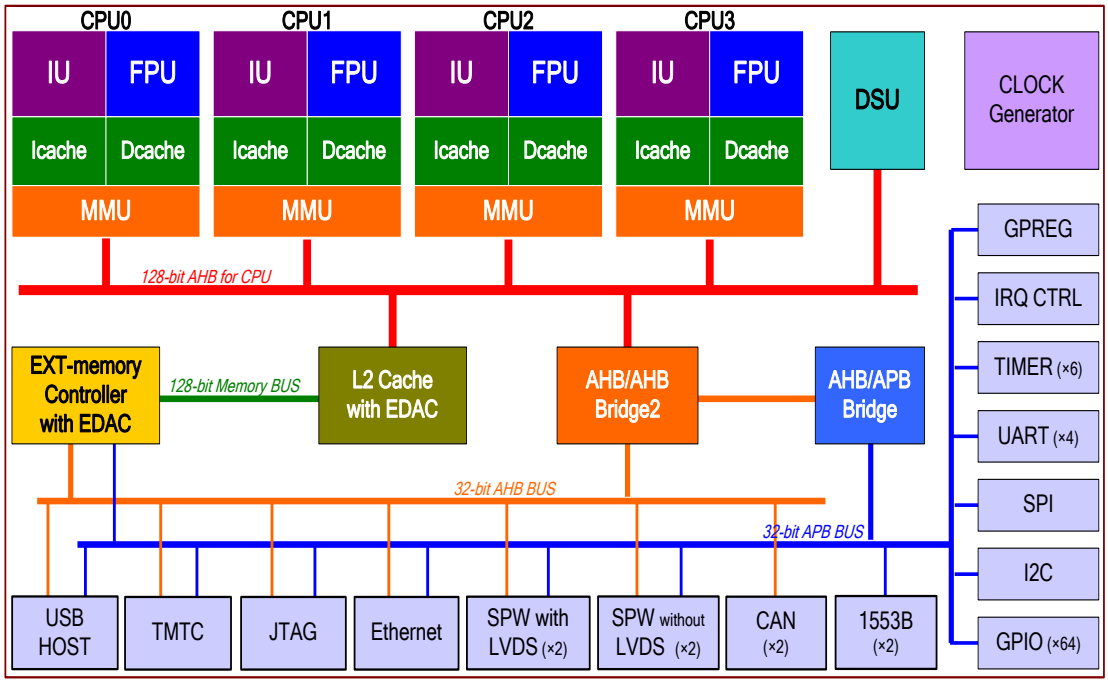


图 1-1 S698PM 芯片结构框图

上图中各个模块的说明如下：

1) CPU0～CPU3：4 个处理器核心；
2) IU：SPARC V8 整型处理单元；
3) FPU：双精度浮点处理单元；
4) Icache：指令缓存；
5) Dcache：数据缓存；
6) MMU：存储器管理单元；
7) DSU：调试支持单元；
8) CLOCK Generator：时钟信号发生器；
9) Ext-memory Controller with EDAC：具有检错纠错功能的外部存储器控制器；
10) L2 Cache with EDAC：具有检错纠错功能的二级缓存；
11) AHB/AHB Bridge：处理器核心互联 AHB 总线/外设 AHB 总线间的转换桥；
12) AHB/APB Bridge：外设 AHB 从总线/外设 APB 总线间的转换桥；
13) 128-bit AHB for CPU：128 位宽的 AHB 总线，用于处理器核心间的数据交换；
14) 128-bit Memory BUS：128 位宽的存储器数据总线；
15) 32-AHB BUS：32 位宽的外设 AHB 总线；
16) 32-APB BUS：32 位宽的外设 APB 总线；
17) USB1.1 HOST：USB1.1 主控制器；
18) TMTC：CCSDS 遥测遥控模块；
19) JTAG：JTAG 控制器；
20) Ethernet：10/100M 以太网控制器；
21) SPW with LVDS：内置 LVDS 驱动器的 SpaceWire 总线节点控制器；
22) SPW without LVDS：无内置 LVDS 驱动器的 SpaceWire 总线节点控制器；

23）CAN：CAN2.0 总线在控制器；
24）1553B：1553B 总线控制器；
25）GPREG：通用寄存器；
26）IRQ CTRL：中断控制器；
27）Timer：定时器；
28）UART：通用串行接口；
29）SPI：SPI 主控制器；
30）I2C：I2C 总线控制器；
31）GPIO：通用输入输出接口；

1.3 主要特征

- 采用对称多核（SMP）架构体系，片内集成了 4 个相同的处理器核心；
- 每个处理器核心配置了：
  - 32 位 SPARC V8 整型处理单元(IU)，符合 IEEE-1754 标准；
  - 64 位双精度浮点处理单元(FPU)，符合 IEEE-754 标准；
  - 一级缓存（含 32KB 指令缓存 ICache 和 16KB 数据缓存 DCache）；
  - 存储器管理单元 MMU；
  - 硬件乘法器和除法器；
  - 支持 MAC 和 UMAC 等 DSP 指令；
  - 7 级指令流水；
- 基于 AMBA2.0 标准总线的可裁减结构：
  - 各个处理器核互联总线：128-bit 带宽的 AHB；
  - 片内高速外设互联总线：32-bit 带宽的 AHB；
  - 片内低速外设互联总线：32-bit 带宽的 APB；
  - 128-bit AHB 与 32-bit AHB 间的转换桥：AHB/AHB bridge；
  - 32-bit AHB 与 32-bit APB 间的转换桥：AHB/APB bridge；
- 两级缓存结构：
  - L1 Cache：一级缓存，含 32KB ICache 和 16KB DCache，位于处理器核心中；
  - L2 Cache：二级缓存，512KB，位于外存储器控制器与 128-bit AHB 总线之间；
- 片内外设：
  - 存储器控制器，支持 ROM、SRAM、DDR2、MAP IO，支持 32 位、16 位和

8 位的数据位宽；

- 中断控制器，支持片内设备中断和可编程的外部中断；
- 4 通道的 SpaceWire 总线节点控制器，其中：
  - SPW0、SPW1 内置 LVDS 驱动器；
  - SPW2、SPW3 无内置 LVDS 驱动器，需要外扩驱动芯片；
- 2 通道的 1M/10M 速率 1553B 总线控制器；
- 2 通道的 CAN2.0 总线控制器；
- CCSDS 遥控遥测 TM/TC 模块；
- JTAG 控制器；
- 10/100M 自适应以太网控制器；
- USB1.1 HOST 接口；
- 在线硬件调试支持单元 DSU；
- 4 个 32 位的通用定时器（含一个看门狗定时器）；
- 2 个带锁存功能的定时器；
- 4 个通用串行接口；
- SPI 主控制器；
- I2C 总线控制器；
- 通用输入输出接口；

➢ 抗辐照加固设计

- 内部时序逻辑单元：TMR 加固；
- 内部存储器模块：EDAC 检错纠错；
- 外部存储器接口：EDAC 检错纠错；

➢ 推荐工作频率范围：≤ 500MHz

➢ 工作温度：-55℃～+125℃

➢ 性能指标：1652DMIPS@500MHz（Dhrystione 2.1），1015MFLOPS@500MHz（Whetstone）；

➢ 典型功耗：内核功耗≤2W@1V,500MHz；IO 功耗：≤0.3W@3.3V,500MHz；DDR2IO 功耗：≤ 0.7W@1.8V,500MHz；SpaceWireIO 功耗：≤ 0.02W@2.5V,500MHz；

- 工作电压：
  - 内核电压（符号 VDD）：1.0V±0.1V；
  - 普通 IO 电压（除 DDR2 和 USB 的 IO 外,符号 VDD_33）：3.3V±0.3V；
  - DDR2 的 IO 电压(符号 VDD_18)：1.8V±0.15V；
  - USB 的 IO 电压(符号 VDD_25,VDD_33)： 数字电压 2.5V±0.2V、模拟电压 3.3V±0.3V；
  - SpaceWire 的 IO 电压(符号 VDD_25,VDD_33)：带片内 LVDS 的 IO 口为 2.5V±0.2V，LVDS 差分 350mV；不带片内 LVDS 的 IO 口为 3.3V±0.3V；
- 抗辐性能：
  - 芯片内部触发器全部采用 TMR 技术加固，内部存储器全部采用了 EDAC 技术加固，外部存储器控制器带有 EDAC 功能，能很好的抗单粒子翻转（SEU）；
  - TID: ≥300Krad(Si)； SEL: ≥99.8 MeV.cm2/mg； SEU: 优于 1E-5 Error/Component/Day。
- 封装：
  - 塑料球形阵列 PBGA784，工业级，S698PM-PI；
  - 陶瓷柱形阵列 CCGA576，陶瓷工程样片，S698PM-CE；
  - 陶瓷柱形阵列 CCGA576，军级，S698PM-CMM；
  - 陶瓷柱形阵列 CCGA576，宇航级，S698PM-CMS；
- 软硬件开发环境：
  - 集成开发环境（IDE）：Orion 6.0；
  - 操作系统（EOS）：VxWorks6.7、Snapgear Linux、eCos；
  - FPGA 原型验证系统：S698PM-DVKit；
  - ASIC 应用开发系统：S698PM-DKit；
  - 全套测试例程源码；

1.4 产品订货信息

表 1-1 S698PM 芯片产品订货信息

序号	产品型号	产品描述	备注

序号	产品型号	产品描述	备注
1	S698PM-ASIC-IP-F	ASIC 版本固核（ASIC 网表）	/
2	S698PM-FPGA-IP-V	FPGA 版本固核（FPGA 网表）	/
3	S698PM-RTL-IP-S	软核（RTL 源码）	/
4	S698PM-PI	塑封 PBGA784，工业级芯片	/
5	S698PM-CE	陶封 CCGA576，工程样片	/
6	S698PM-CMM	陶封 CCGA576，-55℃～+125℃，GJB548B-2005 B 级，MIL-PRF-38535 Q 级	/
7	S698PM-CMS	陶封 CCGA576，-55℃～+125℃，GJB548B-2005 S 级，MIL-PRF-38535 V 级	/

2. 芯片初始化

2.1 上电或复位初始化过程

当系统给 S698PM 芯片上电，S698PM 芯片便进入上电初始化过程。芯片处于被正常供电状态时，若芯片的外引脚 RESETN 连续保持 3 个外部时钟 CLOCK1 周期宽度的低电平，S698PM 芯片便进入复位初始化过程。上电初始化和复位初始化过程相同。S698PM 芯片的上电或复位初始化过程如下图 2-1 所示。

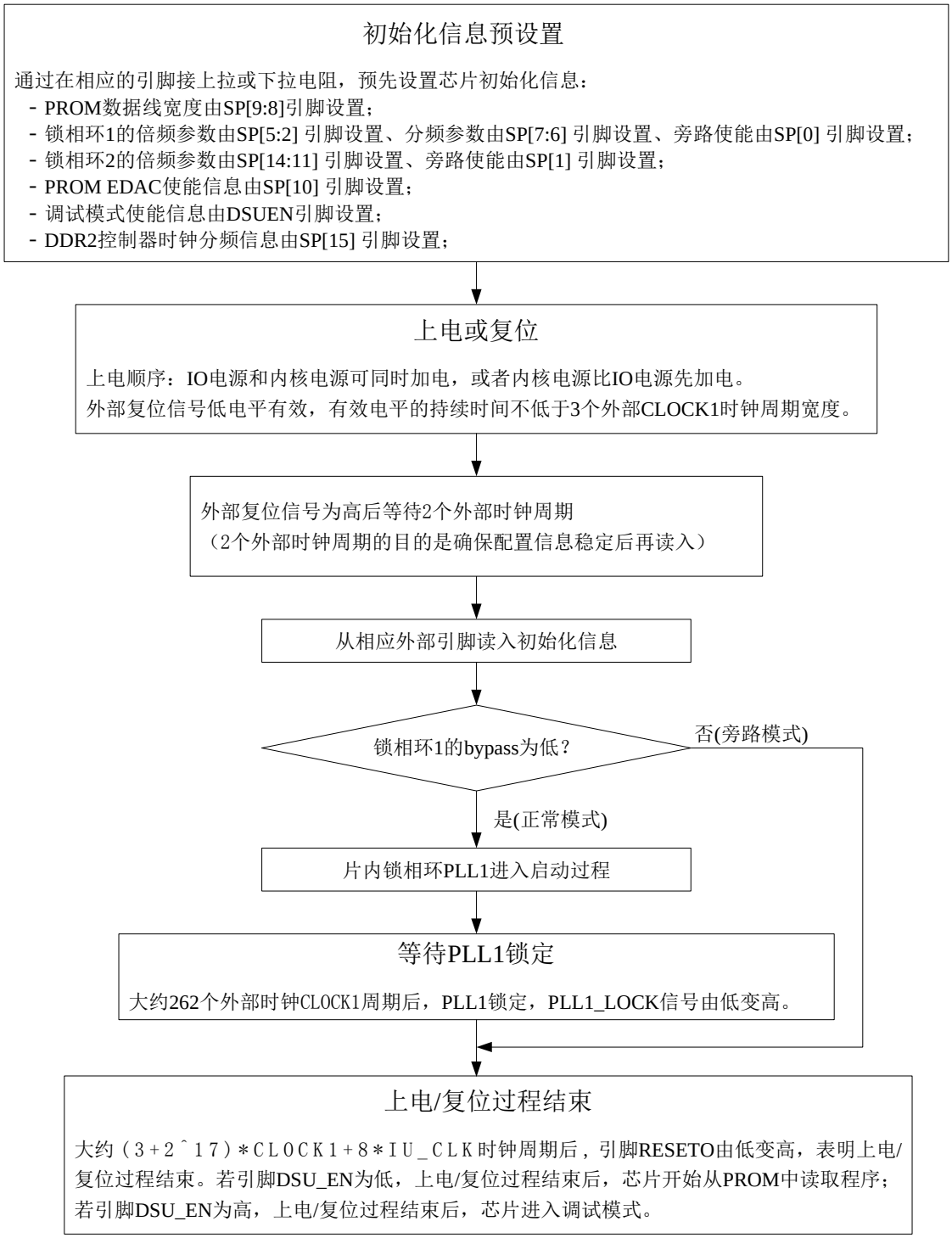


图 2-1 S698PM 芯片的复位及启动过程图

PLL 正常工作模式下(BYPASS=0)，芯片上电开始，外部输入时钟 CLOCK1 有效(10M-60MHz 输入)，同时在外部复位输入 RESETN 信号为 0 时，芯片在 RESETN 相对 CLOCK1 的第 2 个周期时间后完成对 PLL 配置信息的采集(PLL1 为 SP[0]、SP[2:5]、SP[6:7]、SP[15]管脚，PLL2 为 SP[11:14]、SP[1]管脚)，为了保证

PLL 稳定工作，对应 SP 脚状态需保持到 RESETN 变为 1 之后 2 个 CLOCK1 时钟后方可改变做其他复用管脚使用。

PLL 在第 3 个 CLOCK1 时钟时，IU_CLK 开始输出时钟，在不分频模式时，SP[6:7]=00 时，SYSCLK 也会在第 3 个 CLOCK1 时间开始输出时钟，SP[15]=0 时，DDR2_CLK 也会在第 3 个 CLOCK1 时间开始输出时钟，SP[6:7]/=00 时，SYSCLK 在 RESETO 变为 1 前 8*IUCLK 时间开始输出时钟，SP[15]/=0 时，DDR2_CLK 在 RESETO 变为 1 前 8*IUCLK 时间开始输出时钟。复位状态输出 RESETO 会在 RESETN 变为 1 后的(3+2^17)*CLOCK1+8*IU_CLK 时间后变为 1。芯片内核及外设在 RESETO 变为 1 后开始工作，如下图 2-2 所示。

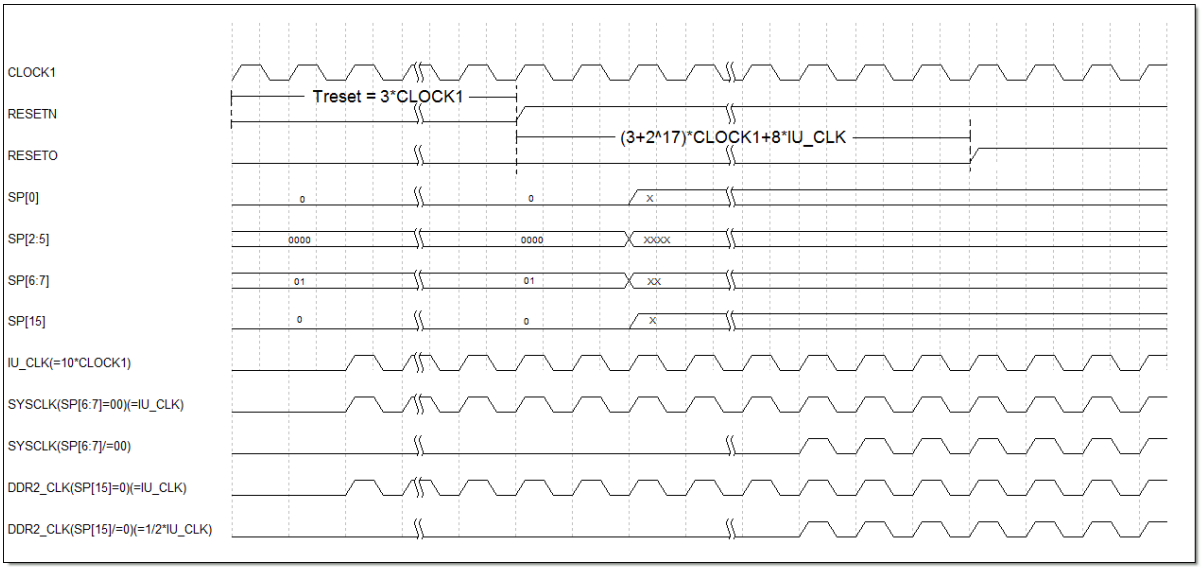


图 2-2 S698PM 芯片的复位及启动时序图

2.2 上电或复位需初始化参数配置

S698PM 芯片的上电或复位初始化配置参数，由初始化过程时间段内，相应引脚的电平状态确定，系统设计时，可以通过在相应的引脚上接上拉或下拉电阻方式，来设置电平状态。具体如表 2-1 所示。

表 2-1 S698PM 芯片上电或复位需配置信号

序号	引脚名	描述
1	DSUEN	芯片的调试模式使能，高电平有效。

序号	引脚名	描述
2	SP[0]	时钟及复位信号发生器中的锁相环 1（PLL1）旁路使能，高电平有效。
3	SP[1]	时钟及复位信号发生器中的锁相环 2（PLL2）旁路使能，高电平有效。
4	SP[2:5]	时钟及复位信号发生器中的锁相环 1（PLL1）倍频参数。
5	SP[6:7]	时钟及复位信号发生器中的锁相环 1（PLL1）分频参数。
6	SP[8:9]	PROM 数据总线宽度选择： 00：8-bit、10：16-bit、01 或 11：32-bit。
7	SP[10]	PROM EDAC功能使能，高电平有效。
8	SP[11:14]	时钟及复位信号发生器中的锁相环 2（PLL2）倍频参数。
9	SP[15]	第一功能：DDR2 控制器模块时钟分频设置： 1：DDR2 控制器模块时钟频率为 IU 时钟频率的二分频； 0：DDR2 控制器模块时钟频率与 IU 时钟频率相同； 第二功能：以太网调试器（EDCL）使能设置： 1：非使能使能 EDCL； 0： 使能 EDCL； 因此在使用 EDCL 功能时相应的 DDR2 时钟不能分频，与 IU 时钟频率相同。

2.3 多核软件程序启动过程

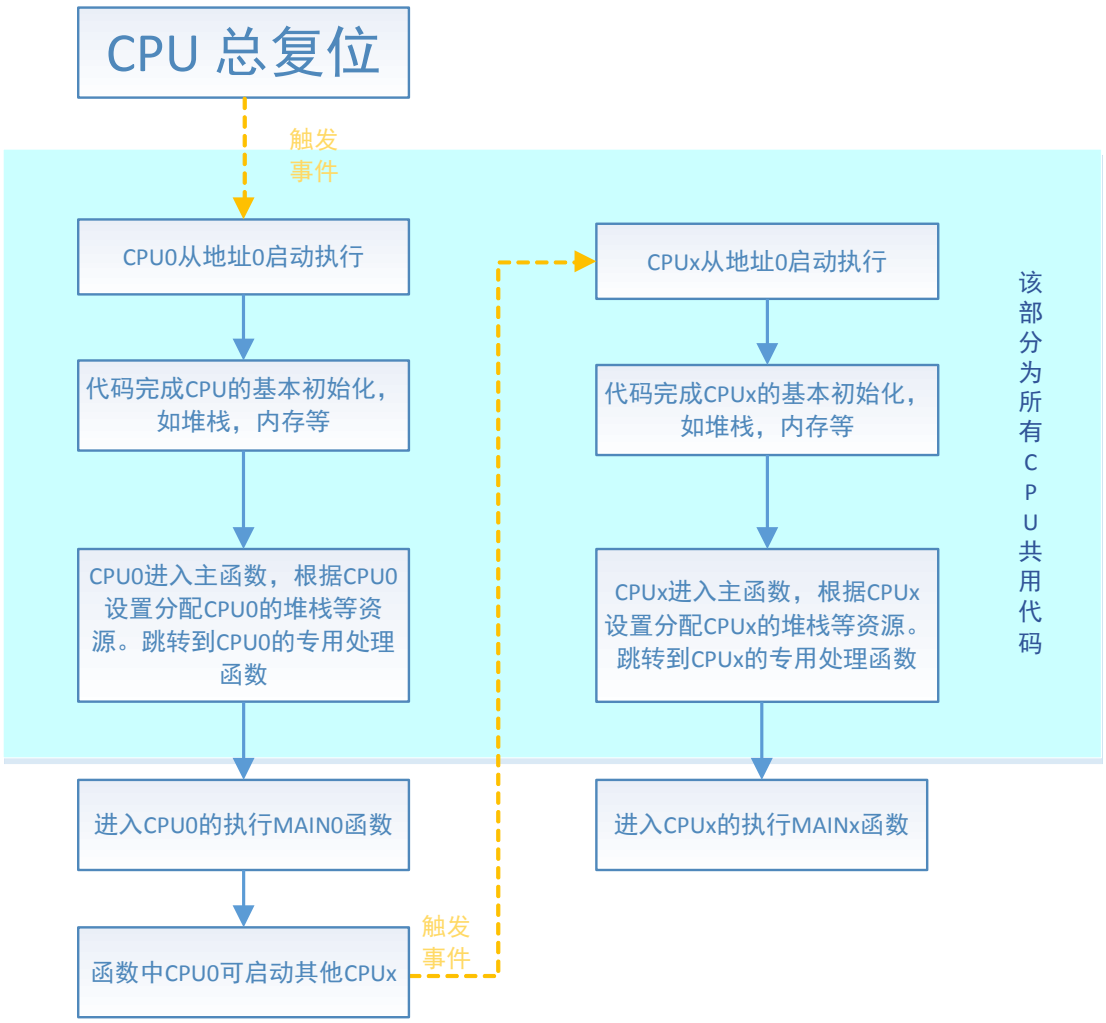


图 2-3 S698PM 芯片的多核软件程序启动过程图

3. 时钟信号发生模块

3.1 片内时钟域

S698PM 芯片内部结构复杂，模块众多，不同的模块所需的驱动时钟信号也不尽相同。S698PM 芯片内部的时钟域如表 3-1 所述。表 3-2 中详细列举了 S698PM 芯片与时钟相关的引脚信号。

表 3-1　S698PM 芯片内部时钟域

#	时钟域	描述	用途	时钟来源
1	IU_CLK	内核时钟	供处理器核心使用	由 PLL1 产生
2	SYS_CLK	系统时钟	供部分片内外设用	由 PLL1 产生
3	DDR2_CLK	DDR2 时钟	供 DDR2 控制器用	由 PLL1 产生
4	SPW_CLK	SPW 时钟	供 SpaceWire 总线控制器用	由 PLL2 产生
5	1553_CLK1	1553B 时钟 1	供 1553B 总线控制器 1 用	由片外直接输入
6	1553_CLK2	1553B 时钟 2	供 1553B 总线控制器 2 用	由片外直接输入
7	ETH_CLK	以太网时钟	供以太网控制器用	由片外直接输入
8	USB_CLK	USB 时钟	供 USB 控制器用	由片外直接输入
9	JTAG_CLK	JTAG 时钟	供 JTAG 控制器用	由片外直接输入
10	TM_CLK	遥测时钟	供遥测模块用	由片外直接输入

表 3-2　S698PM 芯片时钟相关的引脚信号

#	引脚信号	方向	描述	建议频率
1	CLOCK1	IN	PLL1 的参考时钟输入，接片外有源晶振。	10~60MHz
2	CLOCK2	IN	PLL2 的参考时钟输入，接片外有源晶振。	10~60MHz
3	M1553_CLK	IN	1553B 通道 1 时钟输入，接片外有源晶振。	16MHz@1Mbps 速率模式 80MHz@10Mbps 速率模式
4	SP[21]	IN	1553B 通道 2 时钟输入，接片外有源晶振。	16MHz@1Mbps 速率模式 80MHz@10Mbps 速率模式
5	JTAG_TCK	IN	JTAG 时钟输入	10MHz
6	SP[47]	IN	遥测时钟输入	/
7	ETH_MII_RX_CLK	IN	以太网 RX 时钟，由外部 PHY 芯片提供。	25MHz
8	ETH_MII_TX_CLK	IN	以太网 TX 时钟，由外部 PHY 芯片提供。	25MHz
9	USB_XTALIN	IN	USB 时钟，接外部无源晶振。	24MHz 或 12MHz
10	USB_XTALOUT	OUT		
11	SYSCLK	OUT	系统时钟输出	/

3.2 时钟信号发生模块

S698PM 芯片的时钟信号发生模块主要用来产生片内所需的各种时钟信号，其结构如图 3-1 所示。时钟信号发生模块内包含两个锁相环 PLL1 和 PLL2，其中 PLL1 主要产生内核时钟 IU_CLK、系统时钟 SYS_CLK 和 DDR2 时钟 DDR2_CLK，PLL2 主要产生 SPW 时钟 SPW_CLK。

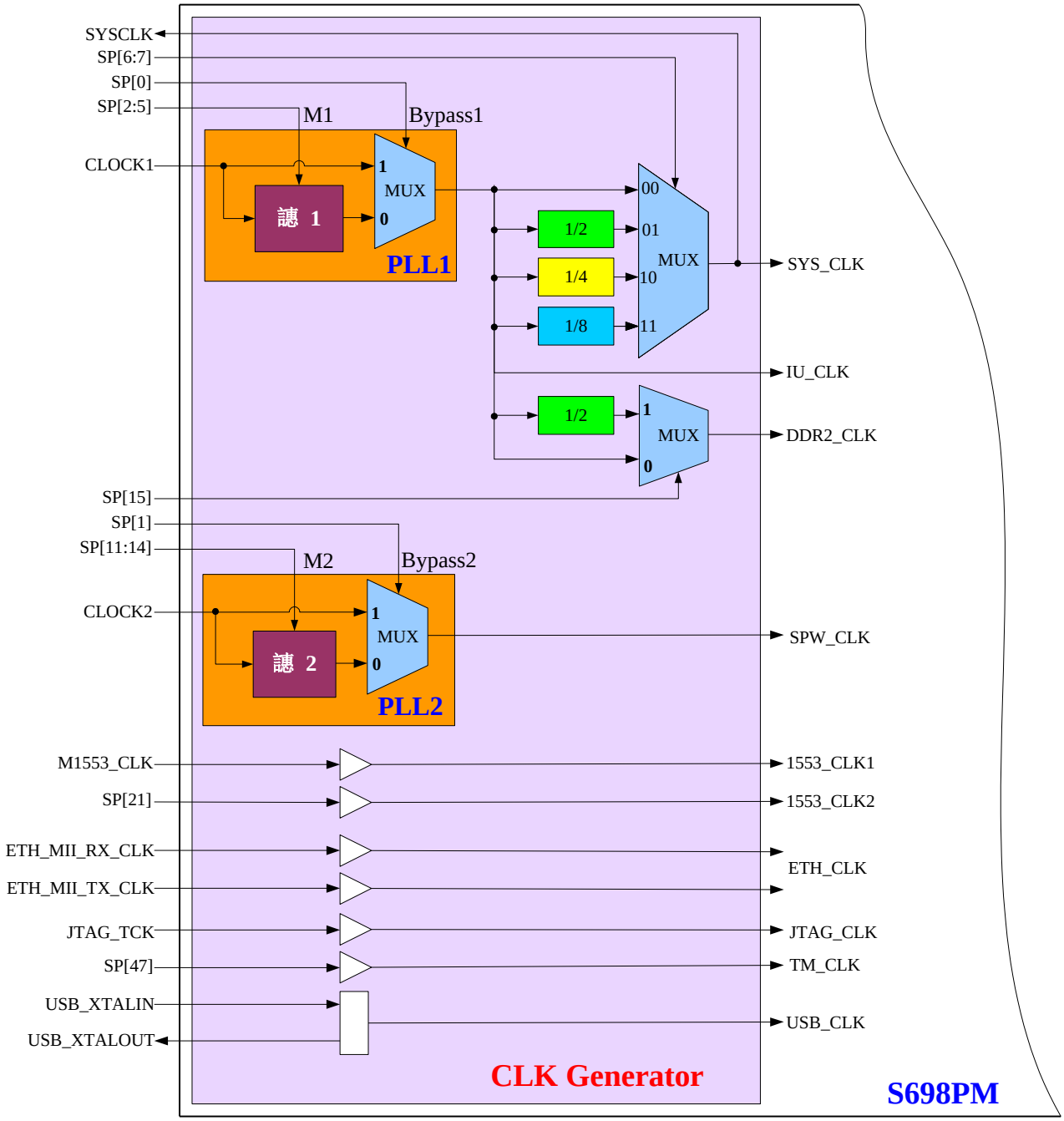


图 3-1 时钟分频结构图

参考图 3-1，PLL1 的工作原理说明如下：

(1) PLL1 参考时钟由引脚 CLOCK1 输入，频率范围为 10~60MHz；

(2) PLL1 的倍频参数由引脚 SP[2:5]设定，倍频参数 M1 的计算公式为：

M1 = 10 + SP[2:5] （式

3-1）

由式 3-1 可知，即当 SP[2:5] = 0001，M1=11；当 SP[2:5] = 0010，M1=12；当 SP[2:5] = 0011，M1=13……当 SP[2:5] = 1111，M1=25，由此可知，PLL1 的倍频参数 M1 范围为 10 ~ 25。

(3) PLL1 的旁路（Bypass）参数由引脚 SP[0]设定：

- 当 SP[0]=1，PLL1 处于旁路工作模式，输出时钟频率与参考时钟频率相等，即 $F_{IU_CLK} = F_{CLOCK1}$；
- 当 SP[0]=0，PLL1 处于正常工作模式，输出时钟频率为参考时钟频率的 M1 倍，即 $F_{IU_CLK} = M1 \times F_{CLOCK1}$；

(4) SYS_CLK 以 IU_CLK 为时钟源，通过 IU_CLK 分频得来，该分频参数 D1 由引脚 SP[6:7]设定：

- 当 SP[6:7]=“00”， D1=1，SYS_CLK 与 IU_CLK 同频率，即：

$$F_{SYS_CLK} = F_{IU_CLK} \quad \text{（式 3-2）}$$

- 当 SP[6:7] =“01”， D1=2，SYS_CLK 为的 IU_CLK 二分频，即：

$$F_{SYS_CLK} = 1/2 \times F_{IU_CLK} \quad \text{（式 3-3）}$$

- 当 SP[6:7] =“10”， D1=4，SYS_CLK 为 IU_CLK 的四分频，即：

$$F_{SYS_CLK} = 1/4 \times F_{IU_CLK} \quad \text{（式 3-4）}$$

- 当 SP[6:7] =“11”， D1=8，SYS_CLK 为 IU_CLK 的八分频，即：

$$F_{SYS_CLK} = 1/8 \times F_{IU_CLK} \quad \text{（式 3-5）}$$

(5) DDR2_CLK 以 IU_CLK 为时钟源，通过 IU_CLK 分频得来，该分频参数由引脚 SP[15]设定：

- 当 SP[15]=0，DDR2_CLK 与 IU_CLK 同频率，即：

$$F_{DDR2_CLK} = F_{IU_CLK} \quad \text{（式 3-6）}$$

- 当 SP[15]=1，DDR2_CLK 为 IU_CLK 的二分频，即：

$$F_{DDR2_CLK} = 1/2 \times F_{IU_CLK} \quad \text{（式 3-7）}$$

参考图 3-1，PLL2 的工作原理说明如下：

(1) PLL2 参考时钟由引脚 CLOCK2 输入，频率范围为 10~60MHz；

(2) PLL2 的倍频参数由引脚 SP[11:14]设定，倍频参数 M2 的计算公式为：

$$M2 = 10 + SP[11:14] \quad (式\ 3\text{-}8)$$

由式 3-8 可知，即当 SP[11:14] = 0001，M2=11；当 SP[11:14] = 0010，M2=12；当 SP[11:14] = 0011，M2=13……当 SP[11:14] = 1111，M2=25，由此可知，PLL2 的倍频参数 M2 范围为 10 ~ 25。

(3) PLL2 的旁路（Bypass）参数由引脚 SP[1]设定：

- 当 SP[1]=1，PLL2 处于旁路工作模式，输出时钟频率与参考时钟频率相等，即 $F_{SPW_CLK} = F_{CLOCK2}$；
- 当 SP[1]=0，PLL2 处于正常工作模式，输出时钟频率为参考时钟频率的 M2 倍，即 $F_{SPW_CLK} = M2 \times F_{CLOCK2}$；

由图 3-1 还可以看出，1553B 时钟 1553_CLK1/1553_CLK2、以太网时钟 ETH_CLK、JTAG 时钟 JTAG_CLK、遥测时钟 TM_CLK 均是通过相关引脚直接从片外输入，再在片内加了驱动后，输送给相应的模块使用。USB 时钟 USB_CLK 是由片外无源晶振与片内振荡驱动电路共同产生，再输送给 USB 控制器使用。

4. 处理器核心

S698PM芯片内部集成4个相同的高性能处理器核心（图1-1中的CPU0～CPU3），每个处理器核心均由32位RISC整型处理单元(IU)、双精度浮点处理单元（FPU）、高速一级缓存（L1 Cache）和存储器管理单元（SRMMU）等组成。

4.1 整型单元 IU

4.1.1 主要特性

S698PM 整数单元IU采用7级流水线处理机制，指令集兼容于SPARC V8 指令集;寄存器窗口为8个，采用循环窗口方式。具有硬件乘除法器，内部实现了容错

设计。IU的主要功能是执行整数运算、计算要访问的存储器的地址，和控制FPU指令的执行。

S698PM 整数单元IU具有下列的主要特性：

- 七 7 级的指令流水线：
  (1) 预取指令(FE)：如果指令缓存使能，指令预取到指令缓存中。否则，预取被转送给存储器控制器。指令在这一个阶段结束的时候有效和被锁进整数单元；
  (2) 译码(DE)：指令被解码，产生调用和分支对象地址；
  (3) 寄存器访问(RA)： 操作数从寄存器中或者内在的数据旁路被读出；
  (4) 运行(EX)：运行累加器，逻辑和移位操作；
  (5) 存储器(ME)：数据缓存被访问，在执行阶段中读出要存储的数据，同时写到数据缓存中；
  (6) 例外与异常 (XC)： 处理陷阱 Trap 和中断；
  (7) 回写 (WR)： 任何累加器、逻辑、移位、或缓存操作的结果被回写到寄存器；
- 独立的指令和数据缓存接口；
- 支持 8 个寄存器窗口；
- 具有 16x16 位 MAC 和 40 位累加器的硬件乘法器；
- 具有指数为 2 的除法器；
- 采用单一矢量陷陷阱（Trapping），以减少的代码数量；
- 触发器采用三模冗余 TMR 设计，提高抗击单粒子效应的能力；
- 存储器模块采用 EDAC 保护措施，提高抗击单粒子效应的能力；

4.1.2 指令

S698PM 整数单元IU指令遵循SPARC V8（IEEE-1754）标准，按照功能分为6类：

(1) 存储器存取指令（load/store）

存储器存取指令是唯一用来访问存储器的指令。存储器存取指令用2个‘r’寄存器或者1个‘r’寄存器和1个13位的无符号立即数计算出1个32位、按字节排列的存储器地址，IU再在该地址后面加上“地址空间标志符（ASI）”以决定处理器是处于管理模式还是用户模式，是访问指令存储器还是数据存储器。

存储器存取指令的目标域指定是一个r寄存器，f寄存器，或者是协处理器寄存器（此寄存器提供存储的数据或取得要载入的数据）。

整数存取指令支持字节方式(8位)、半字方式(16位)、字方式(32位)和双字方式(64位)。 整数存取指令包括一些整数取数指令，用来从内存中取得8位或16位的单精度数并放入目的寄存器中。浮点和协处理器存取指令支持字方式和双字方式。

S698PM对半字的大于一个字节类型的数据采用高地址优先存储的方式。

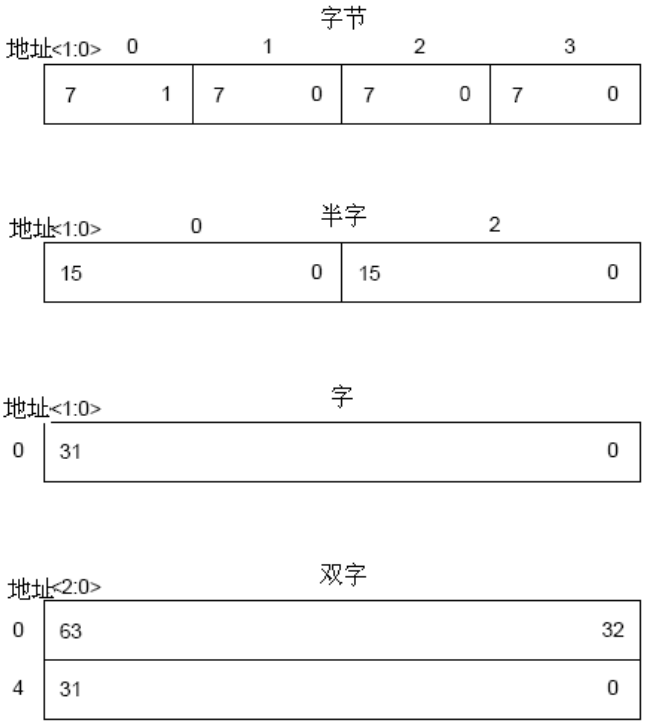


图 4-1 地址转换

(2) 算术运算/逻辑运算/移位指令（arithmetic/logical/shift）

算术运算/逻辑运算/移位指令提供了算术运算、逻辑运算和移位操作。这些指令除“SETHI”指令之外，都包括2个操作码，并由这2个操作码运算产生一个

结果，这个结果或者放入目的寄存器中，或者丢弃。“SETHI”指令是一条专门的指令，用来和它后面的指令一起创建一个32位的常数并放入r寄存器中。

移位指令用来把‘r’寄存器中的内容右移或左移‘n’位，‘n’的值由指令中的常数或’r’寄存器中的值指定。

整数乘法指令提供有符号或无符号的32位×32位=64位操作。整数除法指令提供有符号或无符号的 64位÷32位=32位操作。整数乘法指令和整数除法指令的结果会影响“PSR”的相应位。被‘0’整除会产生一个“陷阱”。

(3) 跳转控制指令 （control transfer）

跳转控制指令（CTIs）包括与PC指针相关的分支指令和调用指令、寄存器间接跳转指令和条件陷阱s。大多数跳转控制指令是延时的跳转控制指令（DCTIs）。跟在延时跳转控制指令后面的指令会在此跳转完成之前执行。

跟在跳转控制指令后的指令叫延时指令。延时指令总是预取的，即使跳转控制指令是无条件分支。然而，如果跳转控制指令不被执行，跳转控制指令的某一位可以使延时指令也不被执行。

(4) 读/写状态寄存器指令

读/写寄存器指令用来读/写用户可见的状态寄存器，也可读/写辅助状态寄存器。

(5) 浮点运算指令（floating-point）

浮点运算指令用来完成所有的浮点运算。浮点运算指令是寄存器到寄存器的指令，浮点运算操作利用浮点寄存器进行。同算术运算指令/逻辑运算指令和移位指令一样，浮点运算指令有1或2个源操作数，并得出一个结果。

(6) 辅助/杂项指令（miscellaneous）

其它的一些辅助或杂项功能的指令。

S698PM芯片IU的大部分指令为单周期，也有极少数指令是多周期指令。表4-1列出了指令的周期。

表 4-1 S698PM 芯片指令周期

序号	指令	周期(单位：时钟周期)
1	跳转类 (JMPL,RETT)	3
2	装载/存贮 (LOAD/STORE)	5
3	陷阱(Taken Trap)	5
4	乘法(SMUL/UMUL)	1
5	除法(SDIV/UDIV)	35
6	其它指令 (All other instructions)	1

4.1.3 寄存器堆（Register File）

4.1.3.1 通用目的寄存器(r register)

S698PM芯片的整型单元的寄存器堆（Register File）包含136个32-bit的通用目的寄存器（即general purpose register，简称r register或r寄存器）。这136个r寄存器被分成8个全局寄存器(global register)、8个“16-寄存器组”(即每个16-寄存器组中含16个r寄存器)，每个16-寄存器组又进一步的分成8个输入寄存器（即in寄存器）和8个本地寄存器（即local寄存器）。

4.1.3.2 寄存器窗口

寄存器窗口（register window）是一个24-寄存器组，它包括一个16-寄存器组（由8个in 寄存器和8个local寄存器组成)、相邻的16-寄存器组中的8个in寄存器（相邻16-寄存器组中的8个in 寄存器被当前寄存器窗口设定为自己的8个out寄存器)。

S698PM芯片共包括8个寄存器窗口，处理器运行时将按照0到7的顺序依次切换窗口。在特定的时间内，指令可以访问136个r寄存器中的8个global寄存器和一个寄存器窗口，即S698PM芯片的指令可以访问32个通用寄存器r[0]~r[31]，这些寄存器对用户可见。(见表 4-2)。

表 4-2 S698PM 芯片的指令可以访问 32 个通用寄存器

序号	寄存器类别	寄存器	寄存器地址	备注	
1	global全局	%g0-%g7	r[0] - r[7]	/	/
2	out输出	%o0-%o7	r[8] - r[15]	/	组成一个寄存器窗口
3	local本地	%l0-%l7	r[16] - r[23]	组成一个 16-寄存器组	
4	in输入	%i0-%i7	r[24] - r[31]		

处理器当前访问的寄存器窗口由处理器状态寄存器PSR中的Current Window Pointer (CWP)区（5 bits）设定，当执行“RESTORE（或RETT)”指令时，CWP加1；当执行“SAVE”指令或产生一个trap时，CWP的值减1。寄存器窗口上溢和下溢由Window Invalid Mask(WIM)寄存器监控，WIM由管理软件控制。寄存器窗口实际的数目对用户应用程序是透明的。

4.1.3.3 寄存器窗口的重叠

S698PM芯片通用窗口寄存器结构，如图 4-2所示。在程序运行时，寄存器窗口中保存着当前进程的状态（STATUS）信息。在任一时刻,程序只使用一组寄存器窗口，当发生函数调用或返回时(叶过程除外),处理器会在不同的寄存器窗口间移动(SHIFT),以保存当前上下文环境。

S698PM芯片的每个寄存器窗口都和与之相邻的2个寄存器窗口共享in寄存器和out寄存器。图 4-2中有8个寄存器窗口,分别是从 0 到 7(用 w0到w7为标记),每个窗口对应了24个寄存器,其中的16个与相邻窗口共用。这些寄存器窗口以循环圈的方式连接起来,寄存器窗口0与寄存器窗口7连接起来。进程在不同的寄存器窗口间移动(SHIFT),处理器执行RESTORE和SAVE指令时，将导致窗口切换，CWP指针用来指向当前正在使用的窗口。

特权模式下的 RETT 指令(return from trap) 和trap 事件(中断，异常或TRAP指令)也将导致窗口切换。CWP+1寄存器窗口的out寄存器被设定为当前寄存器窗口的in寄存器；当前寄存器窗口的out寄存器则被设定为CWP-1寄存器窗口的

in寄存器。Local寄存器对于每个寄存器窗口来说都是唯一的。一个地址设定为“o”的r寄存器（其中8≤o≤15）和地址为“o+16”的r寄存器被认为是同一个寄存器。同样的，一个地址设定为“i”的r寄存器（8≤i≤15）和地址为“(i+16)”的r寄存器也被认为是同一个寄存器。

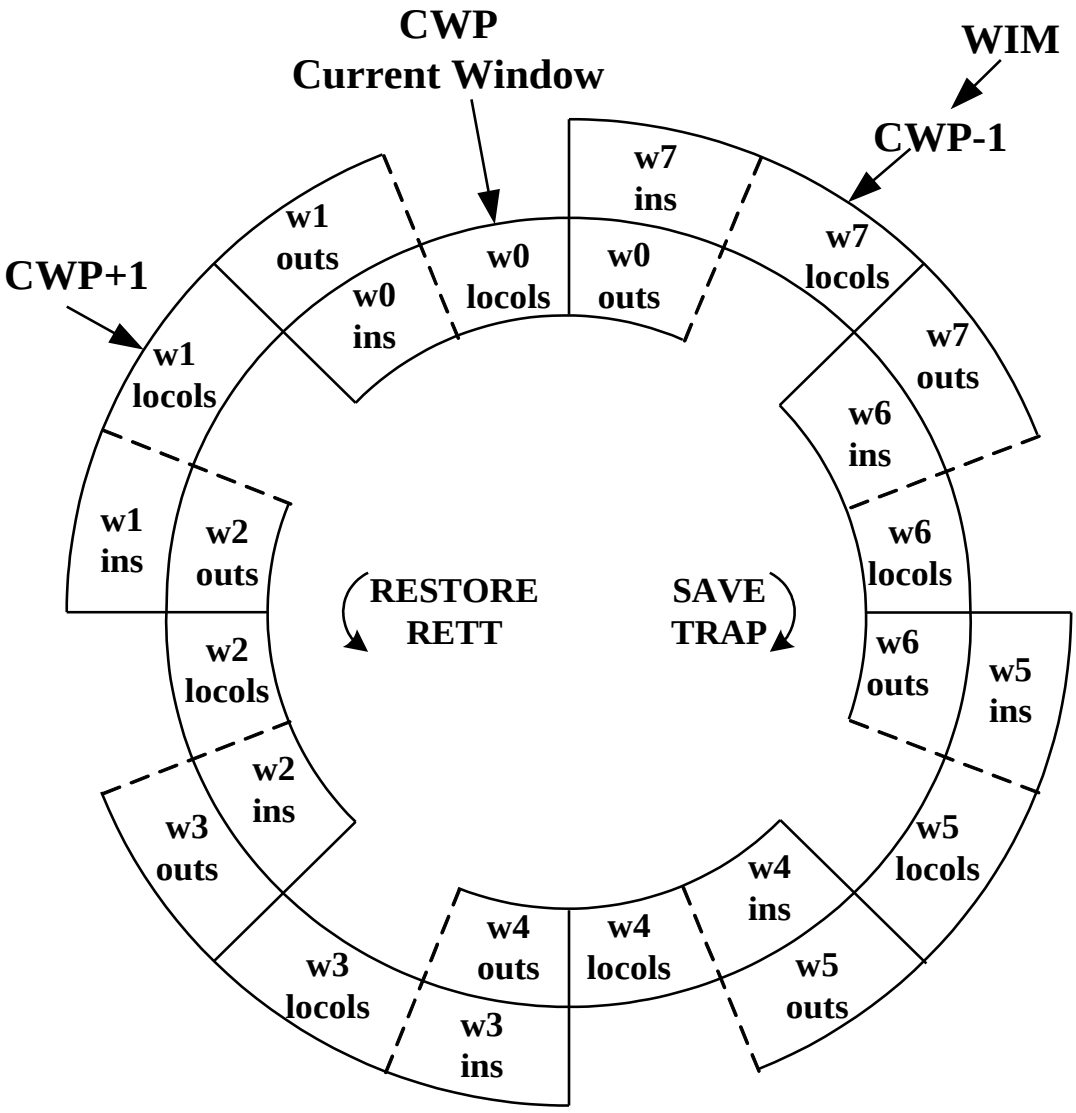


图 4-2 S698PM 芯片窗口的寄存器结构

图 4-2的右上角的"WIM" 寄存器用来表示每个窗口的使用状态,每个窗口在WIM中对应1个bit位，如果这一位设置为1表示此窗口已经被使用（有效），设置为0表示此窗口未被使用（无效）。"WIM" 寄存器常被用来判断窗口是否溢出

（overflow）或者下溢（underflow）。当寄存器窗口都被使用时，如果再发生一个额外的SAVE指令将会超过窗口容量,此时将触发一个窗口寄存器溢出陷阱；与之相反，当发生RESTORE或RETT指令时，如果"WIM" 寄存器对应位无效，此时将触发一个窗口寄存器下溢陷阱。

4.1.3.4 寄存器堆的编程注意事项

(1) 由于过程调用指令“调用”和“跳转”都不改变CWP的值，所以过程调用不改变寄存器窗口。

(2) 当通过保存指令重新进入窗口时就不能确定“本地”、“输出”寄存器中的值。由于在恢复和保存之间可能会发生陷阱，执行的程序中若有恢复指令，且其后跟有保存指令，则结果窗口中的“本地”和“输出”寄存器中的数值就不能确定。然而如果陷阱被屏蔽，“本地”和“输出”寄存器中的值就有效了。

(3) 因为寄存器窗口有交迭，所以，软件可以利用的寄存器窗口比IU实际实现的寄存器窗口少1，即NWINDOWS　1。当寄存器集合被填满时，最新寄存器窗口的“输出”寄存器和仍然保留着有效数据的最旧的寄存器窗口的“输入寄存器”是同一个寄存器。

4.1.4 专用寄存器

S698PM芯片整型单元的控制/状态寄存器包括：

- 处理器状态寄存器(PSR：Processor state Register)：反映并控制处理器的运行状态；
- 窗口无效屏蔽寄存器(WIM：Window Invalid Mask Register)：来查看保存、恢复或返回指令是否会引起窗口上溢（overflow）或下溢（underflow）陷阱；
- 陷阱基址寄存器(TBR：Trap Base Register)：存放陷阱发生时要转向的地址；
- 乘法/除法 (Y)寄存器：在除法中，暂存被除数的高32位有效位；在乘

法中，暂存乘积的高32位有效位；

- 程序指针寄存器（PC/nPC：Program Counter/next Program Counter）：存放当前指令地址和下一条指令的地址；
- 辅助状态寄存器(ASR：Ancillary State Register)：存放监视点Watch point等信息。

4.1.4.1 处理器状态寄存器（PSR）

处理器状态寄存器PSR（Processor State Register）是一个32位的的寄存器，其中包含最近一次指令执行结果信息，该信息可被用来在条件跳转操作中改变程序执行的流程。PSR中的状态在ALU操作后被更新。此外，PSR中还包含当前寄存器堆窗口（current window）、中断状态、协处理器状态等信息。

PSR寄存器包含若干个域，这些域控制处理器的操作或保存状态信息。它们可以被保存、恢复、陷阱、或返回指令修改，特权指令RDPSR和WRPSR也可直接读写PSR寄存器。

31:28	27:24	23:20	19:14	13	12	11:8	7	6	5	4:0
Impl	ver	icc	reserved	EC	EF	PIL	S	PS	ET	CWP

- impl 域：这四位为只读位，用来在硬件上确定，分类硬件体系架构的实现。
- ver 域：这四位也为只读位，标记 S698P 的版本号。
- icc 域：这四位标记 IU 的状态，它们可被以字母串 cc 结尾的算术逻辑指令或是 WRPSR 指令修改。Bicc 和陷阱指令可以引起基于此域的控制转移。此域的格式定义如下：

n	z	v	c

  - n 域：此位指示累加器的运算结果是否要被忽略。1＝忽略，0＝不忽略。
  - PSR_zero（z）域：对于累加器的最后一条修改了 icc 域的指令，此位指示是否累加器的运算结果为 0。1＝为零，0＝不为零。

- v 域：对于累加器的最后一条修改了 icc 域指令，此位指示累加器的结果是否在 32 位能表示的范围内。1＝溢出；0＝无溢出。
- c 域：对于累加器的最后一条修改了 icc 域的指令，此位指示是否指令的运算的最后一位有借位或是进位。1＝有，0＝没有。

- reserved 域：此六位是保留位。如果被 RDPSR 指令读，则返回 0。为了以后扩展兼容性，管理软件可以通过 WRPSR 向此域写入 0。
- EC 域：此位决定协处理器是否被激活。如果没被激活则会有一个与协处理器相关的陷阱。1＝支持，0＝不支持。如果硬件没实现协处理器，则此位始终为 0，这时对此位的写被忽略。
- EF 域：此位决定浮点单元(FPU)是否被激活。如果没被激活则会有一个与浮点单元(FPU)相关的陷阱。1＝支持，0＝不支持。如果硬件没实现浮点单元(FPU)，则此位始终为 0，这时对此位的写被忽略。
- PIL 域：此域指示 CPU 要接收中断的级别。
- S 域：此为指示 CPU 是处于管理状态还是用户状态。1＝管理状态，0＝用户状态。
- PS 域：此位保存当前陷阱所处的状态值。1＝管理状态，0＝用户状态。
- ET 域：此位指示是否允许有陷阱，如果当前有陷阱，则此陷阱会自动将此位置为 0。0＝忽略陷阱，这时若有中断请求则会被忽略，而且一个异常的陷阱会使 IU 执行挂起（halt）操作（此操作又触发重启陷阱）。1＝允许陷阱。
- CWP 域：此五位为当前寄存器窗口指针。当发生陷阱时或保存指令硬件会使 CWP 减少；恢复或返回指令会 CWP 增加。

4.1.4.2 窗口无效屏蔽寄存器（WIM）

窗口无效屏蔽寄存器（Window Invalid Mask Register）是一个32位的的寄存器。WIM由管理软件控制，被用来查看保存、恢复或返回指令会是否引起窗口上溢（overflow）或下溢（underflow）陷阱。

31	30	29		2	1	0
W31	W30	W29	……	W2	W1	W0

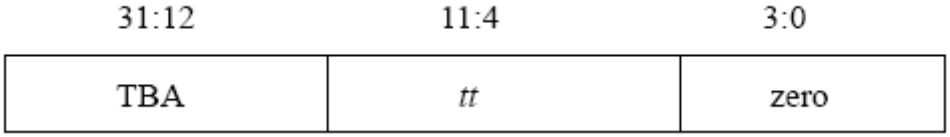
WIM[n]关联CWP为n时对应的窗口。

当保存、恢复或返回指令执行，当前CWP会和WIM比较，如果要转到的是一个非法窗口，相应的WIM位将被置为1，进而将转入相应的窗口上溢（overflow）或下溢（underflow）陷阱。

WIM可被特权指令RDWIM读取，被WRWIM指令写入。

4.1.4.3 陷阱基址寄存器（TBR）

陷阱基址寄存器TBR（Trap Base Register）是一个32位的的寄存器。TBR寄存器有三个域，每个域中都存放陷阱发生时要转向的地址。



- TBA 域：这 20 位存放陷阱地址表的高 20 位地址。这些位被管理软件维护，可以被 WRTBR 指令写入。
- tt 域：这 8 位存放陷阱的类型编码。当发生陷阱时，这 8 位被硬件写入，且一直保持此值到下一个陷阱到来。WRTBR 指令对此域没有影响。
- 0 域：这四位全为 0，不受 WRTBR 指令的影响。这四位留作以后扩展软件使用 WRTBR 时应向这四位写 0。

4.1.4.4 乘法/除法寄存器（Y）

Y寄存器是一个32位的的寄存器，用于乘法和除法中。在除法中，暂存被除数的高32位有效位；在乘法中，暂存乘积的高32位有效位。相应的乘法指令包括SMUL、SMULcc、UMUL、UMULcc乘法指令。Y寄存器也可保存SDIV,SDIVcc,UDIV,UDIVcc等除法指令的双精度数。

Y寄存器可以被RDY，WRY指令读或写。

4.1.4.5 程序指针（PC，nPC）

程序指针PC和nPC都是32位的的寄存器。

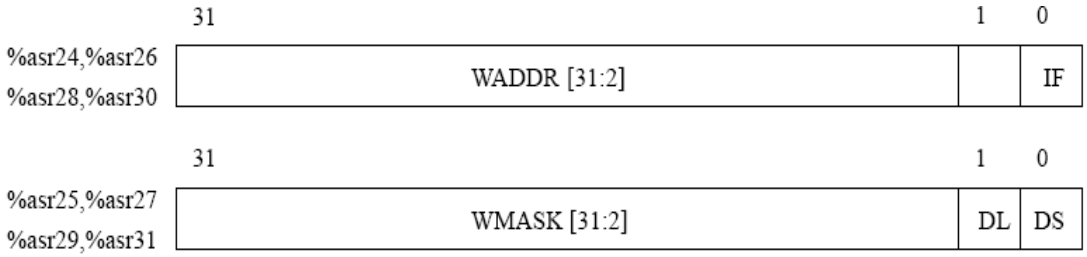
在正常模式下（即没有TRAP发生），PC中的内容表示的是IU当前执行的指令

的地址，nPC中的内容表示的是IU要执行的下一条指令的地址。

在TRAP发生的情况下，PC中的值将保存入local register %l1中，nPC中的值将保存入local register %l2中。当从TRAP返回时，%l1中的值将被拷贝回PC中，%l2中的值将被拷贝回nPC中。

4.1.4.6 监视点寄存器（ASR）

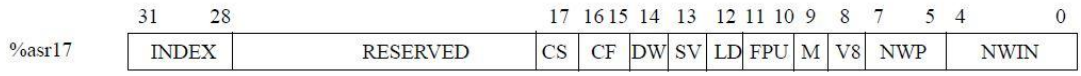
S698PM使用四对ASR寄存器（%asr24/25、%asr26/27、%asr28/30、%asr30/31）实现了四个监视点（watch point）：



由WADDR域定义的地址范围都可以被监视，这个地址范围也可被WMASK域掩码（WMASK[x]=1）激活匹配。在一个监视点上，陷阱 0x0B会被生成。通过设定IF，DL和DS位监视hit可以在取指，数据存储读写的时候发生。将此三位清0会有效的禁止此项功能。

4.1.4.7 处理器配置寄存器

应用程序特殊寄存器17(%ASR17)提供各种配置选项的设置信息，这些设置信息可用于改善软件的表现，或者支持多处理器系统的运算。这个寄存器可以通过RDASR指令进行访问，寄存器结构如下。



- Index域： 在多处理器系统中，每一个LEON核都拥有唯一的index用以支持运算。
- Clock switching enabled (CS)域：如果被置位，在被允许的前提下切换AHB和CPU的频率。
- CPU clock frequency (CF)域： CPU核心以（CF+1）倍AHB频率运行。

- Disable write error trap (DWT)域：如果被置位，写入错误陷阱（tt=0x2b）将会被忽略，该域的值在复位后归零。
- Single-vector trapping (SVT)域：如果被置位，它将会使能单向量陷阱，复位后归零。
- Load delay（LD）域：如果被置位，流水线将使用2周期装载延迟。如果置零，则使用单周期装载延迟。
- FPU 域：“00” = no FPU; “01” = GRFPU; “10” = Meiko FPU, “11” = GRFPU-Lite
- M域：如果被置位，可选的乘法累加指令将可以使用。
- V8域：如果被置位，SPARV V8乘法及除法指令将可以使用。
- NWP域：生效的观察点数目。(0 - 4)
- NWIN域：生效的寄存器窗口相当于NWIN+1.

4.1.5 异常（Exception）

S698PM芯片使用异常（Exception）来处理在执行程序时发生的意外事件（如中断、存储器故障等）。在程序执行过程中，异常发生时，处理器将在执行完当前指令后，通过控制跳转类指令，跳转到特定的地址标号或者特定的子程序处执行异常处理，异常处理完成后，程序将返回。

异常事件改变了程序正常执行的顺序，是程序执行的非正常状态。在进入异常中断处理程序时，要保存被中断的程序的执行现场。在从异常中断处理程序退出时，要恢复被中断的程序的执行现场。每种异常中断都具有各自的备份寄存器组。

S698PM芯片支持中断（Interrupt）和陷阱（Trap）两种异常，中断将会在后面的中断控制器介绍。

陷阱：由与特定指令相关的硬件引起，在引起异常产生的指令运行期间发生。

当PSR寄存器的ET=0, 表示一个陷阱异常会使IU执行挂起（halt），同时

ERRORN脚将输出有效电平（即“0”）。

表 4-3 S698PM 芯片陷阱及其优先级分配表

序号	Trap 名称	Trap 类型(TT)	Trap 优先级 Priority	Trap 描述
1	reset	0x00	1	复位
2	write error	0x2b	2	写缓存错误
3	instruction_access_exception	0x01	3	取指令异常
4	illegal_instruction	0x02	5	企图执行UNIMP或其它未实现的指令
5	privileged_instruction	0x03	4	用户模式下（即PSR中的supervisor位为 0）企图执行特权指令
6	fp_disabled	0x04	6	但FPU不存在或被关闭时，企图执行浮点处理指令
7	cp_disabled	0x24	6	但协处理器不存在或被关闭时，企图执行协处理指令
8	watchpoint_detected	0x0B	7	遇到硬件断点（即取指或Load/Store 地址与watchpoint的内容匹配）
9	window_overflow	0x05	8	SAVE指令引起当前寄存器窗口指针CWP指向WIM寄存器中指定的非法窗口
10	window_underflow	0x06	8	RESTORE或RETT指令引起当前寄存器窗口指针CWP指向WIM寄存器中指定的非法窗口
11	register_hadrware_error	0x20	9	寄存器堆内容读错误
12	mem_address_not_aligned	0x07	10	指令存储阶段地址未对齐(un-aligned)
13	fp_exception	0x08	11	FPU异常
14	data_access_exception	0x09	13	load或store指令异常
15	tag overflow	0x0A	14	Tag溢出
16	divide_exception	0x2A	15	除法错误(除以 0)
17	trap_instruction	0x80 -0xFF	16	软件Trap (TA)
18	Interrupt_15	0x1F	17	中断 15
19	Interrupt_14	0x1E	18	中断 14
20	Interrupt_13	0x1D	19	中断 13
21	Interrupt_12	0x1C	20	中断 12
22	Interrupt_11	0x1B	21	中断 11
23	Interrupt_10	0x1A	22	中断 10
24	Interrupt_9	0x19	23	中断 9
25	Interrupt_8	0x18	24	中断 8

序号	Trap 名称	Trap 类型(TT)	Trap 优先级 Priority	Trap 描述
26	Interrupt_7	0x17	25	中断 7
27	Interrupt_6	0x16	26	中断 6
28	Interrupt_5	0x15	27	中断 5
29	Interrupt_4	0x14	28	中断 4
30	Interrupt_3	0x13	29	中断 3
31	Interrupt_2	0x12	30	中断 2
32	Interrupt_1	0x11	31	中断 1

注：当多个trap同时发生时，优先级最高（Priority数小的优先级越高）优先处理和显示。

4.1.6 复位操作

当输入复位信号RESET在三个时钟周期内保持有效，S698PM芯片将进行复位操作。表 4-4给出了受复位信号影响的IU内部部分关键寄存器的初始值，而不受复位信号影响的寄存器保持原先的值或者未定义。

表 4-4 IU 内部部分寄存器复位状态

序号	寄存器	复位值
1	当前程序计数器PC(program counter)	0x0
2	下一条程序计数器nPC(next program counter)	0x4
3	处理器状态寄存器PSR(processor status register)	ET=0，S=1
4	Cache控制寄存器CCR(cache control register)	0x0

4.1.7 休眠模式（Power-down）

S698PM芯片的各个处理器核心支持休眠模式(power-down mode)，处于该模式下的处理器核心内部信号将处于静止状态，这样可以减少动态开关功耗，进而将功耗降到最低水平。

当执行指令“WRASR %asr19”时，处理器核心将进入休眠模式，其指令流水将被挂起（halted）。当有中断产生的时候，处理器核心将退出休眠模式，进入正常工作模式。

4.1.8 多核处理器支持

S698PM芯片处理器采用对称多处理器（symmetric multi-processing,SMP）架构。S698PM芯片复位后只有第一个处理器（CPU0）是开始工作的，其它的3个处理器（CPU1～CPU3）处于非工作状态。其它的3个处理器需要系统在初始化时，由CPU0通过操作“MP status register”进行唤醒。

4.2 浮点单元(FPU)和浮点控制器(FPC)

4.2.1 FPU 概述

S698PM芯片的高性能的浮点运算单元兼容GRFPU，支持IEEE二进制浮点运算标准（IEEE-754）和SPARCV8标准（IEEE-1754）。支持单精度和双精度浮点数字。模块设计先进，包含两个处理单元：一个流水线单元处理大部分的浮点运算，另一个非阻塞单元处理除法域平方根运算。浮点单元(FPU)和整数单元（IU）在时间上是并行执行任务的。

S698PM芯片浮点单元(FPU)有32个32位的浮点寄存器。设计上采用了三模冗余技术，将触发器进行了抗辐照保护。双精度浮点数占用一对偶奇寄存器，四精度浮点数占用四个四字节对齐的寄存器。因此，浮点寄存器能保存32个单精度(32位)、16个双精度(64位)、8个四倍精度寄存器(128位)的数。

4.2.2 FPU 功能描述

4.2.2.1 浮点数格式

支持处理IEEE-754标准中定义的单精度与双精度浮点数，但不支持非标准数值。

4.2.2.2 浮点操作

支持4种浮点操作：算数操作，比较操作，转换与移位。操作包括所有SPARC V8指令集定义的浮点指令与大部分IEEE-754中定义的操作。所有操作都在表4-5中列出，包括操作码，操作数，运算结果以及意外码。吞吐量与延迟也在表4-5

中列出。

表 4-5 FPU 操作

操作	运算符[8:0]	Op1	Op2	运算结果	意外	描述
算数操作						
FADDS	001000001	SP	SP	SP	UNF,NV,OF,UF,NX	浮点加法
FADDD	001000010	DP	DP	DP		
FSUBS	001000101	SP	SP	SP	UNF,NV,OF,UF,NX	浮点减法
FSUBD	001000110	DP	DP	DP		
FMULS	001001001	SP	SP	SP	OF, UF, NX, UNF, NV,OF, UF	浮点乘法 FSMULD由两个单精度乘数产生准确的双精度乘积
FMULD	001001010	DP	DP	DP		
FSMULD	001101001	SP	SP	DP		
FDIVS	001001101	SP	SP	SP	UNF,NV,OF,UF,NX,DZ	浮点除法
FDIVD	001001110	DP	DP	DP		
FSQRTS	000101001	-	SP	SP	UNF,NV,NX	求平方根运算
FSQRTD	000101010	-	DP	DP		
转换操作						
FITOS	011000100	-	INT	SP	NX	整数浮点数转换
FITOD	011001000	-	INT	DP	-	
FSTOI	011001001	-	SP	INT	UNF, NV,NX	浮点整数转换。结果采用向0 舍入模式。
FDTOI	011000110	-	DP	INT		

FSTOI_RND	111010001	-	SP	INT	UNF, NV,NX	浮点到整数转换。根据RND输入选择舍入模式。
FDTOI_RND	111010010	-	DP	INT		
FSTOD	011001001	-	SP	DP	UNF, NV	浮点格式转换
FDTOS	011000110	-	DP	SP	UNF, NV,OF, UF, NX	
比较操作						
FCMPS	001010001	SP	SP	CC	NV	浮点比较，如果任一操作数是NaN信号无效值则产生无效意外。
FCMPD	001010010	DP	DP	CC	NV	
FCMPES	001010101	SP	SP	CC	NV	浮点比较，如果任一操作数是NaN信号或非信号无效值则产生无效意外。
FCMPED	001010110	DP	DP	CC	NV	
取消，绝对值与移位						
FABSS	000001001	-	SP	SP	-	绝对值
FNEGS	000000101	-	SP	SP	-	取消
FMOVS	000000001	-	SP	SP	-	移位。拷贝操作数

						至结果输出。

SP – 单精度浮点数
DP – 双精度浮点数
INT – 32 位整数
CC – 条件码，主要指=、＜、＞ 符号

算数运算包括加法，减法，乘法，除法以及平方根运算。每一种算数操作都支持单精度或双精度格式。算数操作输出需要一个时钟周期，同时有4个时钟周期的延迟。但除法和求平方根运算的输出需要16-25个时钟周期，同时有16-25个时钟周期的延迟。加法、减法以及乘法这类常规操作可以在每个时钟周期开始。由于算法的复杂性，除法与求平方根操作吞吐率更低、延迟更长，但可以在非阻塞循环单元中与其他运算并行执行。不同延迟浮点操作的乱序执行的实现方法：为每种操作分配标识符，标识符包含在操作结束后的输出结果中。

表 4-6 输出与延迟

操作	输出	延迟
FADDS, FADDD, FSUBS, FMULS, FMULD, FSMULD	1	4
FITOS, FITOD, FSTOI, FSTOI_RND, FDTOI, FDTOI_RND, FSTOD, FDTOS	1	4
FCMPS, FCMPD, FCMPES, FCMPED	1	4
FDIVS	16	16
FDIVD	16.5(Min:15/Max:18)	16.5(Min:15/Max:18)
FSQRTS	24	24
FSQRTD	24.5(Min:23/Max:26)	24.5(Min:23/Max:26)

转换操作在流水线处理单元中执行，输出需一个时钟周期同时有4个时钟周期的延迟。转换操作支持浮点数间的转换，也支持整形以及浮点数间的转换。支持NaN数值的比较。支持移位、取消与绝对值操作。此类操作不会产生无法结束

意外（比较、取消、绝对值与移位操作支持非正常数值处理，因此不会产生无法结束意外）。

4.2.2.3 异常

模块检测所有IEEE-754标准定义的异常。这包括检测无效操作（NV），溢出（OF），下溢出（UF），零做除数（DZ）和非精确意外条件（NX）。支持产生特殊结果如NaNs与无穷大。运算产生下溢出时结果变为0（FPU不支持非标准化的数值或逐次下溢出）。当操作数之一为非标准数值且不被算数和转换操作处理时，一种特殊的未完成异常将被触发。

4.2.2.4 舍入（Rounding）

所有4种IEEE-754标准中定义的舍入模式都支持：取整，无穷大，无穷小，零。

4.2.2.5 非标准化数值

模块数值与转换操作不处理非标准化数值。带GRFPU的系统（微处理器）可以使用软件仿真少数非浮点情况。一种特殊的非结束意外（UNF）用来表示一种非标准数值的算数或转换操作。比较，移位，取消与绝对值操作可以处理非标准数值且不产生非结束意外。GRFPU在算数与转换操作处理标准数值时不会产生任何非标准数值。如果一种操作的无限精确结果值太小（比正常格式可表示的最小值小），则结果被划为0（下溢出与非精确标志位置位）。

4.2.2.6 非标准化模式

模块能够以非标准模式运行，所有算数与转换运算的非标准操作数都被认为是零。运算能以零操作数而非非标准数值的方式进行，且遵循所有浮点运算规则，包括结果舍入与意外的监测。

4.2.2.7 NaNs

模块支持处理IEEE-754标准中定义的NaNs数值。标志NaNs与无效操作的运算产生无效意外，且结果为QNaN_GEN。NaNs（QNaNs）运算，除FCMPES和FCMPED指令，不产生任何例外且传播QNaNs结果。QNaN_GEN在双精度结果中表示为0x7fffe00000000000在单精度结果中表示为0x7fff0000。

表 4-7 NaNs 操作

	操作数 2			
操作数 1		FP	QNaN2	SNaN2
	None	FP	QNaN2	QNaN_GEN
	FP	FP	QNaN2	QNaN_GEN
	QNaN1	FP	QNaN2	QNaN_GEN
	SNaN1	QNaN_GEN	QNaN_GEN	QNaN_GEN

4.2.3 FPC 概述

FPC模块兼容GRFPC。FPU单元可以通过FPC控制单元连接到IU处理器上，FPC单元从IU单元接受SPARC FPU指令（FPOP），并调度他们由FPU执行。FPOP与其他整数指令并行执行，只有在操作数或资源冲突的情况下，IU整数流水线才会停顿。FPC还包括FPU寄存器文件（Floating-Point register file），SPARC浮点状态寄存器（FSR）和一个延迟陷阱队列（FQ,floating-point deferred-trap queue），在S698PM多核中，每个核都有自己独立的FPC单元及每个处理器都有自己专用的FPU。

4.2.4 FPC 的浮点寄存器文件（Floating-Point register file）

浮点寄存器文件包含32个32位浮点寄存器（%f0-%f31）。 寄存器文件被浮点加载、存储指令（LDF，LDDF，STD，STDF）和浮点运算指令（FPop）存取。

4.2.5 SPARC 浮点状态寄存器（FSR）

FPC管理包含FPU模式和状态信息的浮点状态寄存器（FSR）。实现了SPARC V8规范中定义的FSR寄存器的所有字段，并管理符合SPARC V8规范和IEEE-754标准。FSR管理的实现特定部分是NS（非标准）位和ftt字段。如果设置FSR寄存器的NS（非标准）位为1，则将执行所有浮点运算在非标准模式下，如第4.2.2.6节所述。当NS位清零时，执行所有操作在标准IEEE兼容模式下。

以下浮点陷阱类型永远不会发生，因此从不在ftt字段中设置：

◆不能实现的FPop：所有的FPop操作都能实现

◆hardware_error：不可恢复的硬件错误

◆invalid_fp_register：不检查双精度寄存器是否为0 mod 2

如果浮点延迟队列（FQ）为空，则FPU的FSR寄存器的qne位，读取的值是0，否则为1。使用LDFSR和STFSR指令访问FSR。

4.2.6 浮点异常和浮点延迟队列

FPU实现浮点异常的SPARC延迟陷阱模型（fp_exception）。一个浮点异常是由执行以下条件之一操作的浮点指令引起的：

◆操作引起IEEE浮点异常（ftt = IEEE_754_exception），例如执行无效操作如0/0，而TEM字段id的NVM位设置（无效异常启用）。

◆非标准化浮点数（在标准IEEE模式下）的操作会引起未完成的FPop浮点异常

◆序列错误：主管软件中由于错误使用浮点，FPU中出现异常错误状态。

陷阱延迟到以下浮点指令之一（FPop，FP load/store，FP branch）的陷阱诱导指令（注意，这可能不是程序中的下一个浮点指令，可能是由于异常检测机制和无序指令执行的顺序）。当捕获陷阱时，浮点延迟队列（FQ）包含陷阱诱导指令和最多七个FPOP指令，在FPC中发送但未完成。

捕获陷阱后，FSR的qne位被设置并保持置位，直到FQ清空。STDFQ指令从浮点延迟队列读取一个双字，第一个字是指令的地址，第二个字是指令代码。 FQ中的所有说明都是FPop类型说明。对FQ的第一次访问给出了诱导诱导指令的双字，以下双字包含挂起的浮点指令。主管软件应该从FQ读取顺序相同的FQ。

注意，FPU执行无序指令，FQ中的指令可能不会按照与程序顺序相同的顺序显示执行浮点指令。一个浮点陷阱从来没有被推迟过去指定可以修改的源寄存器，目标寄存器或条件代码通过诱导诱导的指令。主管软件执行或模拟FQ中的指令，因此，主管软件给出与执行程序顺序相同的FPU状态。

4.3 一级缓存（L1 Cache）

S698PM 芯片的处理器核心含有高速一级缓存（L1 Cache）。一级缓存具体包含数据cache（Dcache）和指令cahce（Icache）。S698PM 芯片的一级缓存使用LRU算法进行数据调度，采用透写策略（write-through）更新数据。在地址映射时，采用的是全相联映像法。

S698PM 芯片每个处理器核心带有16K 字节数据缓存和32K字节指令缓存。

S698PM芯片复位后，一级缓存默认是打开的。通过操作相关寄存器，软件可以关闭一级缓存。

4.3.1 指令缓存(instration cache)

指令缓存可以配置成一个直接映射缓存或者一个4组缓存 ，缓存使用LRU算法。每组的大小为 2 千字节，缓存划分为每行32个字节的数据。 每行有一个缓存标签,还结合有标签区域，每 4个字节子块的有效区域有一位有效位、和锁位。当没有命中高速缓冲时，指令预取，对应的标签和数据行更新。 在多组配置中一行依照LRU法替代。

如果指令突发预取在缓存控制寄存器 (CCR)中使能，缓存行被从丢失地址开始的主存储器区域填充，直到行结束。 同时，指令被转寄到整数单元(IU) 。 如果由于内在的依赖或者多周期指令，IU没有接收数据流，则整数单元(IU) 被停止，直到行填充被完成。 如果整数单元(IU) 在行填充期间运行一个控制传输指令 (分支/调用/跳转/陷阱)，行填充将会在下次预取时结束。 如果指令突发预取使能,即使缓存被无效，指令流可以工作。在这情况，预取的指令只被转寄到整数单元(IU) ，缓存不更新。 在缓存行再填充期间，在 AHB 总线上产生逐渐增加的突发脉冲。

如果在IU停止期间，进行行填充时产生一个存储器访问错误， 在缓存标签

的对应的有效位将不被设定。 如果整数单元(IU) 稍后预取来自无效地址的指令,一个缓存错误将会发生，触发一个对无效地址的访问。 如果错误保持,一个指令错误陷阱 (编号1) 将会产生。

4.3.2 数据缓存(data cache)

数据缓存由两部分构成：一部分用来存贮缓存标志（TAG）等信息，另一部分用来保存缓存的数据。

缓存标志等信息的存贮器称为标志存贮器，每个标志的结构定义如下:

31 11	10	9 8	7 0
ATAG	LRR	LOCK	VALID

各个区域的含义：

- [31:11]: 地址标志(ATAG) - 主存贮器的地址信息;
- [10]: LRR -当置位时，使用 LRR 算法更新数据。“0”表示不使用;
- [9:8]: LOCK - 当置位时，这条缓存线被锁定;
- [7:0]: Valid(V) - 当置位时，表示当前缓存线的数据无效;

主存贮器地址的高21位保存在ATAG中，低11位则决定了数据在缓存中的位置。一条TAG对应了一块缓存区域，这块区域称为一条缓存线,目前1个缓存线大小为32字节。

如果CPU需要数据，它自己的缓存首先检查数据是否已经在自己的缓存中，如果是(称为缓存命中)，则直接返回数据。如果没有，则从主存中调入这个数据到自己的缓存中，同时传输给CPU。

芯片中的数据缓存采用透写策略（write-through）更新数据。当CPU把修改后的数据写入到缓存中时，缓存在更新自己缓存的同时，也通过AHB总线把数据写到主存贮器中。

芯片使用基于“写无效”的数据一致性策略。所有的缓存都会监听地址和数据总线，当总线上存在一个写操作时，缓存控制器会检查这个地址是否命中自己的缓存，如果命中，则无效自己相应的缓存区域。当CPU需要这个数据时，缓存就会从主存中读取，从而可以使自己的数据和主存中的数据保持一致。

如果在缓存无效这个缓存区域时，CPU正好需要这个数据，则缓存会把当前数据总线上的数据返回给CPU，并更新自己的缓存。

为了提高效率，缓存使用双口存贮器保存地址标志，CPU访问缓存和数据侦听是从两个不同的端口读取标志数据的。

4.3.3 缓存寄存器定义

表 4-8 L1 Cache 寄存器列表

ASI	地址(0x)	寄存器名称	有效宽度	读/写	默认值(0x)	描述
0x02	0x00	Cache 控制寄存器	32bit	R/W	0x00	cache freeze,flush, error 以及状态机状态查看
0x02	0x08	ICache 配置寄存器	32bit	R/W	0x00	ICache lock，lru，相连度以及 MMU 开启配置
0x02	0x0C	DCache 配置寄存器	32bit	R/W	0x00	DCache lock，lru，相连度以及 MMU 开启配置

Cache 控制寄存器位描述

表 4-9 Cache 控制寄存器位描述

位	位名称	位描述
[28]	奇偶校验选择	如果进行诊断性读取则将返回4bit的校验位，否则返回cache标签或数据字
[27:24]	测试位	若使能，则诊断性写的数据将与测试位做异或
[23]	数据缓存监听使能	若置位则使能数据缓存监听功能
[22]	清空数据缓存	若置位则清空数据缓存
[21]	清空指令缓存	若置位则清空指令缓存
[20:19]	数据保护设置	“00”=无保护,“01”= 字节奇偶校验检查使能
[15]	指令缓存清空标志位	当指令缓存清空操作进行时此位被置位
[14]	数据缓存清空标志位	当数据缓存清空操作进行时此位被置位
[13:12]	指令缓存标签错误	指令缓存标签中检测到的奇偶校验错误个数
[11:10]	指令缓存数据错误	指令缓存数据中检测到的奇偶校验错误个数
[9:8]	数据缓存标签错误	指令缓存标签中检测到的奇偶校验错误个数
[7:6]	数据缓存数据错误	指令缓存数据中检测到的奇偶校验错误个数
[5]	数据缓存中断冻结	若置位，则异步中断发生时数据缓存自动被冻结

位	位名称	位描述
[4]	指令缓存中断冻结	若置位，则异步中断发生时指令缓存自动被冻结
[3:2]	数据缓存状态	显示当前数据缓存的状态值：X0 = dsiabled, 01 = frozen, 11 = enabled
[1:0]	指令缓存状态	显示当前指令缓存的状态值：X0 = dsiabled, 01 = frozen, 11 = enabled

ICache 配置寄存器位描述

表 4-10 ICache 配置寄存器位描述

位	位名称	位描述
[31]	缓存锁定	标示MMU的具体实现方式，由硬布线实现软件只读
[29:28]	缓存替换策略	保留
[27]	缓存监听	系统控制位。由开发者自定义功能，可以保留不用
[26:24]	缓存相联度	PSO 位决定内存结构对于 CPU 是部分存储顺序（PSO）还是全存储顺序（TSO）
[23:20]	每路大小	显示 ICache 每路的大小
[18:16]	每行大小	显示 ICache 每行的大小
[3]	MMU 使能标志位	若 MMU 已被使能则需要将此位置 1，否则置 0

DCache 配置寄存器位描述

表 4-11 DCache 配置寄存器位描述

位	位名称	位描述
[31]	缓存锁定	标示MMU的具体实现方式，由硬布线实现软件只读
[29:28]	缓存替换策略	保留
[27]	缓存监听	系统控制位。由开发者自定义功能，可以保留不用
[26:24]	缓存相联度	PSO 位决定内存结构对于 CPU 是部分存储顺序（PSO）还是全存储顺序（TSO）
[23:20]	每路大小	显示 DCache 每路的大小
[18:16]	每行大小	显示 DCache 每行的大小
[3]	MMU 使能标志位	若 MMU 已被使能则需要将此位置 1，否则置 0

4.4 存储器管理单元（MMU）

S698PM芯片的处理器核心具有存储区管理单元MMU（Memory Management Unit），该MMU遵循IEEE-1754标准中“the SPARC V8 Reference Memory Management Unit”的相关规定。

S698PM芯片的的MMU可以提供36位的物理地址空间与多个32位的虚拟地址空

间之间的映射。当MMU被关闭，处理器核心的Cache使用正常的物理地址映射方式，可使用的物理地址范围为0x40000000至0x5fffffff。当MMU被使能，Cache的Tag域存储的是虚拟地址信息。

MMU 寄存器定义，如下表所述。

表 4-12 MMU 寄存器列表

ASI	地址(0x)	寄存器名称	有效宽度	读/写	默认值(0x)	描述
0x19	0x000	MMU 控制寄存器	32bit	R/W	0x00	MMU 控制位设置
0x19	0x100	上下文指针寄存器	32bit	R/W	0x00	存储上下文指针
0x19	0x200	上下文寄存器	32bit	R/W	0x00	存储上下文
0x19	0x300	错误状态寄存器	32bit	R/W	0x00	存储错误状态
0x19	0x400	错误地址寄存器	32bit	R/W	0x00	存储错误地址

4.4.1 MMU 控制寄存器

表 4-13 MMU 控制寄存器

位	位名称	位描述
[31:28]	IMPL	标示MMU的具体实现方式，由硬布线实现软件只读
[27:24]	REV	保留
[23:8]	SC	系统控制位。由开发者自定义功能，可以保留不用
[7]	PSO	PSO 位决定内存结构对于 CPU 是部分存储顺序（PSO）还是全存储顺序（TSO）
[6:2]	REV	保留
[1]	NF	No Fault 位。NF = 0 时，任何 MMU 监测到的错误都会更新 FSR 和 FAR，并且向处理器产生错误信号。NF = 1 时，访问 ASI 9 产生的错误将采用与 NF = 0 相同的方式处理。访问其余 ASI 产生的错误将会更新 FSR 和 FAR，并且但处理器不会产生错误信号。
[0]	E	MMU 使能位，为 1 时 MMU 使能，为 0 时关闭 MMU

设置程序示例

```
static inline void srmmu_set_mmureg(unsigned long regval)
{
        asm volatile("sta %0, [%%g0] %1\n\t" : :
                        "r" (regval), "i" (ASI_M_MMUREGS) : "memory");
}
```

4.4.2 MMU 上下文指针寄存器

表 4-14 MMU 上下文指针寄存器

位	位名称	位描述
[31:2]	上下文指针	上下文列表指针指向物理内存中的上下文列表。列表由上下文寄存器中的值索引。
[1:0]	REV	保留

设置程序示例

```
static inline void srmmu_set_ctable_ptr(unsigned long paddr)
{
        paddr = ((paddr >> 4) & SRMMU_CTX_PMASK);
        asm volatile("sta %0, [%1] %2\n\t" : :
                        "r" (paddr), "r" (SRMMU_CTXTBL_PTR),
                        "i" (ASI_M_MMUREGS) :
                        "memory");
}
```

4.4.3 MMU 上下文寄存器

表 4-15 MMU 上下文寄存器

位	位名称	位描述
[31:0]	上下文地址空间值	定义了当前进程的虚拟地址空间值。MMU对内存的访问都将通过上下文寄存器进行地址转换。

设置程序示例

```
static inline void srmmu_set_context(int context)
{
        asm volatile("sta %0, [%1] %2\n\t" : :
                        "r" (context), "r" (SRMMU_CTX_REG),
                        "i" (ASI_M_MMUREGS) : "memory");
}
```

4.4.4 MMU 错误状态寄存器

MMU错误状态寄存器提供由MMU产生的错误（异常）信息。错误信息一共分为三类：1.指令的访问错误 2.数据访问错误 3.转换列表访问错误。

如果前一条指令访问错误未被CPU读取而又发生了一条指令访问错误，则MMU将覆盖错误信息并且将OW位置高。数据访问错误也可以覆盖指令访问错误，但是不会置位OW位。假如MMU访问外部系统时产生错误，则会生成转换列表错误信号，且指令访问错误和数据访问错误不会覆盖转换列表错误。

表 4-16 MMU 错误状态寄存器

位	位名称	位描述

位	位名称	位描述
[31:18]	reserved	保留位
[17:10]	EBE	外部总线错误标识符
[9:8]	L	MMU 错误级别标识符。提示错误发生 MMU 地址转换的第几级。定义如下：00 上下文列表 01 第一级页表 10 第二级页表 11 第三级页表
[7:5]	AT	访问类型错误标识符。提示发生错误的访存类型 定义如下： 000 读取用户数据空间 001 读取管理员数据空间 010 读取用户指令空间 011 读取管理员指令空间 100 存储用户数据空间 101 存储管理员数据空间 110 存储用户指令空间 111 存储管理员指令空间
[4:2]	FT	错误类型标识符。 提示当前发生的错误的类型 定义如下： 000 无错误 001 无效地址错误 010 保护错误 011 优先级错误 100 转换错误 101 访问总线错误 110 内部错误 111 保留
[1]	FAV	设置错误地址寄存器是否有效
[0]	OW	覆盖标识位。 提示当前错误信息是否被同一类型错误信息覆盖。 1 表示已覆盖，0 表示未被覆盖

4.4.5 MMU 错误地址寄存器

错误地址寄存器储存错误发生的虚拟地址值。同一类型的错误可以覆盖此寄存器，且此寄存器为只读。

表 4-17 MMU 错误地址寄存器

位	位名称	位描述
[31:0]	Fault Address	错误地址值

4.4.6 MMU Flush 操作

Flush操作刷新MMU中的页表项。通过写相应的地址可以实现Flush操作。示例代码如下：

```
void leon_flush_tlb_all (void)
{
        __asm__ __volatile__("sta %%g0, [%0] %1\n\t": :
                                "r" (0x400),
                                "i" (0x18) : "memory");
}
```

4.4.7 MMU Bypass 操作

Bypass操作可以让CPU在MMU使能的情况下不经地址转换直接读写内存。示例代码如下：

```
    /* 使用物理地址不经转换直接写内存 */
static __inline__ void leon_store_bp(unsigned long paddr,unsigned long value)
```

```
{
        __asm__ __volatile__("sta %0, [%1] %2\n\t": :
                                "r" (value), "r" (paddr),
                                "i" (ASI_MMU_BP) : "memory");
}

    /* 使用物理地址不经转换直接读内存 */
static __inline__ unsigned long leon_load_bp(unsigned long paddr)
{
        unsigned long retval;
        __asm__ __volatile__("lda [%1] %2, %0\n\t" :
                                "=r" (retval) :
                                "r" (paddr), "i" (ASI_MMU_BP));
        return retval;
}
```

5. 二级缓存（L2 Cache）

S698PM芯片内集成二级缓存（L2 Cache，简称L2C），位于外存储器控制器与128-bit CPU AHB总线之间。CPU AHB总线是L2C的主机，L2C是外存储器控制器的主机。S698PM芯片二级缓存的设计，提高了处理器访问外部存储器的效率，进而提高了处理器的性能。

S698PM芯片内的二级缓存容量为512K字节，被配置成4个块，每个块的容量为128K字节。为了提高抗辐照能力，二级缓存中的存储器模块被EADC检错纠错功能保护。

S698PM芯片复位后，二级缓存默认是关闭的。通过操作相关寄存器，软件可以使能二级缓存。

5.1 读操作

当CPU AHB总线向L2C发起一个可缓存（cachable）的读操作时，L2C首先要判断被读的数据是否在缓存中（或称作是否命中缓存）。

- 若命中（cache hit），即目标数据在缓存中，CPU AHB总线将直接从缓存中读取数据，而无需访问外部存储器；
- 若没命中（cache miss），即目标数据不在缓存中，L2C将通知外部存储器控制器，由外部存储器控制器发起连续的读数操作，从外部存储器中

读取包含目标数据的数据块到缓存中。

当CPU AHB总线发起一个非缓存（non-cachable）的读操作时，L2C直接将读操作转给外部存储器控制器，由外部存储器控制器发起单次读数操作，读取目标数据。

5.2 写操作

当CPU AHB总线向L2C发起一个可缓存（cachable）的写操作时，L2C首先要判断被写目标地址是否已经在缓存中（或称作是否命中缓存）。

- 若命中（cache hit），即被写目标地址在缓存中，CPU AHB总线将直接把数据写到缓存相应的缓存块中，更新相应的缓存块，而无需直接写入外部存储器。
- 若没命中（cache miss），即被写目标地址不在缓存中，L2C将通知外部存储器控制器，由外部存储器控制器发起单次写数操作，将数写入目标地址。

当CPU AHB总线发起一个非缓存（non-cachable）的写操作时，L2C直接将写操作转给外部存储器控制器，由外部存储器控制器发起单次写数操作，将数据写入目标地址。

5.3 Flush 操作

用户软件可以通过操作cache flush寄存器，以实现flush二级缓存的操作，具体详见5.6.3节和0节相关寄存器的使用描述。

5.4 诊断接口

S698PM的二级缓存提供诊断接口，该接口用于内部RAM模块测试，用户也可以通过该接口访问cache的Tag、Data以及EDAC check bits等内容。

5.5 地址映射

S698PM芯片二级缓存相关的地址映射如表5-1所示。

表 5-1　S698PM 芯片二级缓存相关的地址映射

地址	L2C 寄存器（Register）
0xF0000000	L2C控制寄存器(Control register)
0xF0000004	L2C状态寄存器(Status register)，只读
0xF0000008	L2C Flush寄存器1(Memory address)
0xF000000C	L2C Flush寄存器2(set, index)
0xF0000010 | 0xF000001C	保留
0xF0000020	L2C错误状态/控制寄存器(Error status/control)
0xF0000024	L2C错误地址寄存器(Error address)
0xF0000028	L2C TAG校验位寄存器(TAG-check-bit)
0xF000002C	L2C 数据校验位寄存器(Data-check-bit)
0xF0000030	L2C scrub控制/状态寄存器(Scrub Control/Status)
0xF0000034	L2C scrub延迟寄存器(Scrub Delay)
0xF0000038	L2C 错误注入寄存器(Error injection)
0xF000003C	存取控制（Access control）
0xF0000080 | 0xF00000FC	L2C 存储器类型范围寄存器(MTRR, memory type range registers)
0xF0080000 | 0xF008FFFC	L2C TAG诊断接口区： 0xF0080000: Tag 1, way-1 0xF0080004: Tag 1, way-2 0xF0080008: Tag 1, way-3 0xF008000C: Tag 1, way-4 0xF0080010: Tag check-bits way-0,1,2,3 (只读) bit[27:21] = way-1的check-bits bit[20:14] = way-2的check-bits bit[13:7] = way-3的check-bits bit[6:0] = way-4的check-bits 0xF0080020: Tag 2, way-1 0xF0080024: Tag 2, way-2 0xF0080028: Tag 2, way-3 0xF008002C: Tag 2, way-4

地址	L2C 寄存器（Register）
	0xF0080030: Tag check-bits way-0,1,2,3 （只读） bit[27:21] = way-1的check-bits bit[20:14] = way-2的check-bits bit[13:7] = way-3的check-bits bit[6:0] = way-4的check-bits 0xF0080040: Tag 3, way-1 0xF0080044: Tag 3, way-2 本区其他地址的定义，以此类推 ...
0xF0200000 | 0xF03FFFFC	L2C Data诊断接口区： 0xF0200000-0xF027FFFC: way-1的Data或 check-bits 0xF0280000-0xF02FFFFF: way-2的Data或 check-bits 0xF0300000-0xF037FFFC: way-3的Data或 check-bits 0xF0380000-0xF03FFFFF: way-4的Data或 check-bits Only 32-word at offset 0x0, 0x10, 0x20,... are valid check-bits. bit[31] = RESERVED bit[30:24] = check-bits for data word at offset 0x0. bit[23] = RESERVED bit[22:16] = check-bits for data word at offset 0x4. bit[15] = RESERVED bit[14:8] = check-bits for data word at offset 0x8. bit[7] = RESERVED bit[6:0] = check-bits for data word at offset 0xc.

5.6 寄存器定义

5.6.1 L2C 控制寄存器

表 5-2 L2C控制寄存器

位	位名称	位描述
31	EN	CACHE 使能，1：使能；0：禁能。
31	EN	Cache 使能，1：使能；0：禁止；
30	EDAC	EDAC 使能，1：使能；0：禁止；
[29:28]	REPL	替换策略选择； 00:LRU,01: 随机,10:master-index(索引替换), 11:master-index(取模函数)
[27:16]	REV	保留

位	位名称	位描述
[15:12]	INDEX-WAY	需要替换的 way
[11:8]	LOCK	锁定 way 的数量
[7:6]	RES	保留
[5]	HPRHB	进行一次不缓存的读操作，即使cache命中，任然从memory中读取数据
[4]	HPB	标记缓存
[3]	UC	总线使用状态，0：环形模式 1：移位模式
[2]	HC	命中状态模式选择，0：环形模式 1：移位模式
[1]	WP	写策略。1：写通 0 复制返回；默认为 0
[0]	HP	HPROT 控制性能

5.6.2 L2C 状态寄存器

表 5-3 L2C状态寄存器

位	位名称	位描述
[31:25]	RES	保留
[24]	LSIZE	CACHE line 大小。1：64 字节 0：32 字节
[23]	FTTIME	方式时序是否是重建的
[22]	EDAC	EDAC是否存在
[21:16]	MTRR	MTRR 寄存器实现编号
[15:13]	BBUS WIDTH	总线位宽。1 = 128-bit, 2 = 64-bit, 4 = 32-bit.
[12:2]	CACHE SET SIZE	Cache 大小（KB）
[1:0]	WAY	多通道状态。 “00“：直接映射 “01“：2-way “10“：3-way “11“：4-way

5.6.3 L2C flush 寄存器

表 5-4 L2C flush寄存器 1(memory address)

位	位名称	位描述
[31:5]	Memory address	存储器地址，如果要 flush 所有的 cache 空间，该区域置 0
[4]	REV	保留
[3]	DI	Cache 关闭
[2:0]	Flush MODE	Flush模式选择： “001“：对一行标记无效，“010”：将一行cache数据写回,但不进行无效标记 “011“：进行无效标记并写一行回数据. “101“:将cache空间全部标记为无效，“110”:写回所有的cache数据，但不进行无效标记，“111“：写回所有的cache数据并且进行无效标记

5.6.4 L2C flush 寄存器

表 5-5 L2C flush寄存器 2(set, index)

位	位名称	位描述
[31:16]	Cache line index	对 cache 行 flush 操作时候使用的 Cache 行索引
[31：10]	TAG	对 cache 进行通道 flush 操作时候使用。进行 cache 行 flush 操作时，[15：0]应该被置‘0’
[9]	FETCH	置 1 时，执行通道 flush 操作后，数据存 memory 读取。进行 cache 行 flush 操作时，该位应该被置‘0’
[8]	VALID	通道flush操作时的有效位。进行cache行flush操作时，该位应该被置‘0’
[7]	DIRTY	通道 flush 操作时的 dirty 位。进行 cache 行 flush 操作时，该位应该被置‘0’
[6]	RES	保留
[5:4]	WAY	Cache 通道
[3]	DI	Cache 关闭
[2]	WF	进性通道 flush 操作

位	位名称	位描述
[1:0]	Flush	Flush模式选择： 行flush操作： “01“：对cache一行做无效标记 “10”：如果数据修改过，对cache行进行写回存储器操作 “11“：如果数据修改过，对cache行进行写回存储器操作，并做无效标记. 通道flush操作： “01“：根据[8:7]，更新 Valid/Dirty 位 “10”：如果数据修改过，对cache行进行写回存储器操作 “11“：如果数据修改过，对 cache 行进行写回存储器操作，并且根据[8:7]，更新 Valid/Dirty 位

5.6.5 L2C 错误状态控制寄存器

表 5-6 L2C错误状态控制寄存器

位	位名称	位描述
[31:28]	AHB master index	AHB 主机索引
[27]	SCRUB	错误是否由 scrubber 触发
[26:24]	TYPE	访问错误类型： 000：读cache 001：写cache，010:存储器读取，011:存储器写入， 100：违反了写保护，101：ahb 读总线错误，110：ahb 总线写错误
[23]	TAG/DATA	0：tag错误 1：数据错误
[22]	COR/UCOR	0：可纠正错误 1：不可纠正错误
[21]	MULTI	多次错误标记
[20]	VALID	错误状态寄存器是否有 valid 错误
[19]	DISERSESP	关闭不可纠错 EDAC 错误响应
[18:16]	CORRECTABLE ERROR COUNTER	可纠正 EDAC 错误计数
[15:12]	IRQ pending	bit3：AHB 错误 bit2：写保护错误 bit1：不可纠正 EDAC 错误 bit0：可纠正 EDAC 错误
[11:8]	IRQ MASK	中断屏蔽 bit3：AHB 错误 bit2：写保护错误 bit1：不可纠正 EDAC 错误 bit0：可纠正EDAC错误
[7:6]	SELECT CB	诊断时，数据写操作校验位数据选择 00：使用正常逻辑产生的校验位 01：使用 data-check-bit 寄存器中的数据作为校验位 10：data-check-bit 寄存器中的数据于逻辑产生的校验位做XOR操作后，结果作为校验位 11：使用正常逻辑产生的校验位
[5:4]	SELECT TCB	诊断时，TAG写操作校验位数据选择 00：使用正常逻辑产生的校验位 01：使用 tag-check-bit 寄存器中的数据作为校验位 10：tag-check-bit 寄存器中的数据于逻辑产生的校验位做XOR操作后，结果作为校验位

位	位名称	位描述
		11：使用正常逻辑产生的校验位
[3]	XCB	置1时，下一次数据或者TAG写操作时，校验位将会做XOR操作
[2]	RCB	置1时，做诊断读数据的时候，会同时读回校验位。
[1]	COMP	置1时，一次触发不可纠正错误的读操作将会触发AHB错误响应
[0]	RST	初始化错误状态寄存器

5.6.6 L2C 错误地址寄存器

表 5-7 错误地址寄存器

位	位名称	位描述
[31:0]	Error address	错误地址寄存器

5.6.7 L2C TAG 位校验位寄存器

表 5-8 TAG校验位寄存器

位	位名称	位描述
[31:7]	REV	保留
[31:0]	TCB	Tag 校验位

5.6.8 L2C 数据校验位寄存器

表 5-9 数据校验位寄存器

位	位名称	位描述
[31:28]	REV	保留
[31:0]	DCB	数据校验位

5.6.9 L2C scrub 控制状态寄存器

表 5-10 L2C scrub控制状态寄存器

位	位名称	位描述
[31:16]	INDEX	下次做 scrub 操作的行索引数值
[15:4]	REV	保留
[3:2]	WAY	下次做 scrub 操作的通道索引数值
[1]	PEN	一次 scrub 操作被挂起

[0]	EN	0：关闭自动 scrub 操作 1：打开自动 scrub 操作

5.6.10 L2C scrub 延迟寄存器

表 5-11 L2C scrub延迟寄存器

位	位名称	位描述
[31:16]	REV	保留
[15:0]	Delay	延迟 scrub 操作等待

5.6.11 L2C 错误注入寄存器

表 5-12 L2C错误注入寄存器

位	位名称	位描述
[31:2]	Address	注入错误的地址
[1]	RES	保留
[0]	Inject	1：注入错误在 Address 指定的地址

5.6.12 L2C 存储器类型范围寄存器(L2CMTRR)

表 5-13 L2C存储器类型范围寄存器

位	位名称	位描述	默认值
[31:18]	Address field (R/W)	是否需要打开或关闭地址设置	0
[17:16]	ACC(Access field) (R/W)	00：uncached 01：write-through	0
[15：2]	Address mask (R/W)	[31:18]使能位。只有对应位设置为 1，则对应该地址线才有效；	0
[1]	Write-protection (R/W)	0：写保护关闭 1：写保护开启	0
[0]	Access control field (R/W)	0:访问控制关闭 1:访问控制开启;在该位为 1 时,[17:16]才有效；	0
注：该寄存器主要用来设置访问某个特定地址时是否需要开启或关闭 L2CACHE，如设置 bit[31:18] & bit[15:2] =address[31:18] & bit[15:2]且 bit[0]为 1，则 bit[17:16]为 00,不使能 L2cache，bit[17:16]为 01,使能 L2cache。 如果 bit[31:18] & bit[15:2] /=address & bit[15:2]则默认 L2CACHE 是使能的。该用法主要在 IO 和 ROM 区域使用时会做配置。			

6. 地址空间分配

6.1 内部地址空间分配

表 6-1 S698PM 芯片内部地址空间分配

地址空间	描述	容量（字节）
0x00000000—0x1FFFFFFF	外部存储器 ROM 区	512M
0x20000000—0x3FFFFFFF	外部存储器 I/O 区	512M
0x40000000—0x5FFFFFFF	外部存储器 SRAM 区	512M
0x60000000—0x7FFFFFFF	外部存储器 DDR2 区	512M
0x80000000－0x801FFFFF	APB 总线	2M
0x80200000－0x802000FF	CAN 通道 1 总线控制器	256
0x80200100－0x802001FF	CAN 通道 2 总线控制器	256
0x80210000－0x802100FF	遥测遥控的 TC 控制器	256
0x802A0000－0x802A00FF	USB HOST	256
0x802FF000－0x802FFFFF	AHB I/O 总线配置区	4K
0x90000000－0x9FFFFFFF	DSU	256M
0xF0000000－0xF03FFFFF	二级缓存寄存器区	4M
0xFFEFF000－0xFFEFFFFF	AHB 存储器总线配置区	4K
其它地址	保留未用	/

注：从 0x80000000 后地址中的特殊寄存器请使用 32 位（4 字节）进行操作，不支持单字节和双字节操作。

6.2 APB 总线地址分配

表 6-2 S698PM 芯片 APB 总线地址分配

地址空间	描述	容量（字节）
0x80000000—0x800000FF	FTM 控制器	256
0x80000100—0x800001FF	UART 1	256
0x80000200—0x800002FF	中断控制器	256
0x80000300—0x800003FF	通用定时器	256

地址空间	描述	容量（字节）
0x80000400—0x800004FF	SPI	256
0x80000500—0x800005FF	I2C	256
0x80000600—0x800006FF	GPIO1	256
0x80000700—0x800007FF	UART(debug)	256
0x80000800—0x800008FF	遥测遥控的 TM 控制器	256
0x80000900—0x800009FF	UART 2	256
0x80000A00—0x80000AFF	SPW 1	256
0x80000B00—0x80000BFF	SPW 2	256
0x80000C00—0x80000CFF	SPW 3	256
0x80000D00—0x80000DFF	SPW 4	256
0x80000E00—0x80000EFF	以太网	256
0x80000F00—0x80000FFF	AHB 状态模块	256
0x80100000—0x801000FF	通用带锁存同能定时器	256
0x80100100—0x801001FF	UART 3	256
0x80100200—0x801002FF	UART 4	256
0x80100300—0x801003FF	USBHC(EHC)	256
0x80100400—0x801004FF	GPIO 2	256
0x80100500—0x801005FF	GPREG	256
0x80108000—0x8010BFFF	1553 通道 1 的 Register	4k
0x8010c000—0x8010FFFF	1553 通道 1 的 Memory	4k
0x80110000—0x80113FFF	1553 通道 2 的 Register	4k
0x80114000—0x80117FFF	1553 通道 2 的 Memory	4k

6.3 AHB 总线状态寄存器

AHB总线状态寄存器记录了关于AHB总线传输过程中出错信息。其中状态寄存器记录了AHB错误状态信息，错误地址寄存器记录了AHB出错地址。

6.3.1 寄存器地址分配

表 6-3 寄存器地址分配

地址	读/写	有效位宽	默认值(HEX)	寄存器描述
0x80000F00	R/W	32	00000000	AHB 状态寄存器(AHB STATUS)
0x80000F04	R	32	00000000	AHB 出错地址寄存器(AHB FAIL ADDR)

6.3.2 AHB 状态寄存器

表 6-4 AHB 状态寄存器(AHB STATUS)

位	位名称	位描述
[31:10]	RES	保留
[9]	CE	CE,可纠正错误。当检测到可纠正错误时置 1，写 0 清除。
[8]	NE	NE,新错误。当检测到错误时置 1，写 0 清除。
[7]	HWRITE	AHB 总线 HWRITE 信号引起的错误
[6:3]	HMASTER	AHB 总线 HMASTER 信号引起的错误
[2:0]	HSIZE	AHB 总线 HSIZE 信号引起的错误

6.3.3 AHB 出错地址寄存器

表 6-5 AHB 出错地址寄存器(AHB FAIL ADDR)

位	位名称	位描述
[31:0]	Failing Address	AHB 总线 HADDR 信号引起的错误

7. 中断控制器

S698PM芯片内部集成支持多处理器的中断控制器，其是APB总线上的从设备。片内所有模块的中断请求信号均传送中断控制器，中断控制器通过优先级区分，中断屏蔽选择，把最高优先级的中断送所有处理器核心。

S698PM芯片的中断控制器支持15个非扩展中断（表 7-1的第1～第15号中断）

和16个扩展中断（表 7-1的第16～第31号中断）。所有的扩展中断经处理合并成一个中断信号，挂接在第11号中断。

7.1 中断优先级

通过设置中断级别寄存器ILR（Interrupt Level Register），可以为S698PM芯片的15个非扩展中断（表 7-1的第1～第15号中断）设置中断级别（级别0或级别1）。级别1的中断优先级比级别0的中断优先级高。

同一级别的中断，中断号大的优先级较高（中断 15 有优先级最高，中断1优先级最低）。级别1的最大号中断将会优先得到响应，如果级别1的无中断激发，那么，级别0的最大号中断将会优先得到响应。

另外，S698PM芯片的16个扩展中断优先级相同，不支持优先级配置，它们继承第12号中断的优先级。

7.2 中断信号流程及中断处理过程

S698PM芯片的每个处理器核心均对应单独的中断屏蔽寄存器IMR（Interrupt Mask Register）和中断强制寄存器IFR（Interrupt Force Register）。中断屏蔽寄存器用来设定对应的CPU是否要响应某个中断（或称作是否要使能某个中断）。中断强制寄存器用来强行激发某个中断。

当表 7-1所示的某个中断激发有效，则中断悬挂寄存器IPR（Interrupt Pending Register）的相应位将被置1，若此时中断屏蔽寄存器的相应位为1，则中断有效信号将送给优先级筛选模块，优先级最高的中断信号将传送给该CPU，CPU将进行中断响应。CPU响应中断后，会自动将中断悬挂寄存器的相应位清零。

此外，软件可以通过将中断强制寄存器中的相应位置1的方法，来强制产生对应的中断。在这情况，CPU在响应中断后将清除中断强制寄存器中的相应位。

系统复位后，中断屏蔽寄存器全部被设定成零，屏蔽所有中断。

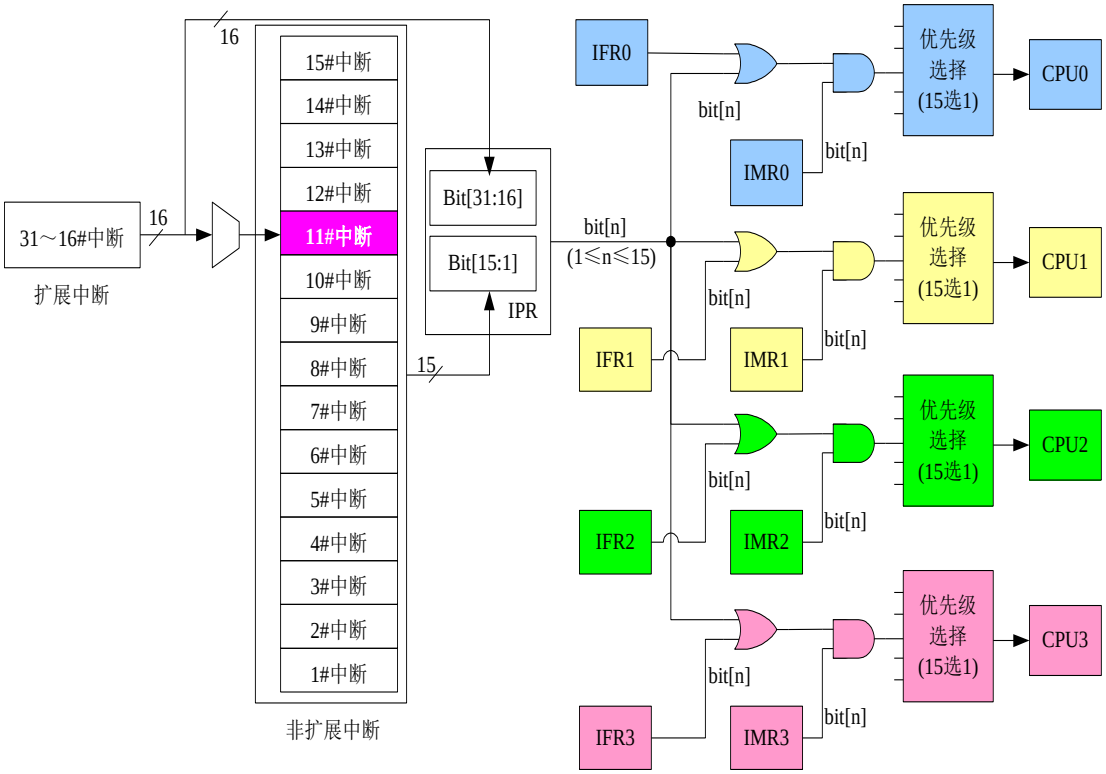


图 7-1 S698PM 芯片的中断控制器功能结构图

7.3 多处理器状态监视

S698PM 芯片通过多处理器状态寄存器MSR（Multiprocessor Status Register）可以监视各个处理器核心的状态。读MSR寄存器的bit[3:0]可以知道处理器核心是否处于运行状态，若某位为1，表示对应的处理器核心被挂起（halted），处于power-down模式，若某位为0，表示对应的处理器核心已经被激活，处于正常工作模式。往MSR寄存器的bit[3:0]的某位写入1，则可以激活对应的处理器核心。

系统复位后，除了CPU0，其它的三个CPU均处于power-down模式，CPU0可以通过操作多处理器状态寄存器MSR的bit[3:0]，激活CPU1～CPU3中的部分或全部。

7.4 中断分配表

S698PM芯片的的中断控制器总共支持32个中断源，其具体分配如表 7-1所示：

表 7-1 S698PM 芯片的中断列表

中断号	中断源	中断号	中断源
31	L2 CACHE 中断 / 外部 GPIO[62:32]中断	15	外部 GPIO[15]中断/GPIO[62:32]中断（注：该中断只能用作边沿中断，不能用作电平中断，建议最好不用该中断号）
30	UART4 中断 / 外部 GPIO[62:32]中断	14	外部 GPIO[14]中断/GPIO[62:32]中断
29	SPI 中断 / 外部 GPIO[62:32]中断	13	外部 GPIO[13]中断/GPIO[62:32]中断
28	I2C 中断 / 外部 GPIO[62:32]中断	12	外部 GPIO[12]中断/GPIO[62:32]中断
27	CCSDS TM 解码器中断 / 外部 GPIO[62:32]中断	11	扩展中断 / 外部 GPIO[11]中断/GPIO[62:32]中断
26	CCSDS TM 编码器中断 / 外部 GPIO[62:32]中断	10	M1553B-1/2 中断 / 外部 GPIO[10]中断/GPIO[62:32]中断
25	CAN2 中断 / 外部 GPIO[62:32]中断	9	通用定时器 4 中断 / 外部 GPIO[9]中断/GPIO[62:32]中断
24	CAN1 中断 / 外部 GPIO[62:32]中断	8	通用定时器 3 中断 / 外部 GPIO[8]中断/GPIO[62:32]中断
23	UART3 中断 / 外部 GPIO[62:32]中断	7	通用定时器 2 中断 / 外部 GPIO[7]中断/GPIO[62:32]中断
22	USB HOST 控制器中断 / 外部 GPIO[62:32]中断	6	通用定时器 1 中断 / 外部 GPIO[6]中断/GPIO[62:32]中断
21	外部 GPIO[62:32]中断	5	以太网中断 / 外部 GPIO[5]中断/GPIO[62:32]中断
20	CCSDS 中断(TC) / 外部 GPIO[62:32]中断	4	锁存定时器 1/2 中断 / 外部 GPIO[4]中断/GPIO[62:32]中断
19	SPW4 中断 / 外部 GPIO[62:32]中断	3	UART2 中断 / 外部 GPIO[3]中断或/GPIO[62:32]中断
18	SPW3 中断 / 外部 GPIO[62:32]中断断	2	UART1 中断 / 外部 GPIO[2]中断/GPIO[62:32]中断
17	SPW2 中断 / 外部 GPIO[62:32]中断	1	AHB 总线错误中断 / 外部 GPIO[1]中断/GPIO[62:32]中断
16	SPW1 中断 / 外部 GPIO[62:32]中断	-	-

注1：第16-31号中断通过第11号中断扩展，故如需使用第16-31号中断，需要将第11号中断先使能。

注2：由于每个中断号共用为多个中断源，因此在使用时注意每次只能使用一种中断源，其他未被使用的中断源其所在模块功能最好不要使用。如中断号2选用作GPIO[2]中断则UART1模块最好不要使用。

7.5 外部中断扩展

S698PM芯片可以通过GPIO接口扩展外部中断，表 7-1中的每一个中断源都可以作为GPIO外部中断的接入点。至于哪一个GPIO外部中断接到哪一个中断源，可以通过GPIO中断映射配置寄存器（见表 10-8）来设定。由表 7-1可以看出，部分GPIO外部中断与片内模块中断复用同一个中断源，因此用户在进行外部中断扩

展的时候，建议尽量先使用第12、13、14、15、21号中断作为GPIO外部中断接入点，若选用其它的中断源作为接入点，需要注意避免同片内模块的中断冲突，建议采用同片内模块分时复用中断源，或关闭相应片内外设的中断输出的方法。

7.6 中断寄存器

S698PM芯片的中断控制器相关的寄存器如表 7-2所示。

表 7-2 中断控制寄存器列表

地址	读写	寄存器
0x80000200	R/W	中断级别寄存器 ILR（Interrupt Level Register）
0x80000204	R	中断悬挂寄存器 IPR（Interrupt Pending Register）
0x80000208	/	保留未用
0x8000020C	W	中断清除寄存器 ICR（Interrupt Clear Register）
0x80000210	R/W	多处理器状态寄存器 MSR（Multiprocessor Status Register）
0x80000214	W	中断广播寄存器 IBR（Interrupt Broadcast Register）
0x80000240	R/W	CPU0 中断屏蔽寄存器 IMR0（CPU0 Interrupt Mask Register）
0x80000244	R/W	CPU1 中断屏蔽寄存器 IMR1（CPU1 Interrupt Mask Register）
0x80000248	R/W	CPU2 中断屏蔽寄存器 IMR2（CPU2 Interrupt Mask Register）
0x8000024C	R/W	CPU3 中断屏蔽寄存器 IMR3（CPU3 Interrupt Mask Register）
0x80000280	W	CPU0 中断强制寄存器 IFR0（CPU0 Interrupt Force Register）
0x80000284	W	CPU1 中断强制寄存器 IFR1（CPU1 Interrupt Force Register）
0x80000288	W	CPU2 中断强制寄存器 IFR2（CPU2 Interrupt Force Register）
0x8000028C	W	CPU3 中断强制寄存器 IFR3（CPU3 Interrupt Force Register）
0x800002C0	R/W	CPU0 扩展中断响应寄存器（CPU0 extended interrupt acknowledge register）
0x800002C4	R/W	CPU1 扩展中断响应寄存器（CPU1 extended interrupt acknowledge register）
0x800002C8	R/W	CPU2 扩展中断响应寄存器（CPU2 extended interrupt acknowledge register）
0x800002CC	R/W	CPU3 扩展中断响应寄存器（CPU3 extended interrupt acknowledge register）

7.6.1 中断级别寄存器

表 7-3 中断级别寄存器 ILR

位	位名称	位描述
[31:16]	RES	保留，读值为 0.
[15:1]	非扩展中断的中断级别	非扩展中断的中断级别设置：0 或 1。 例如：若将 bit[5]设为 1，则表示第 5 号中断的中断级别为 1，具有高的优先级； 若将 bit[5]设为 0，则表示第 5 号中断的中断级别为 0，具有低的优先级；
[0]	RES	保留，读值为 0.

7.6.2 中断悬挂寄存器

表 7-4 中断悬挂寄存器 IPR

位	位名称	位描述
[31:16]	扩展中断悬挂	若某位为 1，则对应表 7-1 中的相应的中断有效； 若某位为 0，则对应表 7-1 中的相应的中断无效。扩展中断的位数和程序中的 eirq 的值有关。
[15:0]	非扩展中断悬挂	若某位为 1，则对应表 7 1 中的相应的中断有效； 若某位为 0，则对应表 7 1 中的相应的中断无效。

7.6.3 中断清除寄存器

表 7-5 中断清除寄存器 ICR

位	位名称	位描述
[31:16]	扩展中断清除	往某位写‘1’，则将中断悬挂寄存器中的相应位清零； 写‘0’无意义。
[15:1]	非扩展中断清除	往某位写‘1’，则将中断悬挂寄存器中的相应位清零； 写‘0’无意义。
[0]	RES	保留，读值为 0.

7.6.4 多处理器状态寄存器

表 7-6 多处理器状态寄存器 MSR

位	位名称	位描述
[31:28]	NCPU	芯片中处理器核心数量-1，故该域恒为 3；
[27]	BA	该域恒为 1，表示支持中断广播；
[26:20]	RES	保留未用，读值为 0；
[19:16]	EIRQ	扩展中断接入到非扩展中断的入口编号。 S698PM 的扩展中断接在第 11 号中断上，故该域恒为 11。
[15:4]	RES	保留未用，读值为 0；
[3:0]	STATUS	读该域： 若第 3 位为 1，表示 CPU3 处于 power-down 模式；为 0 则为正常工作模式； 若第 2 位为 1，表示 CPU2 处于 power-down 模式；为 0 则为正常工作模式； 若第 1 位为 1，表示 CPU1 处于 power-down 模式；为 0 则为正常工作模式； 若第 0 位为 1，表示 CPU0 处于 power-down 模式；为 0 则为正常工作模式； 往该域写 1（写 0 无效）： 若往第 3 位写入 1，则可将 CPU3 从 power-down 模式唤醒，进入正常工作模式； 若往第 2 位写入 1，则可将 CPU2 从 power-down 模式唤醒，进入正常工作模式； 若往第 1 位写入 1，则可将 CPU1 从 power-down 模式唤醒，进入正常工作模式； 若往第 0 位写入 1，则可将 CPU0 从 power-down 模式唤醒，进入正常工作模式；

7.6.5 中断广播寄存器

表 7-7 中断广播寄存器 IBR

位	位名称	位描述
[31:16]	RES	保留，读值为 0.
[15:1]	BM	如果第 n（0<n<16）位被写入 1，将使能第 n（0<n<16）号非扩展中断广播模式。表示第 n 号非扩展中断广播到所有的处理器核心（CPU0～CPU3），相当于将该中断写入了所有 CPU 的中断强制寄存器的相应位中。 写入 0，无效。
[0]	RES	保留，读值为 0.

7.6.6 中断屏蔽寄存器

表 7-8 中断屏蔽寄存器 IMR

位	位名称	位描述

位	位名称	位描述
[31:16]	EIM	扩展中断屏蔽 将第 n（15<n<32）位置 0：表示第 n 个扩展中断被屏蔽； 将第 n（15<n<32）位置 1：表示第 n 个扩展中断被使能；
[15:1]	IM	非扩展中断屏蔽 将第 n（0<n<16）位置 0：表示第 n 个非扩展中断被屏蔽； 将第 n（0<n<16）位置 1：表示第 n 个非扩展中断被使能；
[0]	RES	保留，读值为 0.

7.6.7 处理器中断强制寄存器

表 7-9 中断强制寄存器

位	位名称	位描述
[31:17]	EIF	扩展中断强制 往第 n 位写入 0：无意义； 往第 n 位写入 1：表示强制使第 n 个扩展中断有效；
[16]	RES	保留，读值为 0.
[15:1]	IF	非扩展中断强制 往第 n 位写入 0：无意义； 往第 n 位写入 1：表示强制使第 n 个非扩展中断有效；
[0]	RES	保留，读值为 0.

7.6.8 扩展中断响应寄存器

表 7-10 扩展中断响应寄存器

位	位名称	位描述
[31:5]	RES	保留，读值为 0.
[4:0]	EID	扩展中断 ID 号，取值范围为 0 或 16～31。 如果最近一次中断响应（acknowledge）是针对某个扩展中断，则该域存储的就是该扩展中断的 ID 编号。 如果该域为 0，则表示最近一次中断响应不是针对扩展中断。

8. 通用定时器

S698PM芯片内部集成四个32位的通用定时器TIMER1～TIMER4，每个定时器均具有各自的定时溢出中断（第6～9号中断）。其中第四个通用定时器TIMER4还可

被用作看门狗定时器WDOG，其具有定时溢出状态输出引脚WDOG（低有效）。

8.1 通用定时器工作原理

如图 8-1所示，TIMER1～TIMER4共用一个16位的预分频器PRESCALER。预分频器PRESCALER在系统时钟SYS_CLK的驱动下，进行递减计数。预分频器PRESCALER的起始计数值由预分频器计数值寄存器(PRESCALER VALUE)设定，每当递减到0时，将从预分频器重载计数值寄存器(PRESCALER RELAOD VALUE)获取计数值，继续递减计数。每当预分频器PRESCALER递减到0时，将输出一个脉冲PRESCALER_TICK（宽度为一个SYS_CLK时钟宽度）。

若TIMERn（n=1，2，3，4）被使能（即TIMERn的控制寄存器的bit0被置1），则TIMERn将在PRESCALER_TICK的驱动下进行递减计数。TIMERn的起始计数值由定时器n定时值寄存器(TIMERn VALUE)设定。当TIMERn递减到0时：

- 若TIMERn的自动重载被使能（即控制寄存器的bit1=1），则TIMERn将从TIMERn重载定时值寄存器(TIMERn RELOAD VALUE)中获取定时值，继续递减计数。
- 若TIMERn的自动重载被关闭（即控制寄存器的bit1=0），则TIMERn停止，同时自动将TIMERn的控制寄存器的bit0被置0；
- 若TIMERn的溢出中断被使能（即控制寄存器的bit3=1），则将产生定时溢出中断，TIMERn溢出中断标志将被置有效（即控制寄存器的bit4将被置1），溢出中断标志将保持有效，直到控制寄存器的bit4被写入1才会被清除。
- 若TIMERn的溢出中断被关闭（即控制寄存器的bit3=0），则不产生定时溢出中断。

定时器TIMERn（n=1，2，3，4）定时时间长度P等于预分频器PRESCALER的计数值（PRESCALER VALUE）乘以定时器TIMERn的定时值（TIMERn VALUE），再乘以系统时钟SYS_CLK的周期（T_{SYS_CLK}），即：

$$P = (\text{PRESCALER VALUE} + 1) \times (\text{TIMERn VALUE} + 1) \times T_{SYS_CLK} \quad \text{（式8-1）}$$

通用定时器TIMER4可被用作看门狗定时器WDOG，其具有定时溢出状态输出引脚WDOG（低有效）。引脚WDOG平时为高电平，当TIMER4定时溢出时，其溢出中断标志将被置有效，而且引脚WDOG将被置为低电平，直到TIMER4控制寄存器的bit4被写入1才会被清除。

芯片复位后，TIMER1～TIMER3均处于关闭状态，TIMER4（看门狗）处于使能状态，其预分频器计数值和重载定时值都被设为全1。

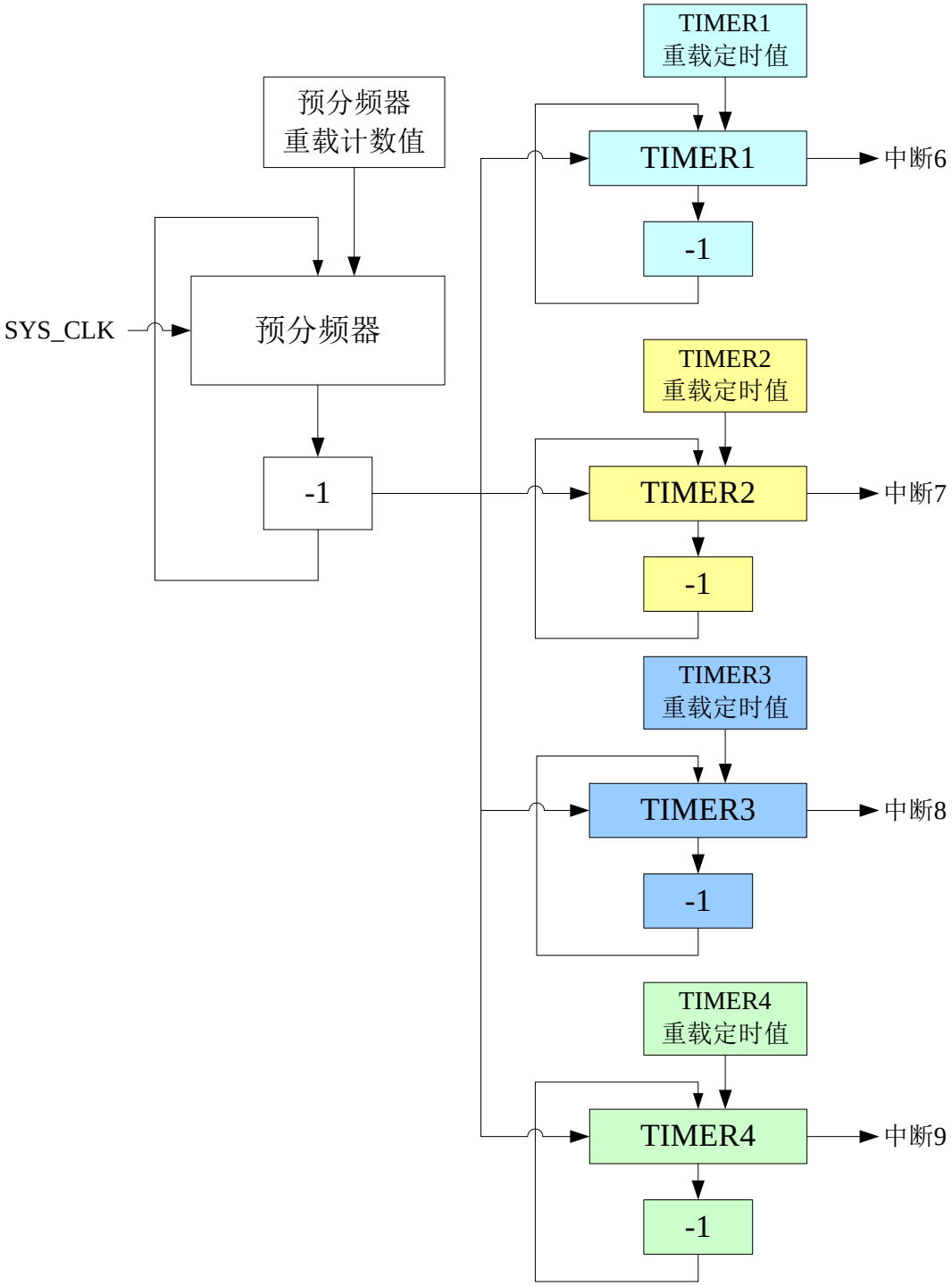


图 8-1 S698PM 芯片通用定时器结构图

S698PM的四个通用定时器具有“级联功能”。若TIMERn（n=2，3，4）的级联功能被使能（即控制寄存器的bit5=1），则TIMERn将在TIMERn-1的溢出信号驱动下进行递减计数。例如，若TIMER2的控制寄存器的bit5被置1，则TIMER1每发生

一次定时溢出，TIMER2将递减1。若四个定时器全部级联起来，相当于一个128位的定时器。

级联模式下，定时器TIMERn定时时间长度P等于预分频器PRESCALER的计数值（PRESCALER VALUE）乘以定时器TIMERn-1的定时值（TIMERn-1 VALUE），再乘以TIMERn的定时值（TIMERn VALUE），再乘以系统时钟SYS_CLK的周期（T_{SYS_CLK}），即：

P = (PRESCALER VALUE + 1) × (TIMERn-1 VALUE + 1) × (TIMERn VALUE +1)× T_{SYS_CLK} （式8-2）

8.2 通用定时器寄存器

表 8-1 寄存器地址分配

地址	读/写	有效位宽	默认值(HEX)	寄存器描述
0X80000300	R/W	16	0000FFFF	预分频器计数值寄存器(PRESCALER VALUE),要求设置为≥4
0X80000304	R/W	16	0000FFFF	预分频器重载计数值寄存器(PRESCALER RELOAD VALUE)，要求设置为≥4
0x80000308	R/W	32	00000134	通用定时器配置寄存器(TIMER CONFIG)
0X80000310	R/W	32	FFFFFFFF	通用定时器 1 定时值寄存器(TIMER1 VALUR)
0X80000314	R/W	32	FFFFFFFF	通用定时器 1 重载定时值寄存器(TIMER1 RELOD VALUE)
0X80000318	R/W	32	00000000	通用定时器 1 控制寄存器(TIMER1 CONTROL)
0X80000320	R/W	32	FFFFFFFF	通用定时器 2 定时值寄存器(TIMER2 VALUE)
0X80000324	R/W	32	FFFFFFFF	通用定时器 2 重载定时值寄存器(TIMER2 RELOD VALUE)
0X80000328	R/W	32	00000000	通用定时器 2 控制寄存器(TIMER2 CONTROL)
0X80000330	R/W	32	FFFFFFFF	通用定时器 3 定时值寄存器(TIMER3 VALUR)
0X80000334	R/W	32	FFFFFFFF	通用定时器 3 重载定时值寄存器(TIMER3 RELOD VALUE)
0X80000338	R/W	32	00000000	通用定时器 3 控制寄存器(TIMER3 CONTROL)
0X80000340	R/W	32	FFFFFFFF	通用定时器 4 定时值寄存器(TIMER4 VALUR)
0X80000344	R/W	32	FFFFFFFF	通用定时器 4 重载定时值寄存器(TIMER4 RELOD VALUE)
0X80000348	R/W	32	00000009	通用定时器 4 控制寄存器(TIMER4 CONTROL)

8.2.1 预分频器计数值寄存器

表 8-2 预分频器计数值寄存器(PRESCALER VALUE)

位	位名称	位描述
[31:16]	RES	保留，读值为 0。
[15:0]	Prescaler Value	预分频器计数值，要求设置为≥4。

8.2.2 预分频器重载计数值寄存器

表 8-3 预分频器重载计数值寄存器(PRESCALER RELOAD VALUE)

位	位名称	位描述
[31:16]	RES	保留，读值为 0。
[15:0]	Prescaler Relod Value	预分频器重载计数值，要求设置为≥4。

8.2.3 通用定时器配置寄存器

表 8-4 通用定时器配置寄存器(TIMER CONFIG)

位	位名称	位描述
[31:10]	RES	保留，读值为 0。
[9]	DF	若被置‘1’，调试模式下，定时器仍将继续计数。 若被置‘0’，调试模式下，定时器将停止计数。
[8]	SI	该域恒为‘1’，表示四个通用定时器使用独立的中断。只读。
[7:3]	IRQ	该域恒为“00110”，表示四个通用定时器的起始中断号为 6。只读。
[2:0]	TIMERS	该域恒为“100”，表示 S698PM 有 4 个通用定时器。只读。

8.2.4 通用定时器定时值寄存器

表 8-5 通用定时器定时值寄存器(TIMERn VALUE)

位	位名称	位描述
[31:0]	TIMER VALUR	定时器定时值。 每当 PRESCALER_TICK 有效时，该域递减 1。

8.2.5 通用定时器重载值寄存器

表 8-6 通用定时器重载值寄存器(TIMERn RELOAD VALUE)

位	位名称	位描述
[31:0]	RELOD VALUR	定时器重载定时值。 两种情况下进行计数重置： 1)、当定时器控制寄存器的 bit2 被写 1； 2)、控制寄存器中的 bit=1，且定时溢出时。

8.2.6 通用定时器控制寄存器

表 8-7 通用定时器控制寄存器(TIMER CONTROL)

位	位名称	位描述
[31:7]	RES	保留，读值为 0。
[6]	DH	调试模式，定时器挂起标志。只读。 若为‘1’，表示调试模式下，定时器仍将继续计数。 若为‘0’，表示调试模式下，定时器将停止计数。
[5]	CH	级联使能位，高有效。 若为 1，则 TIMERn 将在 TIMERn-1 溢出时递减 1。 若为 0，级联功能关闭。
[4]	IP	定时器溢出中断标志位。 若定时器溢出中断被使能(bit3=1)，当定时器溢出时，该位被置 1。 往该位写入 1 时，可将该位清零。 往该位写入 0 时，无效。
[3]	IE	定时器溢出中断使能位，高有效。
[2]	LD	定时器重载命令。 写入 1，定时器将立即从重载值寄存器中获取定时器重新定时计数。 写入 0，无效。
[1]	RS	定时器自动重载使能，高有效。
[0]	EN	定时器使能位，高有效。

9. 锁存定时器

S698PM芯片内部集成两个32位的带锁存功能的定时器LTIMER1～LTIMER2，两个锁存定时器均共用定时溢出中断（第4号中断）。

9.1 锁存定时器工作原理

如图 9-1所示，LTIMER1和LTIMER2共用一个16位的预分频器PRESCALER。预分频器PRESCALER在系统时钟SYS_CLK的驱动下，进行递减计数。预分频器PRESCALER的起始计数值由预分频器计数值寄存器(PRESCALER VALUE)设定，每当递减到0时，将从预分频器重载计数值寄存器(PRESCALER RELAOD VALUE)获取计数值，继续递减计数。每当预分频器PRESCALER递减到0时，将输出一个的脉冲PRESCALER_TICK（宽度为一个SYS_CLK时钟宽度）。

若LTIMERn(n=1,2)被使能(即LTIMERn的控制寄存器的bit0被置1)，则TIMERn将在PRESCALER_TICK的驱动下进行递减计数。TIMERn的起始计数值由定时器n定时值寄存器(TIMERn VALUR)设定。当TIMERn递减到0时：

- 若LTIMERn的自动重载被使能（即控制寄存器的bit1=1），则LTIMERn从将从LTIMERn重载定时值寄存器(LTIMERn RELOD VALUE)中获取定时值，继续递减计数。
- 若LTIMERn的自动重载被关闭(即控制寄存器的bit1=0)，则LTIMERn停止，同时自动将LTIMERn的控制寄存器的bit0被置0；
- 若LTIMERn的溢出中断被使能（即控制寄存器的bit3=1），则将产生定时溢出中断，LTIMERn溢出中断标志将被置有效（即控制寄存器的bit4将被置1），溢出中断标志将保持有效，直到控制寄存器的bit4被写入1才会被清除。
- 若LTIMERn的溢出中断被关闭（即控制寄存器的bit3=0），则不产生定时溢出中断。

定时器LTIMERn（n=1，2）定时时间长度P等于预分频器PRESCALER输出脉冲周期乘以定时器定时值，再乘以系统时钟SYS_CLK的周期（T_{SYS_CLK}），即：

P = (PRESCALER VALUE + 1) × (LTIMER VALUR + 1) × T_{SYS_CLK} （式9-1）

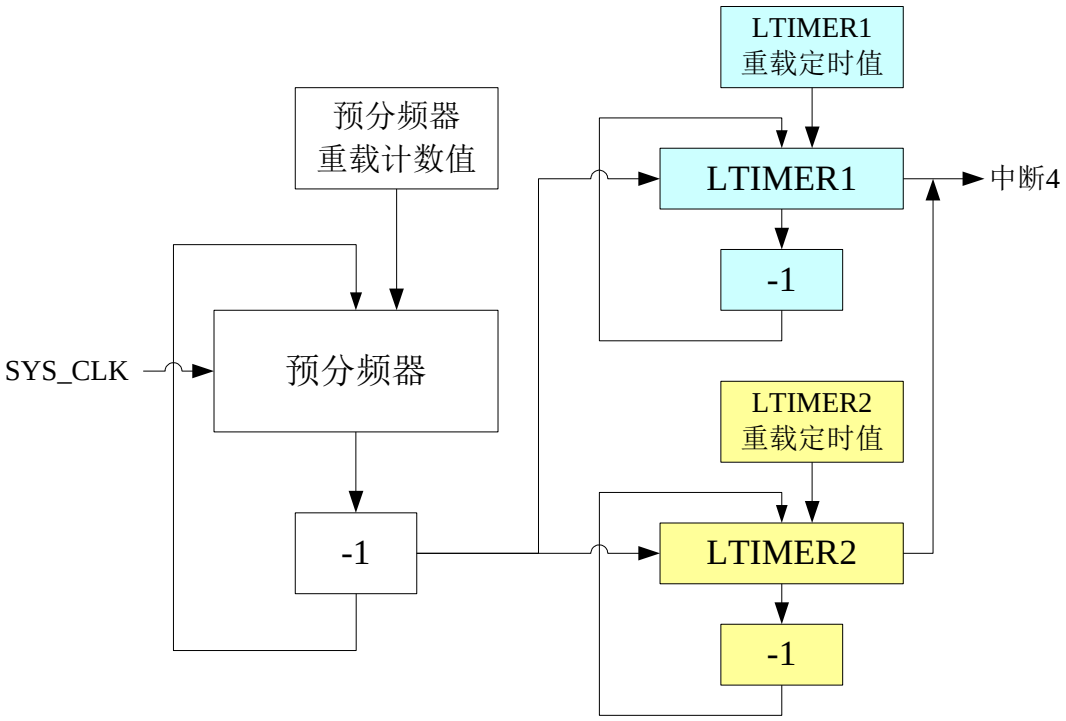


图 9-1 S698PM 芯片锁存定时器结构图

S698PM的两个锁存定时器具有“级联功能”。若LTIMER2的级联功能被使能（即控制寄存器的bit5=1），则LTIMER2将在LTIMER1的溢出信号驱动下进行递减计数，即LTIMER1每发生一次定时溢出，LTIMER2将递减1。若两个锁存定时器级联起来，相当于一个64位的定时器。

级联模式下，定时器LTIMER2定时时间长度P等于预分频器PRESCALER的计数值（PRESCALER VALUE）乘以定时器LTIMER1的定时值（LTIMER1 VALUE），再乘以LTIMER2的定时值（TIMER2 VALUE），再乘以系统时钟SYS_CLK的周期（T_{SYS_CLK}），即：

P = (PRESCALER VALUE + 1) × (LTIMER1 VALUE + 1) × (LTIMER2 VALUE + 1) × T_{SYS_CLK}

（式9-2）

9.2 锁存定时器寄存器

表 9-1 锁存定时器寄存器地址分配

地址	读/写	有效位宽	默认值(HEX)	寄存器描述
0x80100000	R/W	32	0000FFFF	预分频器计数值寄存器(PRESCALER VALUE)
0x80100004	R/W	32	0000FFFF	预分频器重载计数值寄存器(PRESCALER RELOAD VALUE)
0x80100008	R/W	32	00000022	锁存定时器配置寄存器(LTIMER CONFIG)
0x8010000C	R/W	32	00000000	锁存触发中断选择寄存器(LTIMER LATCH INT SELECT)
0x80100010	R/W	32	FFFFFFFF	锁存定时器 1 定时值寄存器(LTIMER1 VALUR)
0x80100014	R/W	32	FFFFFFFF	锁存定时器 1 重载定时值寄存器(LTIMER1 RELOD VALUE)
0x80100018	R/W	32	00000000	锁存定时器 1 控制寄存器(LTIMER1 CONTROL)
0x8010001C	R	32	--------	锁存定时器 1 锁存值寄存器(LTIMER1 LATCH VALUE)
0x80100020	R/W	32	FFFFFFFF	锁存定时器 2 定时值寄存器(LTIMER2 VALUR)
0x80100024	R/W	32	FFFFFFFF	锁存定时器 2 重载定时值寄存器(LTIMER2 RELOD VALUE)
0x80100028	R/W	32	00000000	锁存定时器 2 控制寄存器(LTIMER2 CONTROL)
0x8010002C	R	32	--------	锁存定时器 2 锁存值寄存器(LTIMER2 LATCH VALUE)

9.2.1 预分频器计数值寄存器

表 9-2 预分频器计数值寄存器(PRESCALER VALUE)

位	位名称	位描述
[31:16]	RES	保留，读值为 0。
[15:0]	Prescaler Value	预分频器计数值

9.2.2 预分频器重载计数值寄存器

表 9-3 预分频器重载计数值寄存器(PRESCALER RELOAD VALUE)

位	位名称	位描述
[31:16]	RES	保留，读值为 0。
[15:0]	Prescaler Relod Value	预分频器重载计数值

9.2.3 锁存定时器配置寄存器

表 9-4 锁存定时器配置寄存器(LTIMER CONFIG)

位	位名称	位描述
[31:10]	RES	保留，读值为 0。
[11]	EL	锁存功能使能，高有效。 若为‘1’，锁存功能被使能。当锁存触发中断选择寄存器中选定的任意一个中断有效时，锁存定时器的当前计数值将被锁存到锁存值寄存器，同时该位将自动清零，直到下次被软件置 1 为止。 若为‘0’，锁存功能被关闭。
[10]	RES	保留，读值为 0。
[9]	DF	若被置‘1’，调试模式下，定时器仍将继续计数。 若被置‘0’，调试模式下，定时器将停止计数。
[8]	SI	该域恒为‘0’，表示两个锁存定时器共用中断。只读。
[7:3]	IRQ	该域恒为“00100”，表示锁存定时器的中断号为 4。只读。
[2:0]	TIMERS	该域恒为“010”，表示 S698PM 有 2 个锁存定时器。只读。

9.2.4 锁存触发中断选择寄存器

表 9-5 锁存触发中断选择寄存器(LTIMER LATCH INT SELECT)

位	位名称	位描述
[31:1]	LATCH INT SELECT	若某些位被置 1，表示当对应的中断的任意一个有效，且锁存定时器配置寄存器的 bit11 为 1 是，LTIMER1 和 LTIMER2 的当前计数值将被存入各自的锁存值寄存器。
[0]	RES	保留，读值为 0。

9.2.5 锁存定时器定时值寄存器

表 9-6 锁存定时器定时值寄存器(COUNTER VALUR)

位	位名称	位描述
[31:0]	TIMER VALUR	定时器定时值。 每当 PRESCALER_TICK 有效时，该域递减 1。

9.2.6 锁存定时器重载值寄存器

表 9-7 锁存定时器重载值寄存器(RELOD VALUR)

位	位名称	位描述
[31:0]	RELOD VALUR	定时器重载定时值。 两种情况下进行计数重置： 1)、当定时器控制寄存器的 bit2 被写 1； 2)、控制寄存器中的 bit=1，且定时溢出时。

9.2.7 锁存定时器控制寄存器

表 9-8 锁存定时器控制寄存器(LTIMER CONTROL)

位	位名称	位描述
[31:7]	RES	保留，读值为 0。
[6]	DH	调试模式，定时器挂起标志。只读。 若为‘1’，表示调试模式下，定时器仍将继续计数。 若为‘0’，表示调试模式下，定时器将停止计数。
[5]	CH	级联使能位，高有效。 若为 1，则 LTIMERn 将在 LTIMERn-1 溢出时递减 1。 若为 0，级联功能关闭。
[4]	IP	定时器溢出中断标志位。 若定时器溢出中断被使能(bit3=1)，当定时器溢出时，该位被置 1。 往该位写入 1 时，可将该位清零。 往该位写入写入 1，无效。
[3]	IE	定时器溢出中断使能位，高有效。
[2]	LD	定时器重载命令。 写入 1，定时器将立即从重载值寄存器中获取定时器重新定时计数。 写入 0，无效。
[1]	RS	定时器自动重载使能，高有效。
[0]	EN	定时器使能位，高有效。

9.2.8 锁存定时器锁存值寄存器

表 9-9 锁存定时器的锁存值寄存器(LTIMER LATCH VALUE)

位	位名称	位描述

位	位名称	位描述
[31:0]	LATCH VALUE	锁存定时器的锁存值。

10. 通用输入输出接口 GPIO

S698PM芯片集成64位的通用输入输出接口GPIO（64位的GPIO被分成两组GPIO[63:32]和GPIO [31:0]），每一个GPIO都可以独立配置成输入口或输出口。GPIO[15:1]和GPIO[62:32]还可以作为外部中断的输入接口(GPIO[31:16]不能配置为外部中断的输入接口)，GPIO[15:1]对应相应的中断号[15:1]，GPIO[62:32]对应的中断号通过GPIO外部中断映射配置寄存器配置（见10.2.7节）。S698PM芯片的GPIO与芯片的其它信号复用，具体情况请查看“封装及信号”章节。

10.1 GPIO 的工作原理

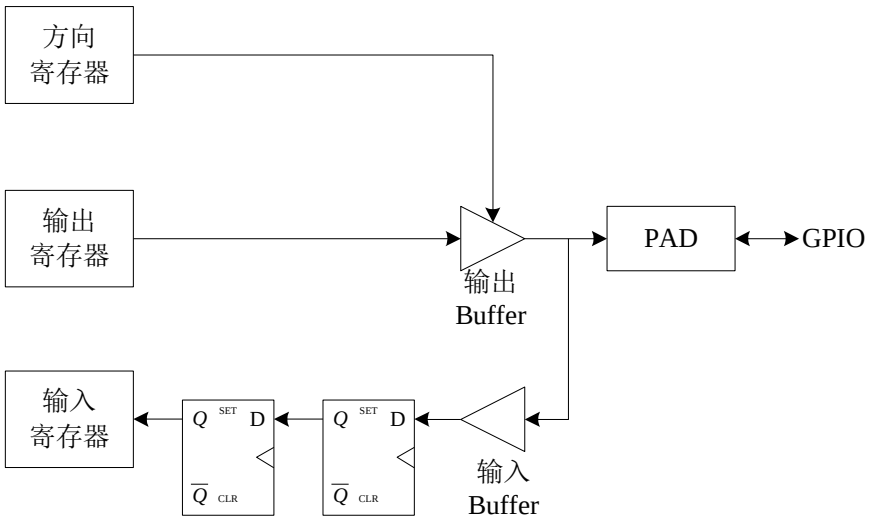


图 10-1 S698PM 芯片 GPIO 结构示意图

GPIO口的输入信号经过两个D触发器，可以滤出一定的干扰和毛刺，然后才进入输入寄存器。

GPIO的方向设置：通过设置GPIO方向寄存器的相应位可以设置对应GPIO口的方向，1表示输出，0表示输入。所有的GPIO复位默认为输入状态。

GPIO的输入状态获取：首先要将要目标GPIO设为输入状态，然后读取GPIO输入寄存器，便可以获得目标GPIO口的输入状态。

GPIO输出设定：首先要将要目标GPIO设为输出状态，然后往GPIO输出寄存器的对应位写入期望输出的值，便可实现GPIO口输出设定。

GPIO[62:32]外部中断扩展：首先设置外部中断映射配置寄存器，将GPIO[62:32]外部中断接到目标中断源；第二步操作外部中断方式寄存器，决定是采用电平还是边沿来触发中断；第三步操作外部中断极性寄存器，设定是中断触发的极性是高电平还是低电平；第四步操作外部中断屏蔽寄存器，使能相应的外部中断。

GPIO[15:1]外部中断：GPIO[15:1]分别对应中断号15到中断号1；首先将GPIO[15:1]外部中断接到目标中断号；第二步操作外部中断方式寄存器，决定是采用电平还是边沿来触发中断；第三步操作外部中断极性寄存器，设定中断触发的极性是高电平还是低电平；第四步操作外部中断屏蔽寄存器，使能相应的外部中断。

10.2 GPIO 寄存器

表 10-1 GPIO 寄存器地址分配

地址	读/写	有效位宽	默认值(HEX)	寄存器描述
0X80000600	R	32	00000000	GPIO[31:0]数据输入寄存器(INPUT)
0X80000604	R/W	32	00000000	GPIO[31:0]数据输出寄存器(OUTPUT)
0X80000608	R/W	32	00000000	GPIO[31:0]方向寄存器(DIRECTION)
0X8000060C	R/W	32	00000000	GPIO[31:0] 外部中断屏蔽寄存器(INT MASK)
0X80000610	R/W	32	00000000	GPIO[31:0] 外部中断极性寄存器(INT POLAR)
0X80000614	R/W	32	00000000	GPIO[31:0] 外部中断方式寄存器(INT EDGE)
0X80100400	R	32	00000000	GPIO[63:32]数据输入寄存器(INPUT)
0X80100404	R/W	32	00000000	GPIO[63:32]数据输出寄存器(OUTPUT)
0X80100408	R/W	32	00000000	GPIO[63:32]方向寄存器(DIRECTION)
0X8010040C	R/W	32	00000000	GPIO[63:32] 外部中断屏蔽寄存器(INT MASK)

0X80100410	R/W	32	00000000	GPIO[63:32] 外部中断极性寄存器(INT POLAR)
0X80100414	R/W	32	00000000	GPIO[63:32] 外部中断方式寄存器(INT EDGE)
0X80100420	R/W	32	00000000	外部中断映射配置寄存器 1，负责配置 GPIO[32:35]
0X80100424	R/W	32	00000000	外部中断映射配置寄存器 2，负责配置 GPIO[36:39]
0X80100428	R/W	32	00000000	外部中断映射配置寄存器 3，负责配置 GPIO[40:43]
0X8010042C	R/W	32	00000000	外部中断映射配置寄存器 4，负责配置 GPIO[44:47]
0X80100430	R/W	32	00000000	外部中断映射配置寄存器 5，负责配置 GPIO[48:51]
0X80100434	R/W	32	00000000	外部中断映射配置寄存器 6，负责配置 GPIO[52:55]
0X80100438	R/W	32	00000000	外部中断映射配置寄存器 7，负责配置 GPIO[56:59]
0X8010043C	R/W	32	00000000	外部中断映射配置寄存器 8，负责配置 GPIO[60:62]

10.2.1 GPIO 数据输入寄存器

表 10-2 GPIO 数据输入寄存器(INPUT)

位	位名称	位描述
[31:0]	Input	输入 GIPO 数据值

10.2.2 GPIO 数据输出寄存器

表 10-3 GPIO 数据输出寄存器(OUTPUT)

位	位名称	位描述
[31:0]	Output	输出 GPIO 数据值

10.2.3 GPIO 方向寄存器

表 10-4 GPIO 方向寄存器(DIRECTION)

位	位名称	位描述
[31:0]	Direction	GPIO 方向寄存器值，（0=输入，1=输出）

10.2.4 GPIO 外部中断屏蔽寄存器

表 10-5 GPIO 外部中断屏蔽寄存器(INT MASK)

位	位名称	位描述
[31:0]	Interrupt Mask	外部中断屏蔽，(0=屏蔽，1=中断允许) 该域的 bit[n]设置 GPIO[n]和 GPIO[32+n]，其中 0≤n≤31；

10.2.5 GPIO 外部中断极性寄存器

表 10-6 GPIO 外部中断极性寄存器(INT POLA)

位	位名称	位描述
[31:0]	Interrupt Polarity	中断极性，(0=低点平/下降沿，1=高点平/上升沿) 该域的 bit[n] 设置 GPIO[n]和 GPIO[32+n]，其中 0≤n≤31；

10.2.6 GPIO 外部中断方式寄存器

表 10-7 GPIO 外部中断方式寄存器(EDGE)

位	位名称	位描述
[31:0]	Interrupt Edge	中断方式，(0=电平，1=边沿) 该域的 bit[n] 设置 GPIO[n]和 GPIO[32+n]，其中 0≤n≤31；

10.2.7 GPIO 外部中断映射配置寄存器

表 10-8 GPIO 外部中断映射配置寄存器 n（0≤n≤7）

位	位名称	位描述
[31:29]	RES	保留，读值为 0。
[28:24]	IRQMAP[32+4*n]	GPIO[32+4*n]外部中断映射。 若该域设为 K（1≤K≤31 且 K≠11），则 GPIO[32+4*n]外部中断被连接到第 K 号中断源。当 16≤K≤31 时会先使用扩展 11 号中断，在对应相应的中断源。
[23:21]	RES	保留，读值为 0。
[20:16]	IRQMAP[32+4*n+1]	GPIO[32+4*n+1]外部中断映射。 若该域设为 K（1≤K≤31 且 K≠11），则 GPIO[32+4*n+1]外部中断被连接到第 K 号中断源。当 16≤K≤31 时会先使用扩展 11 号中断，在对应相应的中断源。
[15:13]	RES	保留，读值为 0。

位	位名称	位描述
[12:8]	IRQMAP[32+4*n+2]	GPIO[32+4*n+2]外部中断映射。 若该域设为 K（1≤K≤31 且 K≠11），则 GPIO[32+4*n+2]外部中断被连接到第 K 号中断源。当 16≤K≤31 时会先使用扩展 11 号中断，在对应相应的中断源。
[7:5]	RES	保留，读值为 0。
[4:0]	IRQMAP[32+4*n+3]	GPIO[32+4*n+3]外部中断映射。 若该域设为 K（1≤K≤31 且 K≠11），则 GPIO[32+4*n+3]外部中断被连接到第 K 号中断源。当 16≤K≤31 时会先使用扩展 11 号中断，在对应相应的中断源。特别说明 GPIO[63]不能产生中断；

11. 多功能引脚配置寄存器 GPREG

11.1 概述

该寄存器主要用来设置多功能引脚SP[17-69]，是作专用模块引脚，还是作通用GPIO引脚。

表 11-1 多功能引脚配置 GPREG 寄存器地址

地址	寄存器
0x80100500	通用寄存器 31：0

11.1.1 GPREG 通用寄存器

表 11-2 多功能引脚配置 GPREG 寄存器

位	位名称	位描述
[31:11]	RES	保留
9	tc_en	默认值为“0”，作为 GPIO 口；当该位为“1”用作 TM/TC-TC 模块的功能脚。对应 SP[69-50]引脚。
8	tm_en	默认值为“0”，作为 GPIO 口；当该位为“1”用作 TM/TC-TM 模块的功能脚。对应 SP[49-47]引脚。
7	spw_en(3)	默认值为“0”，作为 GPIO 口；当该位为“1”用作 SPW-4 模块的功能脚。对应 SP[46-43]引脚。
6	spw_en(2)	默认值为“0”，作为 GPIO 口；当该位为“1”用作 SPW-3 模块的功能脚。对应 SP[42-39]引脚。
5	spi_en	默认值为“0”，作为 GPIO 口；当该位为“1”用作 SPI 模块的功能脚。对应 SP[38-36]引脚。
4	I2C_en	默认值为“0”，作为 GPIO 口；当该位为“1”用作 I2C 模块的功能脚。对应 SP[35-34]引脚。
3	can_en	默认值为“0”，作为 GPIO 口；当该位为“1”用作 CAN-1 模块的功能脚。对应 SP[33-32]引脚。
2	m1553_en	默认值为“0”，作为 GPIO 口；当该位为“1”用作 1553-1 模块的功能脚。对应 SP[21-31]引脚。
1	uart_en(3)	默认值为“0”，作为 GPIO 口；当该位为“1”用作 UART3 模块的功能脚。

位	位名称	位描述
		对应 SP[18-17]引脚。
0	uart_en(2)	默认值为“0”，作为 GPIO 口；当该位为“1”用作 UART2 模块的功能脚。对应 SP[20-19]引脚。

12. I²C 总线主控制器

12.1 概述

I²C是一种串行数据传输的标准总线。S698PM芯片中的I²C master控制器与飞利浦I²C标准兼容，支持7位和10位的地址。标准模式工作下速率为100kb/s，快速模式为400kb/s。被配置为I2C主控设备（master）。发送波特率、模块使能、中断使能等都可以配置。模块主要由寄存器组、字节控制逻辑、比特控制逻辑组成。I²C主控制器结构框图如下：

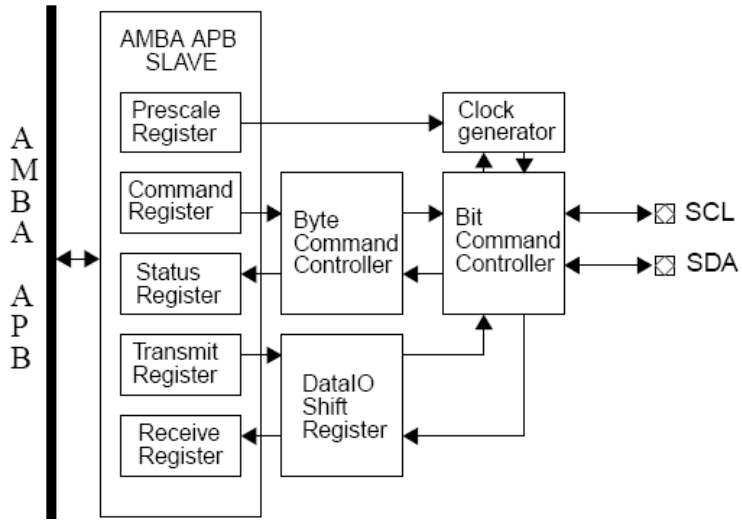


图 12-1 I²C master 结构框图

12.2 I²C 工作原理

I²C总线具备冲突检测和裁决，包括串行数据线(SDA)和串行时钟线(SCL)。I²C总线数据传输开始于START状态。当SCL为高时，SDA从高电平转换到低电平时的状态为START状态。I²C总线数据传输结束于STOP状态，当SCL为高时，SDA从低电平转换到高电平的状态为STOP状态。I2C总线在START状态后处于忙状态，在STOP

状态结束后一段时间处于空闲状态。

下图为I²C数据传输示意图，master首先产生一个START状态，然后发送一个7位的slave地址，跟着slave地址之后的是1位读写控制位。当读写控制位为0时，为写操作，为1时，为读操作。当传输完地址和读写控制信号后，释放SDA信号线。接收端把SDA信号线拉低作为对发送端的响应信号。如果接收端没有响应发送端，master会产生一个STOP状态来中止传输或者产生一个重复的START状态来开始一个新的传输。

在第一个字节传输得到响应后，master开始传输数据。如果读写控制位设置为1，master将作为这个数据传输周期中的接收端来读取数据。在数据传输完毕并且得到响应之后，master产生一个STOP状态，表示传输完成。如果对于一个slave设备来说，数据bitrate太高，则可以通过在master驱动SCL为低电平之后通过保持SCL为低电平的时间来延长时钟周期。

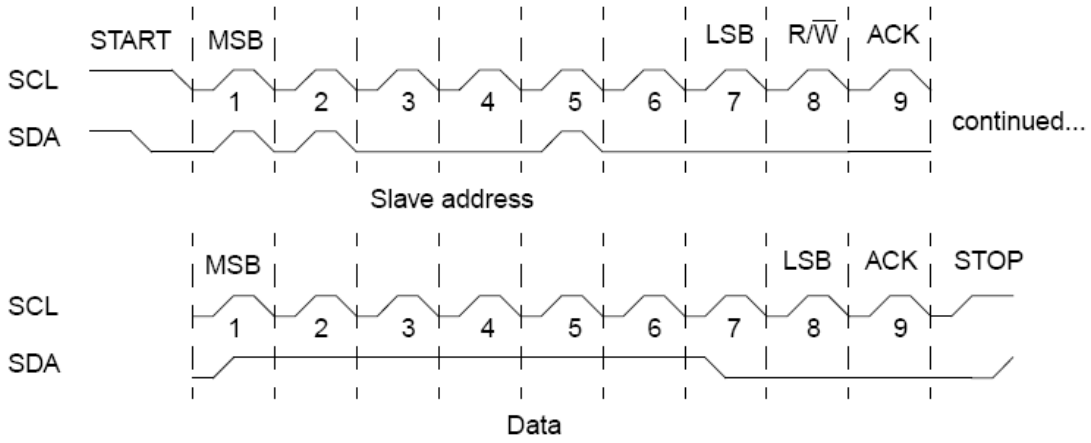


图 12-2 I²C 数据传输示意图

通过设置prescale寄存器来决定SCL时钟线的频率，采用下面的公式来计算prescale值：

$$Prescale=\frac{SYSCLK}{5*SCLfrequency}-1 \qquad （式 12－1）$$

标准模式下SCL频率为100kHz，快速模式下SCL频率为400kHz，当SYSCLK频率为60MHz时，为了使I²C内核工作在标准模式，则需要的prescale值如下

$$Prescale=\frac{60MHz}{5*100kHz}-1=119=0x77 \qquad (式\ 12-2)$$

注意只有在I²C内核被disabled后才能修改prescale寄存器值。

注：考虑到I²C标准规定以及时序违例原则，使用本模块时系统时钟频率最低不得低于20Mhz。

12.3 I²C-master 寄存器

I²C-master 寄存器列表如下：

表 12-1 I²C-master 寄存器

地址	读写	寄存器说明
0x80000500	R/W	时钟 prescale 寄存器
0x80000504	R/W	控制寄存器
0x80000508	W	发送器寄存器
0x80000508	R	接收器寄存器
0x8000050C	W	命令寄存器
0x8000050C	R	状态寄存器
0x80000510	R/W	动态滤波器寄存器(某些版本可用)

12.3.1 I²C -master 时钟预分频(prescale)寄存器

表 12-2 I²C-master 时钟预分频(prescale)寄存器

位	位名称	位描述
[31:16]	RES	保留
[15:0]	Clock Prescale	设置 SCL 时钟的频率。只有当控制寄存器使能位 EN 设置为 0 时才能更改此预分频值。可以设置的最小值为 0x0003。低于此分频值的话将导致 IC 时序违例。

12.3.2 I²C -master 控制寄存器

表 12-3 I²C-master 控制寄存器

位	位名称	位描述
[31:8]	RES	保留
[7]	EN	使能(EN)：使能 I2C 功能模块。该位置 1，开启
[6]	IEN	中断使能(IEN)：该位置 1 时，数据传输完成后会产生中断信号
[5:0]	RES	保留

12.3.3 I²C-master 发送寄存器

表 12-4 I²C-master 发送寄存器

位	位名称	位描述
[31:8]	RES	保留
[7:1]	TDATA	发送数据(TDATA)：I2C 总线将要发送的数据，高位为 MSB
[0]	RW	写/读(RW)：读写控制位，在传输中，1 表示从 Slave 读，0 表示写 Slave

12.3.4 I²C -master 接收寄存器

表 12-5 I²C-master 接收寄存器

位	位名称	位描述
[31:8]	RES	保留
[7:0]	RDATA	接收数据(RDATA)：通过 I2C 总线接收到的最后 1 个字节数据

12.3.5 I²C -master 命令寄存器

表 12-6 I²C-master 命令寄存器

位	位名称	位描述
[31:8]	RES	保留
[7]	STA	开始(STA)：在 I2C 总线上产生 START 状态。也用于产生重复 START 状态
[6]	STO	停止(STO)：产生停止状态
[5]	RD	读(RD)：从 slave 上读数据
[4]	WR	写(WR)：往 slave 写数据
[3]	ACK	响应(ACK)：I2C-master 作为接收器时使用该位，‘0’发送 ACK 信号，‘1’发送 NACK
[2:1]	RES	保留
[0]	IACK	中断响应(IACK)：清除状态寄存器中的中断标志信号

12.3.6 I²C -master 状态寄存器

表 12-7 I²C-master 状态寄存器

位	位名称	位描述
[31:8]	RES	保留
[7]	RxACK	接收响应(RxACK)：从 slave 接收响应。没有接收到响应信号，该位为‘1’。slave 响应了传输动作，则为‘0’
[6]	BUSY	I²C 总线忙(BUSY)：当检测到 start 信号，该位为‘1’。检测到 stop 信号后该位置‘0’
[5]	AL	仲裁丢失(AL)：当内核丧失仲裁，该位为‘1’。当检测到 stop 信号却没有被请求信号或者 master 驱动 SDA 信号到高，而实际 SDA 为低时，该情况发生
[4:2]	RES	保留
[1]	TIP	传输进度(TIP)：正在传输数据，该位为‘1’，完成数据传输，该位为‘0’
[0]	IF	中断标志(IF)：当完成一个字节的传输并且不需要裁决的时候，该位置‘1’。如果控制寄存器的 IEN 置‘1’，将会产生中断。即使该位没有清除，

位	位名称	位描述
		也会产生新的中断

12.3.7 I²C-master 动态滤波器寄存器

表 12-8 I²C-master 动态滤波器寄存器

位	位名称	位描述
[31:x]	RES	保留
[x-1:0]	FILT	动态滤波器重载值(FILT)：设置动态滤波器计数器的重载值。模块将忽略所有时间长度短于 2*重载值*（系统时钟周期）-1 的信号。 此位初始值为全‘1’。

$$FILT = (\frac{SYSCLK}{5 * SCLK_{frequency}} - 1)/10 \qquad （式 12－3）$$

SYSCLK 为系统时钟，如果计算结果 FILT 的值小于 1 则设为 1，如果计算结果 FILT 的值大于 1 则取整。

13. 调试支持模块 DSU

13.1 DSU 简介

为方便 S698PM 的硬件调试工作，该芯片在设计之初，添加 DSU 调试模块，在调试模式下，DSU 模块直接控制 S698PM 内核，通过串口、以太网口可以很方便读取 S698PM 内核里的寄存器、设置断点、设置配置信息、读取外部 FLASH、SRAM 等工作。同时 DSU 模块支持控制多核系统，可以任意控制 S698PM 芯片内的任一个内核。

S698PM 的 DSU 模块结构图如下图 13-1。

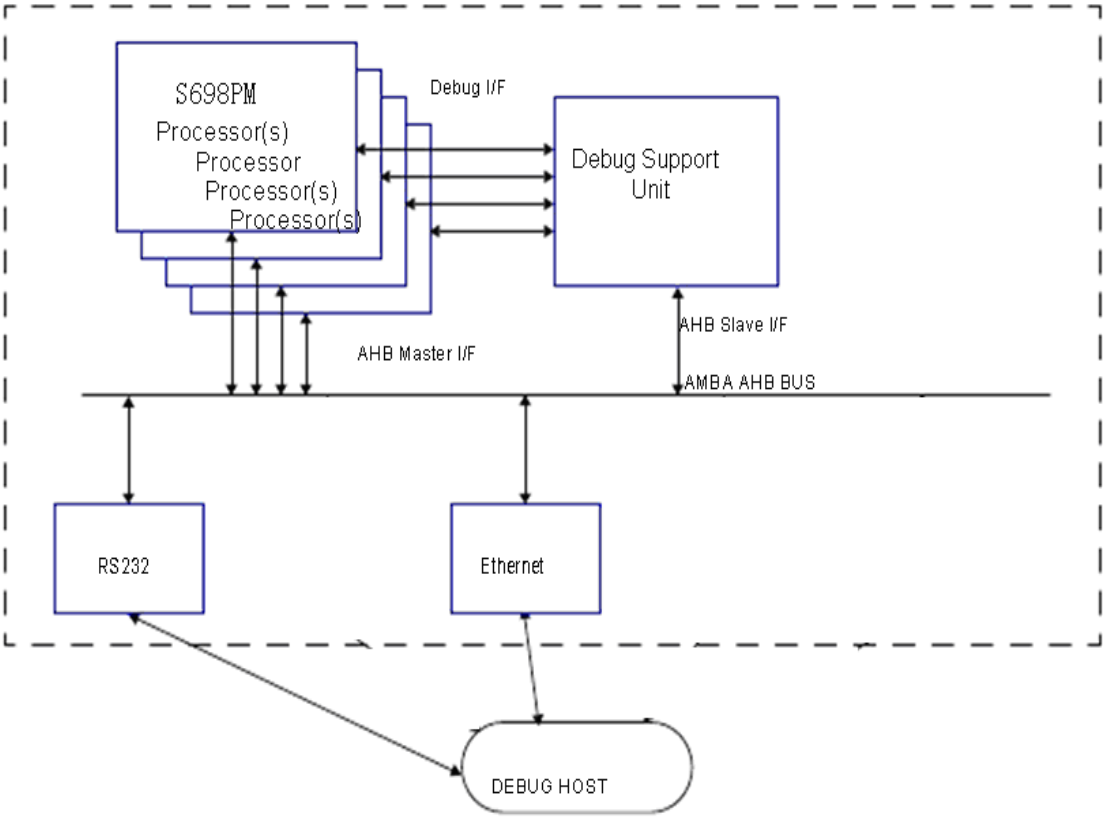


图 13-1 S698PM 内部 DSU 模块结构图

13.2 DSU 工作原理

通过 DSU AHB 从设备接口，任何 AHB 主机可以访问处理器寄存器和命令跟踪缓存区中的内容，相对处理器只有进入调试模式时，处理器寄存器，缓存和命令跟踪缓存区才能被访问的而言，DSU 控制寄存器却可以在任何时刻都能够访问。在调试模式里，处理器的流水线和处理器状态都可以被 DSU 模块访问。下列事件可以触发进入调试模式：

- 执行断点命令（ta 1）
- 整数单元硬件断点、观察点触发（trap 0xb）
- 外部断点信号（DSUBRE）的上升沿触发
- 在 DSU 控制寄存器设置断点位（BN）
- 引起处理器进入错误模式的陷阱
- 在 DSU 控制寄存器设置的陷阱产生
- 单步执行操作后
- 在多核系统中，某个单核进入调试模式

- DSU AHB 断点或观测点触发
- 通过外部信号（DSUEN）使能 DSU 单元后，才能够进入调试模式。当进入调试模式时，
- 下列动作发生：
- PC 和 nPC 被保存在临时寄存器（调试单元可以访问的）里
- 输出信号（DSUACT）被设计成指示调试状态
- 定时器单元冻结 S698PM 定时器和看门狗

当处理器处于调试模式时，ASI 诊断区域的访问将指向执行访问地址为原始地址的低

20 位 DSU ASI 寄存器数值的 IU 单元。

13.3 DSU 寄存器映射表

DSU 模块寄存器的基地址为：0x90000000,偏移地址及映射表 13-1 内容参考下。在 S698PM 四核系统中，每个内核的地址分别由地址线 27~24 决定，因此他们为 0x90000000、0x91000000、0x92000000、0x93000000；

13.3.1 DSU 寄存器映射表

表 13-1 DSU 寄存器映射表

偏移地址	读/写	寄存器描述
0x000000	R/W	DSU 控制寄存器
0x000008	R/W	时间标识寄存器
0x000020	R/W	断点和单步寄存器
0x000024	R/W	DSU 调试模式控制寄存器
0x000040	R/W	踪迹缓存控制寄存器
0x000044	R/W	踪迹缓存索引寄存器
0x000048	R/W	踪迹缓存过滤控制寄存器
0x00004c	R/W	踪迹缓存过滤标识寄存器
0x000050	R/W	断点 1 的地址寄存器
0x000054	R/W	AHB 标识寄存器 1
0x000058	R/W	断点 2 的地址寄存器
0x00005c	R/W	AHB 标识寄存器 2
0x000070	R/W	命令计数寄存器
0x000080	R/W	AHB 观测点控制寄存器
0x000090 – 0x00009C	R	AHB 观测点 1 数据寄存器
0x0000A0 – 0x0000AC	R	AHB 观测点 1 标识寄存器
0x0000B0 – 0x0000BC	R	AHB 观测点 2 数据寄存器

0x0000C0 – 0x0000CC	R	AHB 观测点 2 标识寄存器
0x100000 – 0x10FFFF	R	命令踪迹缓存
0x110000	R/W	命令踪迹缓存控制寄存器
0x200000 – 0x210000	R	AHB 踪迹缓存
0x300000 – 0x3007FC	R/W	IU 寄存器文件 %on: 0x300000 + (((psr.cwp * 64) + 32 + n*4) mod (NWINDOWS*64)) %ln: 0x300000 + (((psr.cwp * 64) + 64 + n*4) mod (NWINDOWS*64)) %in: 0x300000 + (((psr.cwp * 64) + 96 + n*4) mod (NWINDOWS*64)) %gn: 0x300000 + (NWINDOWS*64) + n*4 %fn: 0x301000 + n*4
0x301000 – 0x30107C	R/W	FPU 寄存器文件
0x400000	R	Y 寄存器
0x400004	R	PSA 寄存器
0x400008	R	WIM 寄存器
0x40000C	R	TBR 寄存器
0x400010	R	PC 寄存器
0x400014	R	NPC 寄存器
0x400018	R	FSR 寄存器
0x40001C	R	CPSR 寄存器
0x400020	R	DSU 陷阱寄存器
0x400024	R	DSU ASI 寄存器
0x400040 – 0x40007C	R/W	ASR16-ASR31 寄存器
0x700000 – 0x7FFFFC	R/W	ASI 寄存器访问 ASI = 0x9 : Local instruction RAM ASI = 0xB : Local data RAM ASI = 0xC : Instruction cache tags ASI = 0xD : Instruction cache data ASI = 0xE : Data cache tags ASI = 0xF : Data cache data ASI = 0x1E : Separate snoop tags

13.3.2 DSU 控制寄存器

表 13-2 DSU 控制寄存器

位	位名称	位描述
[31:12]	RES	保留
[11]	PW	掉电状态位（PW）-当内核掉电后，该值为‘1’
[10]	HL	内核关闭状态位（HL）
[9]	PE	内核错误模式状态位（PE）
[8]	EB	外部 DSUBRE 状态值（EB）
[7]	EE	外部 DSUEN 状态值（EE）
[6]	DM	调试模式状态位（DM）
[5]	BZ	错误 TRAP 中断使能位（BZ）
[4]	BX	TRAP 中断使能位（BX）
[3]	BS	断点中断使能位（BS）
[2]	BW	IU 观测点中断使能位（BW）
[1]	BE	错误中断使能位（BE）

位	位名称	位描述
[0]	TE	踪迹使能位（TE）

13.3.3 DSU 断点和单步寄存器

表 13-3 DSU 断点和单步寄存器

位	位名称	位描述
[31:16]	SSx	单步设定值（SSx）-如果该位设置后，对应的内核进入调试模式，执行单个命令
[15:0]	BNx	断点值（BNx）-强制对应的内核进入调试模式

13.3.4 DSU 调试模式控制寄存器

表 13-4 DSU 调试模式控制寄存器

位	位名称	位描述
[31:16]	DMx	调试模式控制位（DMx）-如果设定，对应的内核能够进入调试模式
[15:0]	EDx	调试模式使能位（EDx）-如果设定，对应的内核进入调试模式

13.3.5 DSU 陷阱寄存器

表 13-5 DSU 陷阱寄存器

位	位名称	位描述
[31:13]	RES	保留
[12]	EM	错误模式使能（EM）-如果设定，陷阱将使内核进入错误模式
[11:4]	TRAP TYPE	陷阱类型（TRAP TYPE）-8 位 SPARC 陷阱类型
[3:0]	-	默认值 0x0

13.3.6 DSU 踪迹缓存时间标识计数器

表 13-6 DSU 踪迹缓存时间标识寄存器

位	位名称	位描述
[31:30]	-	默认为 0x0
[29:0]	TIMETAG	DSU 时间标识值（TIMETAG）

13.3.7 DSU ASI 寄存器

表 13-7 DSU ASI 寄存器

位	位名称	位描述
[31:8]	RES	保留
[7:0]	ASI	设定 ASI 访问值

13.3.8 DSU 踪迹缓存控制寄存器

表 13-8 DSU 踪迹缓存控制寄存器

位	位名称	位描述
[31:16]	DCNT	踪迹缓存延迟计数（DCNT）
[15:8]	RES	保留
[7]	SF	采样设置（SF）
[6]	TE	时间使能（TE）
[5]	TF	踪迹使能（TF）
[4:3]	BW	总线位宽（BW）
[2]	BR	断点（BR）
[1]	DM	计数模式（DM）
[0]	EN	踪迹缓存使能位（EN）

13.3.9 DSU 踪迹缓存索引寄存器

表 13-9 DSU 踪迹缓存索引寄存器

位	位名称	位描述
[31:4]	INDEX	踪迹缓存模式计数（INDEX）
[3:0]	-	默认值为 0x0

13.3.10 DSU 踪迹缓存过滤控制寄存器

表 13-10 DSU 踪迹缓存过滤控制寄存器

位	位名称	位描述
[31:14]	RES	保留
[13:12]	WPF	AHB 观测点过滤（WPF）
[11:10]	RES	保留
[9:8]	BPF	AHB 断点过滤（BPF）
[7:4]	RES	保留
[3]	PF	计数过滤（PF）
[2]	AF	地址过滤（AF）
[1]	FR	过滤读（FR）
[0]	FW	过滤写（FW）

13.3.11 DSU 踪迹缓存过滤标识寄存器

表 13-11 DSU 踪迹缓存过滤标识寄存器

位	位名称	位描述
[31:16]	SMASK	从设备标识（SMASK）
[15:0]	MMASK	主设备标识（MMASK）

13.3.12 DSU 踪迹缓存断点寄存器

表 13-12 DSU 踪迹缓存断点寄存器

位	位名称	位描述

位	位名称	位描述
[31:2]	BRADDR	断点地址（BRADDR）
[1:0]	-	默认为：0x0

13.3.13 DSU 命令踪迹控制寄存器

表 13-13 DSU 命令踪迹控制寄存器

位	位名称	位描述
[31:28]	ITRACE CFG	踪迹过滤配置位
[27:16]	RES	保留
[15:0]	ITPOINTER	命令踪迹指针（ITPOINTER）

13.3.14 DSU 命令计数寄存器

表 13-14 DSU 命令计数寄存器

位	位名称	位描述
[31]	CE	计数使能位（CE）
[30]	IC	命令计数开始（IC）
[29]	PE	过滤使能（PE）
[28:0]	ICOUNT	命令计数（ICOUNT）

13.3.15 AHB 观测控制寄存器

表 13-15 AHB 观测控制寄存器

位	位名称	位描述
[31:7]	RES	保留
[6]	IN	观测点 2 反转（IN）
[5]	CP	观测点 2 连接（CP）
[4]	EN	观测点 2 使能（EN）
[3]	RES	保留
[2]	IN	观测点 1 反转（IN）
[1]	CP	观测点 1 连接（CP）
[0]	EN	观测点 1 使能（EN）

13.3.16 AHB 观测点数据寄存器

表 13-16 AHB 观测点数据寄存器

位	位名称	位描述
[31:0]	DATA	AHB 观测点数据（DATA）

14. JTAG 接口控制器

14.1 概述

JTAG TAP控制器提供了一个测试访问接口，该接口符合IEEE-1149（JTAG）标准。该模块实现了jtag测试访问端口信号，同步的测试状态机实现，以及一组jtag测试的数据寄存器。内部将JTAG指令转化为AHB的总线信息传输，可以通过jtag读写AHB总线的任何一个地址。当DSU_EN无效的时候，JTAG无法使用。

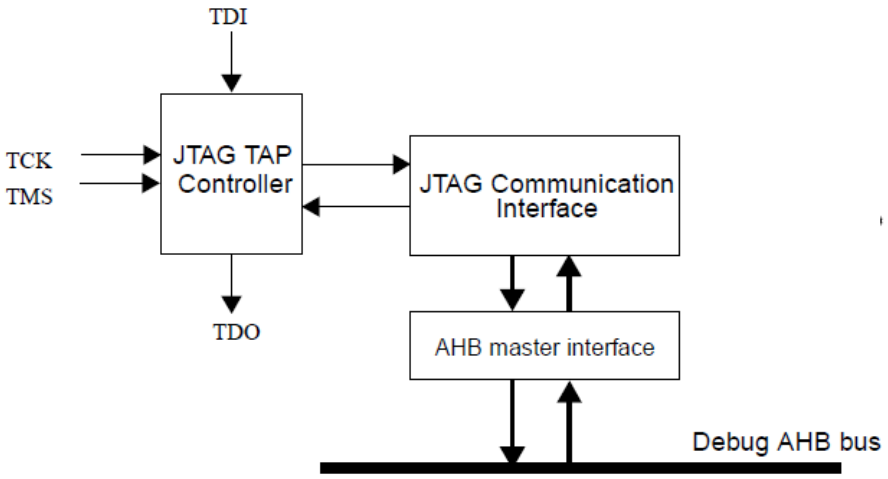


图 14-1 jtag 控制器模块图

14.2 功能说明

该控制器的测试引脚包括TCK,TMS,TDI,TDO。内部通过同步状态机进行控制，该状态机控制指令寄存器以及数据寄存器的状态。控制器能够工作在bypassmod。控制可以移入指令数据并更新指令寄存器。用户自定义的测试寄存器可以通过用户定义数据寄存器接口进行访问。

指令寄存器中的内容在移入扫描数据的时候被移出到端口，可以通过该信息判断控制器的工作状态，如捕获数据的阶段，移动数据，更新数据寄存器内容等。

需要扫描内部寄存器时，首先通过TDI逐位送入扫描指令信息，然后通过TDI再此送入相关参数，或者直接通过TMS的时钟信号直接扫描出内部数据寄存器的内容即可。

S698PM JTAG调试口解码两种JTAG指令，有两个JTAG数据寄存器：命令/地址

寄存器和数据寄存器。一次读访问可以通过移位的方式送入带有读写信息、AHB访问大小、以及AHB地址的命令来完成，写访问同样是通过移入AHB访问大小、AHB地址到命令寄存器，然后往数据寄存器中移入需要写入的数据来完成。连续传输可以通过将起始地址移入命令/地址寄存器并且移入SEQ到数据寄存器。在随后的访问中SEQ将会增加，但连续传输不能越过1K边界，连续传输只能是字传输。

通过数据寄存器的32bit，JTAG 调试口通知一次AHB访问是否完成，如果数据寄存器的32bit是‘1’，那么表示一次AHB访问已经完成，如果是‘0’表示一次AHB访问还没有结束，如果AHB访问还没有结束，那么调试程序应该等待，并不断检查数据寄存器32bit，直到其为‘1’。如果是移入数据的时候该32bit为‘0’，同样需要等待，为‘0’时，不能移入新的数据。

14.3 寄存器说明

14.3.1 JTAG 命令/地址寄存器

表 14-1 JTAG 命令/地址寄存器

位	位名称	位描述
[34]	W	0：读传输　1：写传输
[33:32]	SIZE	AHB 传输位宽 “00”：字节 01”：半字 10”：字 “11”：保留
[31:0]	AHB ADDRESS	AHB 访问地址

14.3.2 JTAG 数据寄存器

表 14-2 JTAG 数据寄存器

位	位名称	位描述
[32]	SEQ	当移入数据时：1 ：表示连续传输，下次数据传输的地址是当前地址加 1　0：非连续传输 当移出数据时：1：访问完成　0：访问没有完成
[31:0]	AHB DATA	AHB 数据

15. 外部存储控制器

15.1 存储控制器简介

存储控制器控制一个连有 PROM, 存储器映 I/O 设备, 静态存贮器和动态随机存贮器的存储器总线。控制器作为 AHB 总线上的从设备。存储器控制器的功能通过 APB 总线访问存储器控制寄存器 1 和 2(MCFG1, MCFG2)进行配置。存储器总线支持四种类型的设备：prom，静态存贮器, 动态随机存贮器 和 I/O。存储器总线支持 8、16、32 位工作模式。其中 PROM 和 SRAM 可以通过 BCD 编码模块进行 EDAC 保护，EDAC 保护可以提供发现两个错误和纠正一个错误的容错能力，同时，EDAC 功能可以通过使能脚来控制是否需要 EDAC 功能模块参数数据传递。

15.2 存储地址分配

表 15-1 存储器控制器地址分配表

地址空间	描述	大小
0x00000000—0x1FFFFFFF	ROM 区	512M
0x20000000—0x3FFFFFFF	I / O 区	512M
0x40000000—0x5FFFFFFF	片外 RAM 区	512M
0x60000000—0x7FFFFFFF	片外 DDR2 区	512M

15.3 存储器控制寄存器

15.3.1 存储器寄存器地址分配

表 15-2 EDAC 寄存器地址分配列表

地址	寄存器	读/写	描述
0x80000000	MCFG1	RW	存储器配置寄存器 1
0x80000004	MCFG2	RW	存储器配置寄存器 2
0x80000008	MCFG3	RW	存储器配置寄存器 3
0xffe00020	DDR2FTCFG	RW	普通 DDR2 FT 配置寄存器

15.3.2 存储器配置寄存器 1（MCFG1）

表 15-3 存储器配置寄存器 1

位	位名称	位描述
[31]	RES	保留

位	位名称	位描述
[30]	PBRDY	PROM 总线就绪使能,当该位为“1”使能，外部 BRDYN 总线输入信号有效，否则忽略外部输入 BRDYN 信号；默认值为“0”
[29]	ABRDY	外部 BRDYN 总线输入信号有效时长设置，当该位为“1”,外部 BRDYN 总线输入信号低电平有效至少保持 3 个 sysclk 时钟周期;当该位为“0”,外部 BRDYN 总线输入信号低电平有效至少保持 2 个 sysclk 时钟周期,；默认值为“0”
[28:27]	IOBUSW	I/O 总线宽度设置 “00”=8，“01”=16，“10”=32
[26]	IBRDY	外部 BRDYN 输入信号使能位,当该位为“1”使能，外部 BRDYN 总线输入信号有效，否则忽略外部输入 BRDYN 信号；默认值为“0”
[25]	BEXCN	PRAM,RAM,I/O 所有总线错误信号使能；当该位为“1”使能，外部 BEXCN 总线输入信号有效,否则忽略外部输入 BRDYN 信号；默认值为“0”
[24]	RES	保留
[23:20]	IO WAITSTATES	I/O 区读写等待时间长度可配置值为,“0000”=0,“0001”=1,“0010”=2,…“1111”=15。等待时间计算如下：读 WS = IO WAITSTATES * 4 + 2，写 WS= = IO WAITSTATES * 4 + 1。如写入数据为”0010”则写等待时间为（2*4+2）*Tsysclk，读等待时间为（2*4+1）*Tsysclk。
[19]	IOEN	使能存储器 I/O 区访问
[18]	RES	保留
[17:14]	ROMBANKSZ	PROM bank 大小信息，每个 Bank 固定为 256MB,2 个 PROM 片选信号，最大可访问 512MB PROM。
[13:12]	RES	保留
[11]	PWEN	使能 PROM 写
[10]	RES	保留
[9:8]	PROM WIDTH	设置 PROM 位宽. “00”=8，“01”=16，“10”=32,默认值由外部输入脚值决定
[7:4]	PROM WRITE WS	设置 PROM 写周期的长度，“0000”=0，“0001”=1，“0010”=2，…“1111”=15，默认值为“1111”。PROM 写等待时间公式为 WS=(PROM WRITE WS)*8+2,如写入数据为”0010”则写 PROM 区等待时间为(2*8+1)*Tsysclk。
[3:0]	PROM READ WS	设置 PROM 读周期的长度，“0000”=0，“0001”=1，“0010”=2，…“1111”=15，默认值为“1111”。PROM 读等待时间公式为 WS=(PROM READ WS)*8+2,如写入数据为”0010”则读 PROM 区等待时间为(2*8+2)*Tsysclk。

15.3.3 存储器配置寄存器 2（MCFG2）

表 15-4 存储器配置寄存器 2

位	位名称	位描述
[31]	SDRF	保留
[30]	TRP	保留
[29:27]	TRFC	保留
[26]	TCAS	保留
[25:23]	SDRAM BANKSZ	保留
[22:21]	SDRAM COLSZ	保留
[20:19]	SDRAM CMD	保留
[18]	D64	保留
[17]	RES	保留
[16]	MS	保留
[15]	RES	保留
[14]	SE	保留

位	位名称	位描述
[13]	SI	SRAM 禁止访问使能，该位为 1 禁示访问 SRAM
[12:9]	RAM BANK SIZE	RAM bank 大小设置。“0000”=8kbyte，“0001”=16kbyte，…“1111”=256Mbyte
[8]	RES	保留
[7]	RBRDY	RAM 总线读就绪使能,当该位为“1”使能，外部 BRDYN 总线输入信号有效，否则忽略外部输入 BRDYN 信号；默认值为“0”
[6]	RMW	Read-modify-write 使能,只有在 16bit,32bit 总线宽度下有效
[5:4]	RAM WIDTH	RAM 数据位宽。“00”=8，“01”=16，“1X”=32
[3:2]	RAM WRITE WS	RAM 写周期长度“00”=0，“01”=1，“10”=2，“11”=3，默认值为“11”。RAM 写等待时间公式为 WS=(RAM WRITE WS)*4,如写入数据为”10”则写 RAM 区等待时间为（2*4+1）*Tsysclk
[1:0]	RAM READ WS	RAM 读周期长度“00”=0，“01”=1，“10”=2，“11”=3，默认值为“11”。RAM 读等待时间公式为 WS=(RAM READ WS)*4,如写入数据为”10”则读 RAM 区等待时间为（2*4+2）*Tsysclk

15.3.4 存储器配置寄存器 3（MCFG3）

表 15-5 存储器配置寄存器 3

位	位名称	位描述
[31:27]	RES	保留
[28]	RSE	保留
[27]	ME	存储器 EDAC 使能标识位，当 EDAC 使能有效，则该位读出为 1，该位为只读位，不可写
[26:12]	RES	保留
[11]	WB	EDAC 写旁路诊断寄存器
[10]	RB	EDAC 读旁路诊断寄存器
[9]	RE	RAM EDAC 保护使能位(带 EDAC 保护的 SRAM 位宽要选择 32BIT)。采用的是 BCH EDAC with pipeling
[8]	PE	PROM EDAC 保护使能(带 EDAC 保护的 PROM 位宽要选择 32BIT)。采用的是 BCH EDAC with pipeling
[7:0]	TCB	EDAC 校验位测试域。当 WB 置 1 时，将测试校验位写入该域供诊断使用，当 RB 置 1 时，读取到的数据校验位将被存储在该域供诊断使用

15.3.5 DDR2 FT 配置寄存器

表 15-6 DDR2 FT 配置寄存器

位	位名称	位描述
31:20	Diag data read error location	最后一次诊断数据出错纠正数据的位置，1bit 对应一个 byte 在 64+32-bit 的配置模式下
19	DDERR	如果最后一个诊断数据存在无法纠正的错误则该 bit 将会被置 1
18:16	Data width	001：16+8，010：32+16，011=64+32
15:8	RES	保留
7:5	DATAMUX	非 0 值可以用来交换 checkbits 高半部分数据总线和其他数据总线；000：不交换；001：数据 15:0；010：数据 31:16；011：数据 47:32；100：数据 63:48；101：checkbits79:64；111：没定义
4	CEM	如果置 1 纠错数据屏蔽

位	位名称	位描述
3	BAUPD	使能写自动边界移动
2	BAEN	使能编码边界
1	CODE	编码模式选择 0=code A（64+32/32+16/16+8），1=code B（64+16/32+8）
0	EDEN	EDAC 使能

15.4 EDAC 控制器

15.4.1 概述

S698PM支持四种类型的存储设备：PROM、异步静态RAM（SRAM）、同步动态RAM（DDR2）及存储器空间映射的IO设备。其中PROM、SRAM和DDR2都通过EDAC进行了数据保护，可以通过该数据保护功能实现纠正一位数据错误，检出两位数据错误。其中DDR2使用reed-solomon纠错算法，可实现邻近4位错误的纠正能力，32位的数据需要16位的保护位进行保护。

EDAC不支持保护16bit位宽的数据，因此当PM运行在16位模式的时候，必须关闭EDAC功能。当运行8bit模式时，片选只能使用RAMSN[0]和PROMSN[0]。

EDAC功能可以通过相应的寄存器关闭，当关闭后访问时序和标准的存储器时序完全一致。当EDAC功能使能以后，做写操作时，数据首先进入EDAC编码模块，生产相应的校验位，然后将校验位和数据位一起写入存储器中。做读操作时候，存储器中的校验位和数据一起读出，然后进入EDAC模块做校验检查，发现一位错误时将其纠正，发现两位错误时做相应的标记处理。

15.4.2 EDAC 校验的测试方法

S698PM中提供了存储器读写操作时，EDAC功能的测试方法。

写操作诊断使能后，当做一次写操作时，EDAC模块计算出来的校验位将不随数据一起存入存储器，存入存储器的校验数据将是存储在配置寄存器MCFG3中TCB域的数据。

当读操作诊断使能后，从存储器中读回来的校验位同样也会存储到配置寄存

器MCFG3的TCB域中，供用户查看，测试。

如何检查“纠一检二”的功能是否正常？首先，打开EDAC功能，同时关闭写诊断功能，做写入操作，将数据正确写入存储器。然后打开读诊断功能，对刚才写入的存储空间做读取操作，这时会将正确的校验位存储在MCFG3存储器的TCB域中，然后打开写诊断功能，将原数据做一位错误处理，然后对同一存储空间再做写操作。然后关闭EDAC功能，读回刚才写入的数据，看是否是错误的数据，然后再打开EDAC功能，看是否能够将错误纠正，返回正确的数据。

15.4.3 EDAC 的配置

EDAC的功能可以通过MCFG3寄存器进行配置。如果WB（写旁路）使能，则存储在TCB域的测试保护位将会代替芯片内部生成的数据保护位写入存储器中，通过写入不同的测试保护位，就可以检查EDAC的纠错及检错功能。当RB（读旁路）使能时，发起一次读操作，这时存储在存储器中的保护位将会被同时保存入TCB域，通过读回TCB数据可以查看EDAC是否正常工作。

当EDAC使能的时候，在MCFG2中的RMW位必须使能。EDAC功能是否使能不影响存储的读写时序关系。

SDRAM中有关于EDAC测试用的诊断寄存器，详细信息可参考DDR2SPA模块章节。

15.5 PROM 控制器

S698PM处理器提供两个PROM片选择信号ROMSN[1:0],最大支持512M*32BIT。Prom 的访问和 ram 的访问基本相似。

PROM 的访问主要通过配置 MCFG1 寄存器选择各种状态，[3:0] 是设置 PROM 读等待周期，[7:4]是 PROM 写等待周期，[9:8] 是 PROM 的数据宽度设定，[11] 是确定 PROM 的写使能。

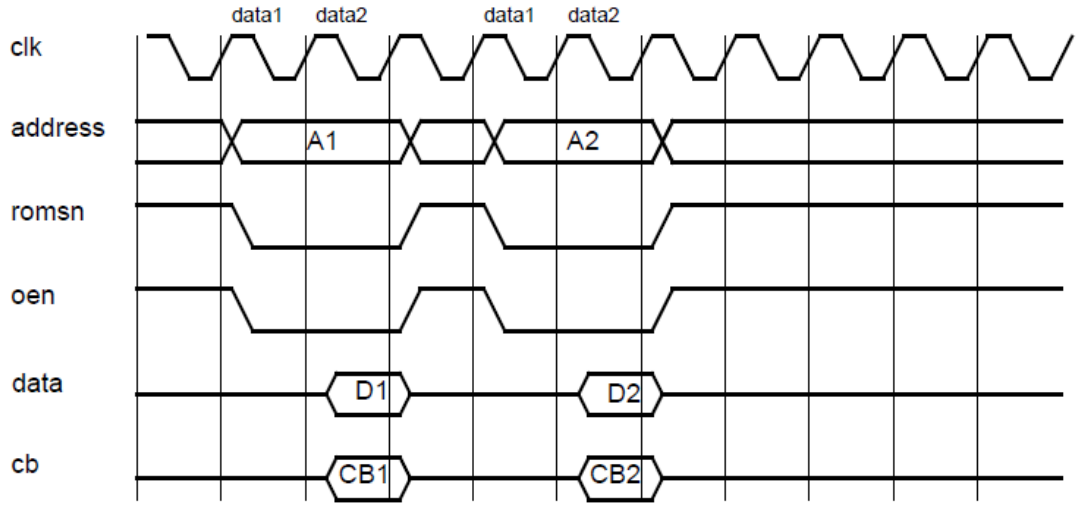


图 15-1 prom 非连续读周期（0 等待）

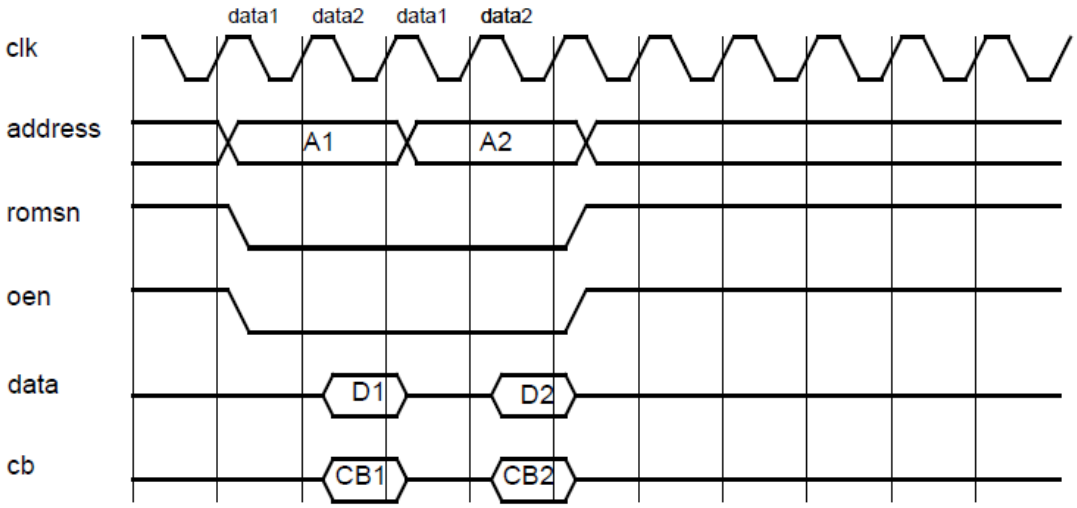


图 15-2 prom 连续读周期（0 等待）

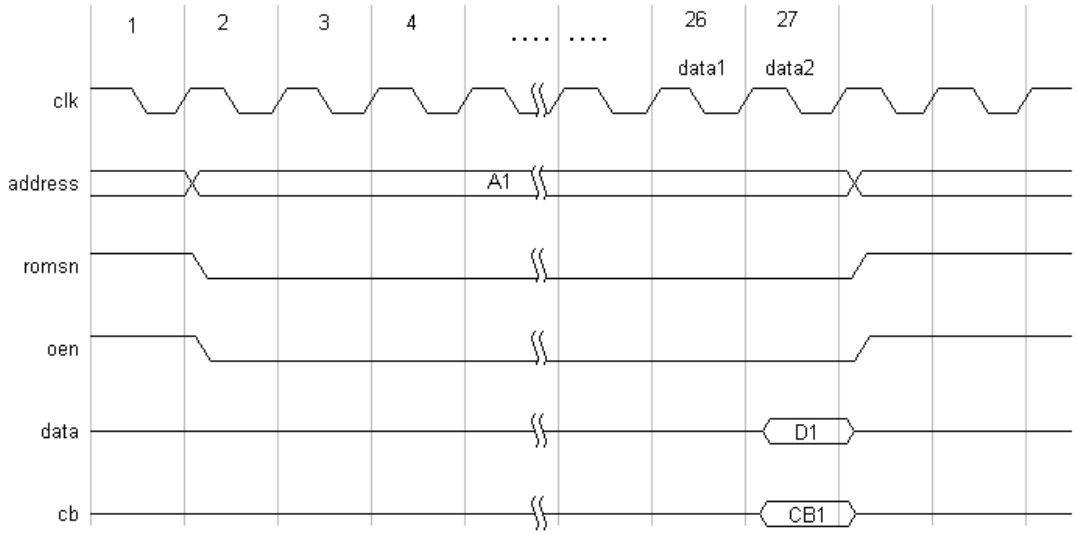


图 15-3 prom 读周期（3 等待）

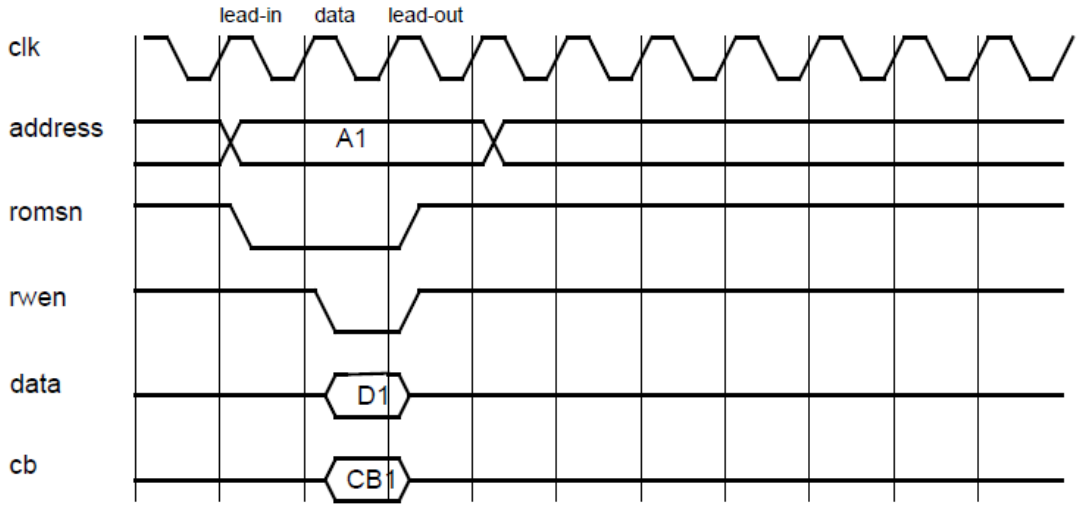


图 15-4 prom 写周期（0 等待）

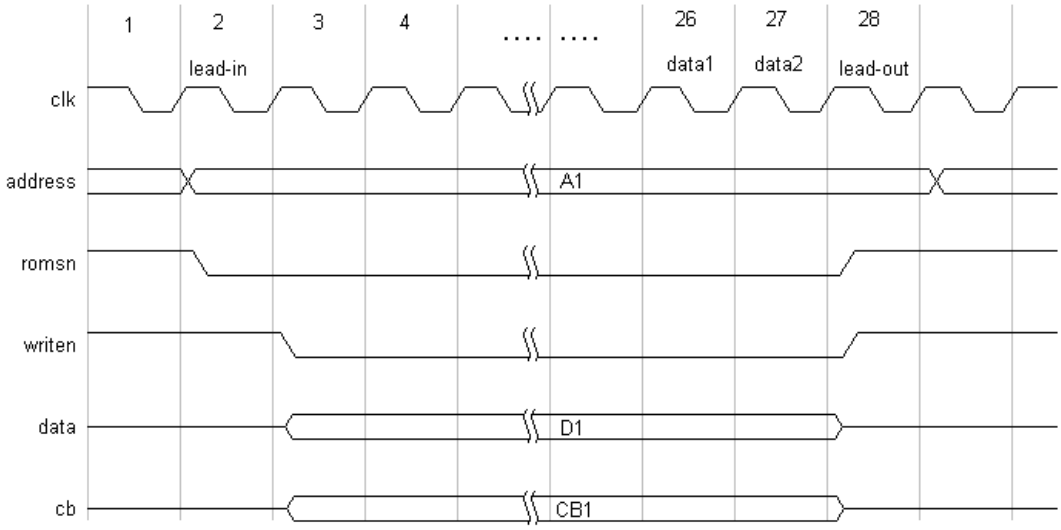


图 15-5 prom 写周期（3 等待）

15.6 SRAM 控制器

SRAM 区域最大可支持 512M 字节空间，具有 2 个 RAM 块，每块的大小在 MCFG2[12：9]配置，可以设置从 8 Kbyte 到 256 Mbyte。SRAM 读访问包括两个数据周期和 0-15 个等待周期。在非连贯的访问中，在一个读周期后增加一个 lead-out 的周期，可以阻止由于存储器或者 i/o 设备的 turn-off 时间引起的总线竞争。RAMSN[1:0]是外部 SRAM 片选信号，地址空间为 0x40000000 ~ 0x60000000。

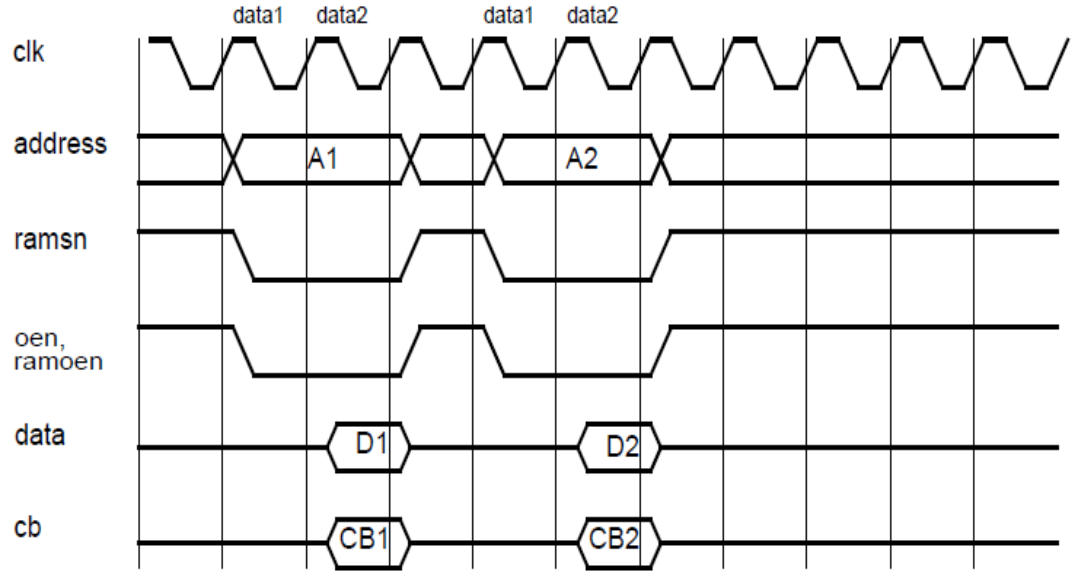


图 15-6 静态 ram 非连续读周期（0 等待）

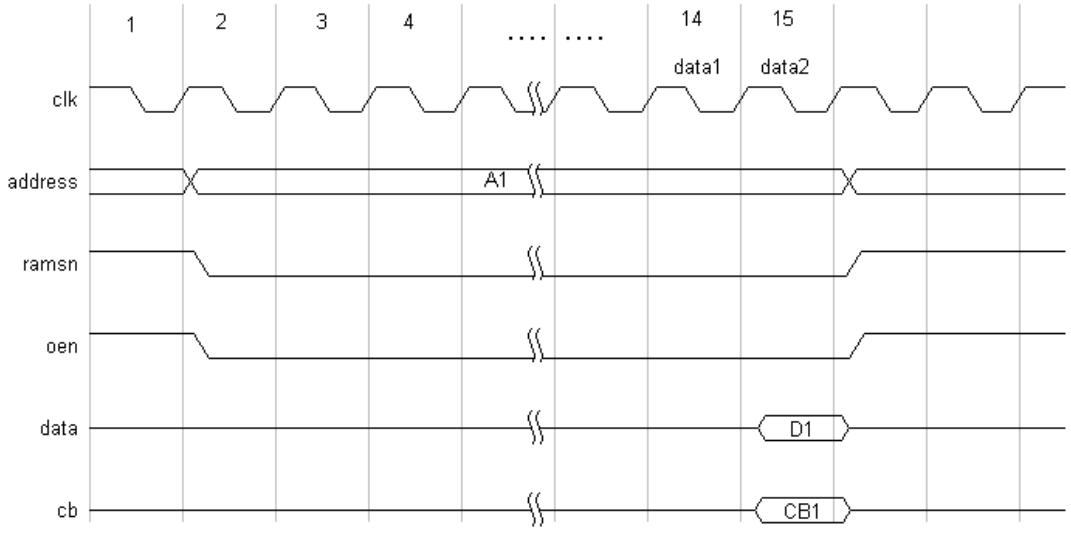


图 15-7 静态 ram 非连续读周期（3 等待）

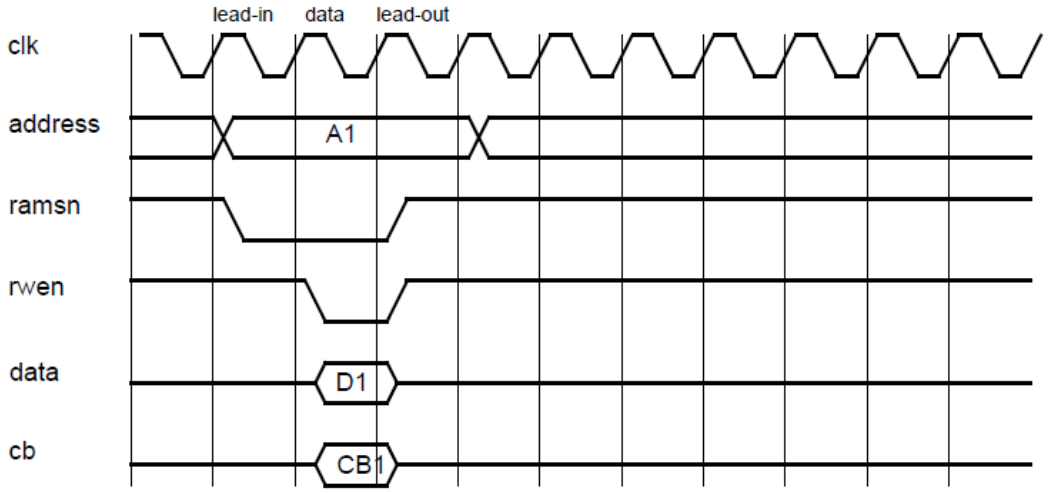


图 15-8 静态 ram 写周期（0 等待）

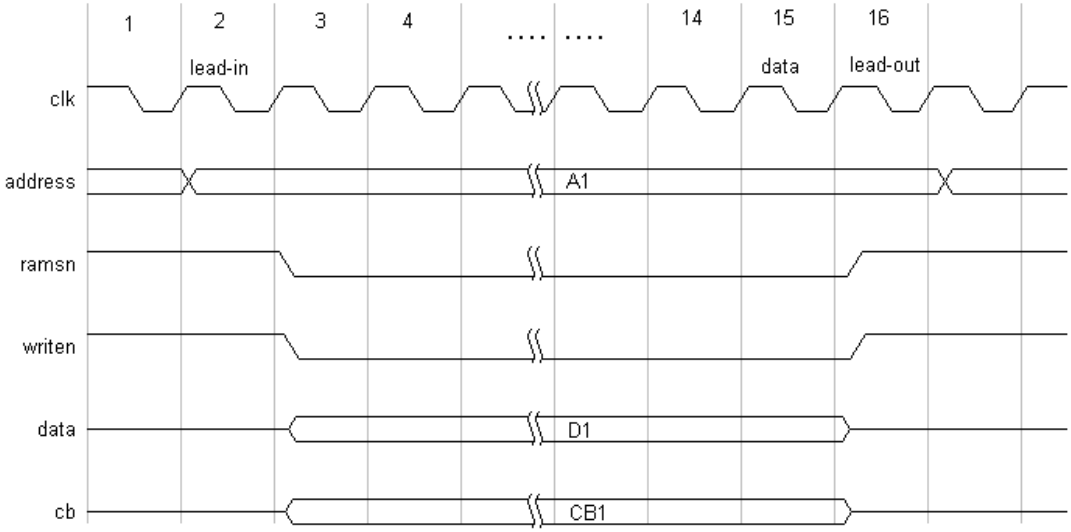


图 15-9 静态 ram 写周期（3 等待）

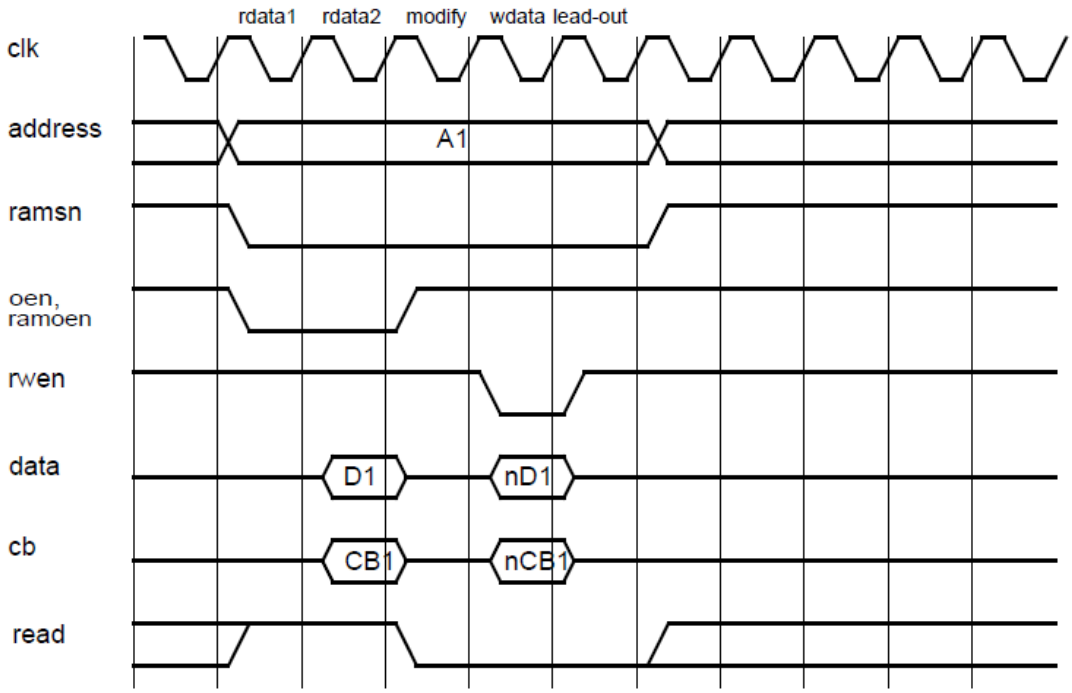


图 15-10 静态 ram Read-modify-write 周期（0 等待）

15.7 I/O 设备

I/O 读写等待周期也可在 MCFG1 中设定访问，可插入一个额外的等待周期（0-15 个周期）。处理器通过 MCFG1 决定 I/O 的数据总线宽度是 8-bit、16-bit、还是 32-bit。

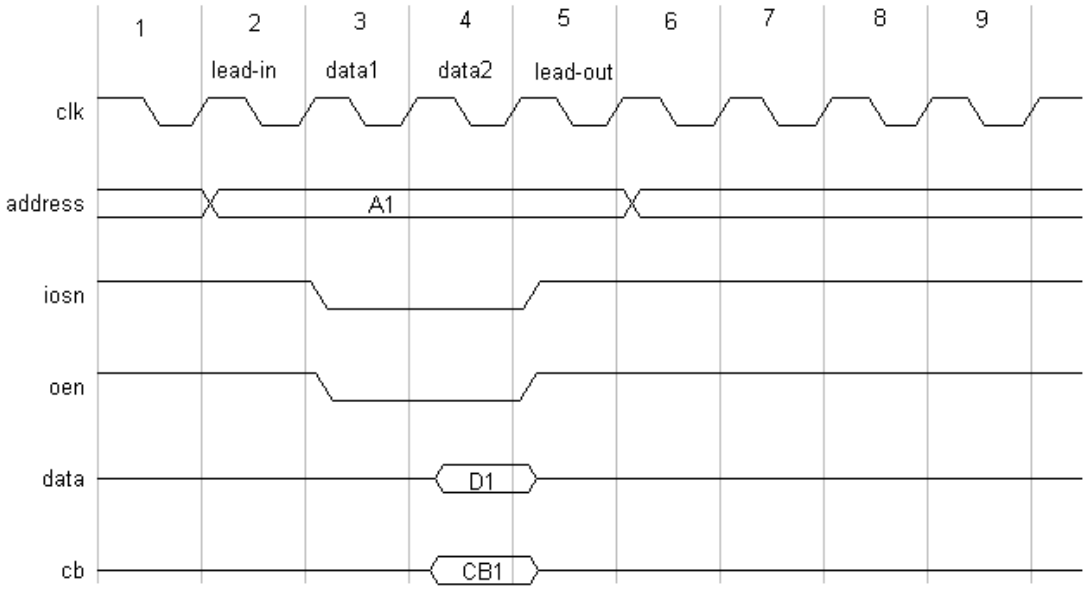


图 15-11 I/O 读周期（0 等待）

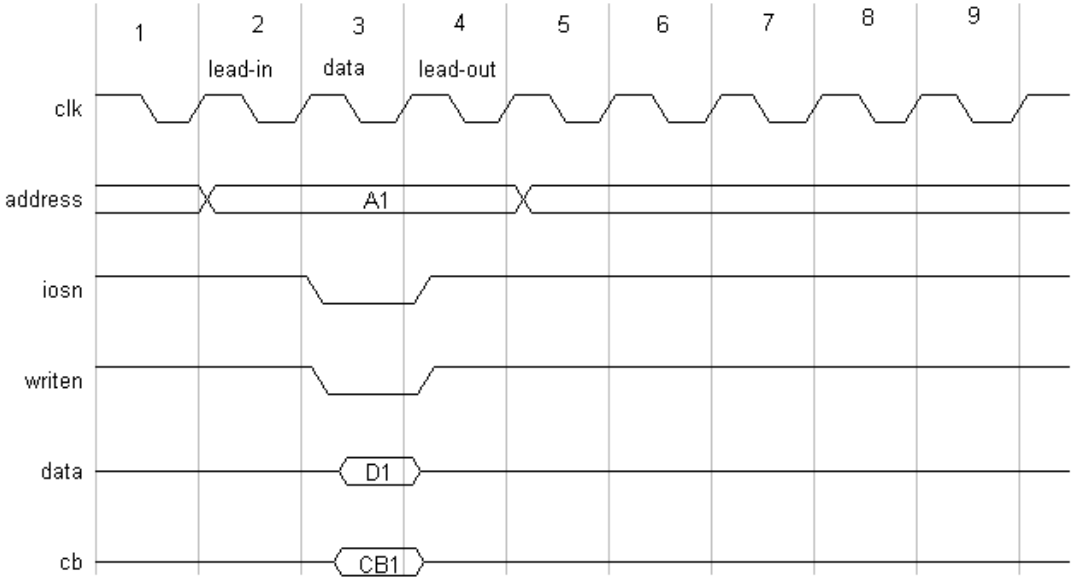


图 15-12 I/O 写周期（0 等待）

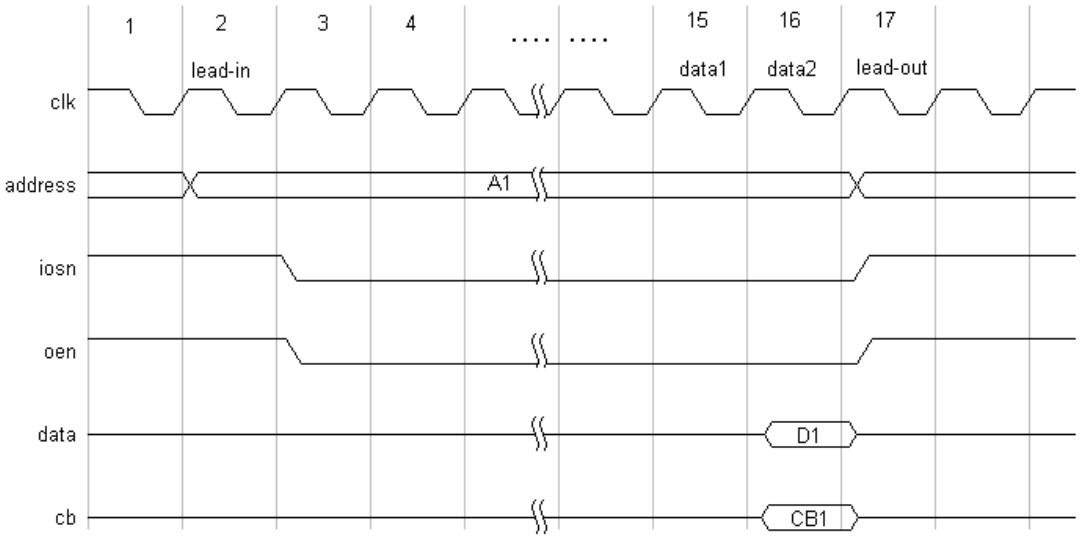


图 15-13 I/O 读周期（3 等待）

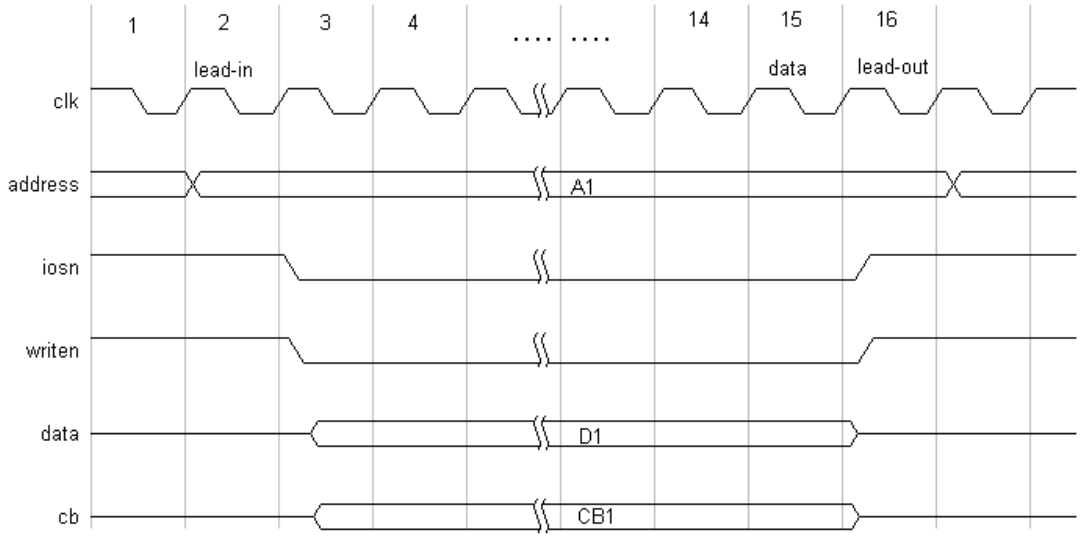


图 15-14 I/O 写周期（3 等待）

15.8 DDR2 SDRAM 控制器

DDR2 SDRAM 控制器可以接 16-，32-或者 64-bit 位宽的 DDR2 存储器，支持 1 个或 2 个片选信号。DDR2 SDRAM 的地址范围，由 AMBA 总线系统统一分配，支持容量为 512MB。

系统启动后，完成对 DDR2SDRAM 控制器的初始化工作后，便可以进行读写操作，读写数据时，CPU 通过 AHB 总线将读写信息送到 DDR2 SDRAM 控制器，由 DDR2 SDRAM 控制器将读写需求按照一定的时序要求通过 DDR2 PHY 操作到 DDR2SDRAM 存储颗粒接口上，实现读写功能。

具体的读写时序如下图所示：

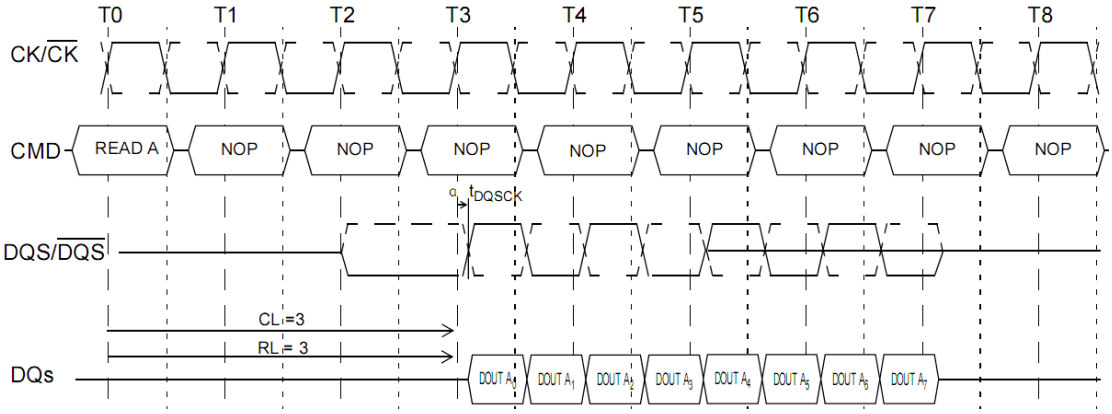


图 15-15 DDR2 SDRAM 读操作时序

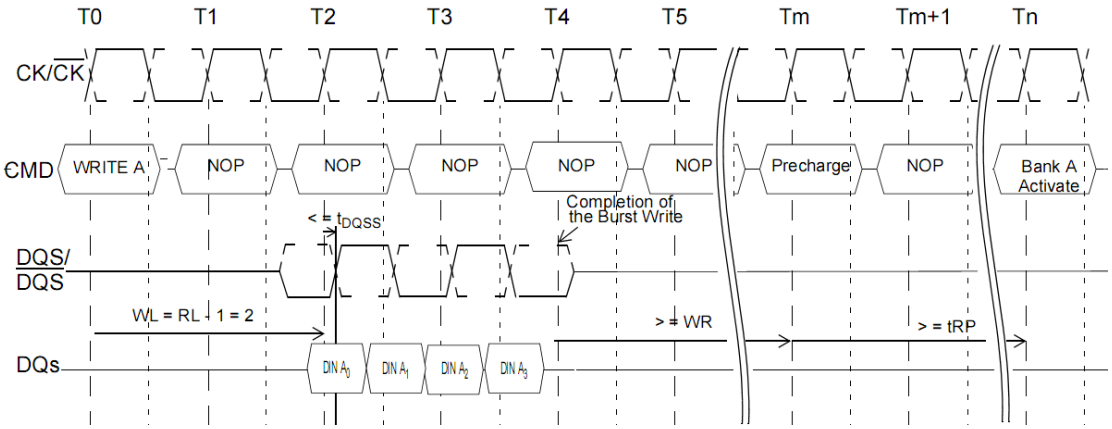


图 15-16 DDR2 SDRAM 写操作时序

DDR2 SDRAM 控制器的具体配置及操作方式请参考 DDR2SPA 模块章节。

16. 遥控遥测模块 TMTC

16.1 TMTC 简介

TMTC是用来对航天器数据进行处理和管理的，分为遥测(TM)和遥控(TC)两个功能模块。其协议遵守国际标准，这些国际标准的制定组织有：空间数据系统协商委员会(CCSDS)，欧洲空间标准化合作组织(ECSS)，欧洲航天局(ESA)前身，规程标准和规格机构(PSS)。主要遵守的协议有：

- 遥测（TM）协议：定义了航天器至地面的遥测信息传输的标准数据单元；
- 遥控（TC）协议：定义了地面至航天器的指令信息传输的标准数据单元；
- 高级在轨系统（AOS）协议：定义了地面和高级空间系统（如国际空间站）之间的指令和遥测信息传输的标准数据单元；

16.2 TM-遥测编码

16.2.1 TM 简介

CCDSS/ECSS/PSS 协议遥测编码用在数据链路层、协议子层、编码子层、帧同步和物理层。通过寄存器，TM 模块的功能是非常可设计控制的。

TM 模块包含几个部分的编码和调制技术，主要包含以下功能：

- 分包遥测(TM)和高级在轨系统(AOS)编码；
- Reed-Solomon 编码(RS)；
- Pseudo-Randomiser 编码(PSR)；
- Non-Return-Zero 编码(NRZ)；
- 卷积编码(CE)；
- Split-Phase 等级调制(SP)；
- Sub-Carrier 调制 （SC)；
- 时钟分频(CD)；

TM 的结构框图如下图所示：

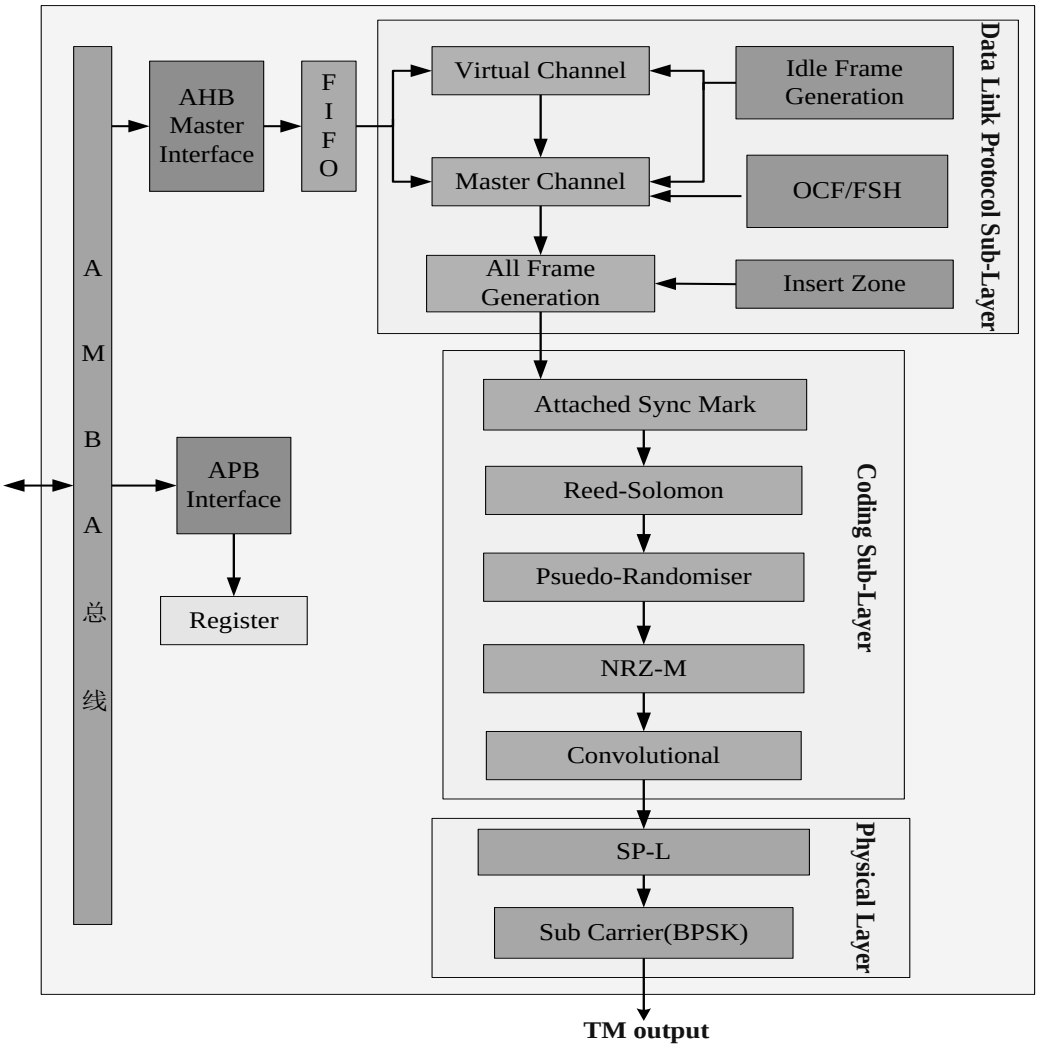


图 16-1 TM 结构框图

16.2.2 参考资料

[CCSDS-131.0-B-2] TM Synchronization and Channel Coding

[CCSDS-132.0-B-1] TM Space Data Link Protocol

[CCSDS-133.0-B-1] Space Packet Protocol

[CCCSDS-732.0-B-2] AOS Space Data Link Protocol

[ECSS-E-ST-50-01C] Space engineering - Space data links - Telemetry synchronization and channel coding

[ECSS-E-ST-50-03C] Space engineering - Space data links - Telemetry transfer frame protocol

[ECSS-E-ST-50-05C] Space engineering - Radio frequency and modulation

[PSS-04-103] Telemetry channel coding standard

[PSS-04-105] Radio frequency and modulation standard

[PSS-04-106] Packet telemetry standard

16.2.3 使用介绍

16.2.3.1 简介

用户可以通过 DMA 方式插入发送数据帧到遥测包中。TM 编码器会根据相应功能的设置，改变发送数据帧的相应域。当然也可以通过设置跳过一些功能的编码。通过设置，DMA 通道可以使用虚拟通道帧服务，也可以使用主通道帧服务，或者两者混合使用。

16.2.3.2 发送描述符设置

发送DMA通道用来向地面发送数据帧。要用到存放在存储器中的发送描述符。一个发送描述符如表 16-1 和表 16-2所示。要发送的数据长度要在DMA长度寄存器中设置，要发送数据的存放地址要在表 16-2中设置好，并且地址必须是连续域。如果中断使能位设置了，则发送完数据后会产生中断（控制寄存器中的发送中断使能当然也要设置）。不管发送有没有成功，中断信号都回产生。Wrap 当然也要设置，接下来会有介绍。

表 16-1TM 发送描述符字 0

位	位名称	位描述
[31:16]	RES	保留
[15]	UE	发送数据帧过程中出错，状态指示位
[14]	TS	为发送帧产生一个时间脉冲
[13:10]	RES	保留
[9]	VCE	使能虚拟通道计数
[8]	MCB	主通道计数不使用
[7]	FSHB	副帧头不使用
[6]	OCFB	操作控制域不使用
[5]	FECHB	帧头错误控制不使用
[4]	IZB	插入区不使用
[3]	FECFB	帧错误控制域不使用
[2]	IE	中断使能
[1]	WR	Wrap(WR) 0：当前描述符表不是最后一个，地址指向下一个 1：当前描述符表是最后一个，地址指向第一个
[0]	EN	置 1 使能此描述符

表 16-2 TM 发送描述符字 1

位	位名称	位描述

[31:2]	DATA ADDRESS	数据包在缓存区的地址
[1:0]	RES	保留

16.2.4 启动发送

要启动数据发送光设置发送使能是不够的。存储在存储器中的描述符地址必须要在 DMA 描述符指针寄存器中指定好。31-10 位指定的了基地址，9-3 位指定了每个描述符的偏移地址。第一个发送描述符的地址就是基地址，下一个地址加 8。WR 位如果置 1，则下一个发送描述符的地址指向基地址。

要发送数据的最后一步是在 DMA 控制寄存器中设置发送使能。当新的发送描述符被使能时这一位要一直被置位，即使当前已经在发送数据。发送描述符的使能要在控制寄存器中发送使能置位前先置位。

16.2.5 发送数据后的处理

当一帧数据包发送完之后，状态位写到相应发送描述符的第一个字中的相应位置。如果发送过程中出错，UE 位置 1，其它位全部清 0，并且发送描述符的第二个字要保持不变。发送完后使能位会被清 0，如果这个描述符再次被使用，要把使能位再置位。DMA 的状态寄存器中有 8 位指示发送完的状态，在 DMA 状态寄存器中有描述。

16.2.6 TM 寄存器描述

表 16-3 TM 寄存器地址

地址	读写	寄存器
0x80000800	R/W	DMA 控制寄存器(DMA control)
0x80000804	R/W	DMA 状态寄存器(DMA status)
0x80000808	R/W	DMA 长度寄存器(DMA length)
0x8000080C	R/W	DMA 描述符指针寄存器(DMA descriptor pointer)
0x80000810	R/W	DMA 配置寄存器(DMA configuration)
0x80000814	R/W	DMA 修正寄存器(DMA revision)
0x80000820	R/W	DMA 外部 VC 控制&状态寄存器(DMA external VC control & status)
0x8000082C	R/W	DMA 外部 VC 描述符指针寄存器(DMA external VC descriptor pointer)
0x80000880	R/W	控制寄存器(control)
0x80000884	R	状态寄存器(未使用)
0x80000888	R/W	配置寄存器(configuration)
0x80000890	R/W	物理层寄存器(physical layer)

0x80000894	R/W	编码子层寄存器(coding sub-layer)
0x80000898	R/W	添加同步标志寄存器(attached synchronization marker)
0x800008A0	R/W	所有帧产生寄存器(all frams generation)
0x800008A4	R/W	主帧产生寄存器(master frame generation)
0x800008A8	R/W	空闲帧产生寄存器(idle frams generation)
0x800008C0	R/W	副帧头/插入区寄存器 0(FSH/IZ 0)
0x800008C4	R/W	副帧头/插入区寄存器 1(FSH/IZ 1)
0x800008C8	R/W	副帧头/插入区寄存器 2(FSH/IZ 2)
0x800008CC	R/W	副帧头/插入区寄存器 3(FSH/IZ 3)
0x800008D0	R/W	操作控制域寄存器(OCF)

16.2.6.1 DMA 控制寄存器

表 16-4 DMA 控制寄存器

位	位名称	位描述
[31:5]	RES	保留
[4]	TFIE	传输帧中断使能(TEIE)，使能遥测帧的发送成功和失败中断，以及计时中断
[3]	RST	复位(RST)，复位 DMA 和遥测传输
[2]	TXRST	传输复位(TXRST)，复位遥测传输
[1]	IE	中断使能(IE)，使能 DMA 中断
[0]	EN	使能(EN)，使能 DMA 传输

16.2.6.2 DMA 状态寄存器

表 16-5 DMA 状态寄存器

位	位名称	位描述
[31:8]	RES	保留
[7]	TXSTAT	传输复位状态(TXSTAT)，当置 1 时遥测传输在复位模式
[6]	TXRDY	传输就绪(TXRDY)，遥测传输准备就绪
[5]	TFO	传输帧正在进行(TFO)，遥测帧通过 DMA 正在传输
[4]	TFS	传输帧发送成功(TFS)，遥测帧传输中断，写 1 清除
[3]	TFF	传输帧发送成功(TFF)，遥测帧传输失败，写 1 清除
[2]	TA	AMBA 传输错误(TA)， DMA AMBA AHB 传输错误，写 1 清除
[1]	TI	传输中断(TI)，DMA 中断，写 1 清除
[0]	TE	传输错误(TE)，DMA 传输错误，写 1 清除

16.2.6.3 DMA 长度寄存器

表 16-6 DMA 长度寄存器

位	位名称	位描述
[31:27]	RES	保留
[26:16]	LIMIT	传输帧极限(LIMIT)，DMA 传输前需要获得 length-1 的数据。 提示：LIMIT 必须等于或小于 LENGTH；LIMIT 必须等于或小于 FIFOSZ；LIMIT 必须等于或大于 BLOCKSZ*2
[15:11]	RES	保留
[10:0]	LENGTH	传输长度(LENGTH)，数据 length-1 会被 DMA 传输

16.2.6.4 DMA 描述符指针寄存器

表 16-7 DMA 描述符指针寄存器

位	位名称	位描述
[31:10]	BASE	描述符基地址(BASE)
[9:3]	INDEX	描述符基地址(BASE)

[2:0]	RES	保留值，000

16.2.6.5 DMA 配置寄存器

表 16-8 DMA 配置寄存器

位	位名称	位描述
[31:16]	FIFOSZ	FIFO 大小(FIFOSZ)
[15:0]	BLOCKSZ	块大小(BLOCKSZ)

16.2.6.6 DMA 修正寄存器

表 16-9 DMA 修正寄存器

位	位名称	位描述
[31:20]	RES	保留
[19]	FIX	固定帧长(FIX)
[18]	EX	外部虚拟通道(EX)，支持外部虚拟通道
[17]	IN	内部虚拟通道(IN)，支持内部虚拟通道
[16]	TIRQ	计时中断(TIRQ)，支持单独的计时中断
[15:8]	REVISION	主修正号(REVISION)
[7:0]	SUB REVISION	次修正号(SUB REVISION)。 0x00：初始化值；0x01：增加计时中断、TXSTAT 位，删除 TXRDY 位；0x02：支持内部和外部虚拟通道。

16.2.6.7 DMA 外部 VC 控制&状态寄存器

表 16-10 外部 VC 控制&状态寄存器

位	位名称	位描述
[31:6]	RES	保留
[5]	XTFO	外部传输帧正在进行(XTFO)，遥测帧通过外部虚拟通道的 DMA 正在传输
[4:3]	RES	保留
[2]	XTI	外部传输中断(XTI)
[1]	XTE	外部传输错误(XTE)
[0]	XEN	外部使能(XEN)，使能从外部虚拟通道的 DMA 传输

16.2.6.8 DMA 外部 VC 描述符指针寄存器

表 16-11 DMA 外部 VC 描述符指针寄存器

位	位名称	位描述
[31:10]	BASE	描述符基地址
[9:3]	INDEX	描述符索引值(INDEX)，描述符设定值
[2:0]	RES	保留值，000

16.2.6.9 控制寄存器

表 16-12 控制寄存器

位	位名称	位描述
[31:1]	RES	保留
[0]	TE	传输使能(TE)，使能遥测帧传输

16.2.6.10 配置寄存器

表 16-13 配置寄存器

位	位名称	位描述
[31:23]	RES	保留
[22]	OCFB	选择控制域失效(OCFB)

[21]	CIF	加密接口(CIF)
[20]	AOS	高级在轨系统(AOS)
[19]	FHEC	帧头错误控制(FHEC)，仅 AOS 需要设置
[18]	IZ	插入区(IZ)，仅 AOS 需要设置
[17]	MCG	产生主通道(MCG)，产生主通道计数值可用
[16]	FSH	副帧头(FSH)，添加副帧头可用
[15]	IDLE	产生空闲帧(IDLE)，空闲帧产生可用
[14]	EVC	外部虚拟通道计数(EVC)，外部虚拟通道计数可用
[13]	OCF	可选控制域(OCF)，CLCW 可用
[12]	FECF	帧错误控制域(FECF)，传输帧 CRC 可用
[11]	AASM	交替增加同步标记(AASM)，交替增加同步标记可用
[10:9]	RS	Reed-Solomon (RS)，Reed-Solomon 编码生效，01：E=16，10：E=8，11：E=16 & 8
[8:6]	RS DEPTH	Reed-Solomon 深度(RS DEPTH)
[5]	TE	Turbo 编码(TE)，Turbo 编码生效(保留)
[4]	PSR	Pseudo-Randomiser(PSR),Pseudo-Randomiser 编码可用
[3]	NRZ	帧 Non-Return-Zero (NRZ)，Non-Return-Zero 编码可用
[2]	CE	卷积编码(CE)，卷积编码可用
[1]	SP	Split-Phase Level(SP)，等级分相调制可用
[0]	SC	子载体(SC)，子载体调制可用

16.2.6.11 物理层寄存器

表 16-14 物理层寄存器

位	位名称	位描述
[31]	SF	下降沿采样(SF)，时钟下降沿开始采集标志位流
[30:16]	SYMBOLRATE	采样率(SYMBOLRATE)
[15]	SCF	子载体下降沿采样(SCF)
[14:0]	TE	子载体率(SUBRATE)

16.2.6.12 编码子层寄存器

表 16-15 编码子层寄存器

位	位名称	位描述
[31:20]	RES	保留
[19]	CIF	加密接口(CIF)，使能加密接口
[18:17]	CSEL	时钟选择 (CSEL)，选择外部遥测时钟源
[16]	AASM	交替增加同步标记(AASM)，交替增加同步标记使能
[15]	RS	Reed-Solomon (RS)，Reed-Solomon 编码使能
[14:12]	RS DEPTH	Reed-Solomon 深度(RS DEPTH)
[11]	RS8	Reed-Solomon 率(RS8)，0：E=16，1：E=8
[10:8]	RES	保留
[7]	PSR	Pseudo-Randomiser(PSR),Pseudo-Randomiser 编码使能
[6]	NRZ	Non-Return-Zero (NRZ)，Non-Return-Zero 编码使能
[5]	CE	卷积编码(CE)，卷积编码使能
[4:2]	CERATE	卷积编码率(CERATE)
[1]	SP	Split-Phase Level(SP)，分相级别调制使能
[0]	SC	子载体(SC)，子载体调制使能

16.2.6.13 添加同步标志寄存器

表 16-16 添加同步标志寄存器

位	位名称	位描述
[31:0]	ASM	添加同步标记(ASM)，先发送 bit31，最后发送 bit0，复位值 0x352EF853

16.2.6.14 所有帧产生寄存器

表 16-17 所有帧产生寄存器

位	位名称	位描述
[31:22]	RES	保留
[21:17]	FSH/IZ LENGTH	副帧头(TM)/插入区(AOS)长度 (FSH/IZ LENGTH)
[16]	IZ	插入区(IZ)，插入区使能，仅 AOS 需要设置
[15]	FECF	帧错误控制域(FECF)，传输帧 CRC 使能
[14]	FHEC	帧错误控制域(FECF)，传输帧 CRC 使能
[13:12]	VER	版本(VER)，00：TM，01：AOS
[11:0]	RES	保留

16.2.6.15 主帧产生寄存器

表 16-18 主帧产生寄存器

位	位名称	位描述
[31:4]	RES	保留
[3]	MC	主通道(MC)，主通道计数使能，仅 TM 需设置
[2]	FSH	帧副帧头(FSH)，主通道副帧头使能，仅 TM 需设置
[1]	OCF	可选控制域(OCF)，主通道可选控制域使能
[0]	OW	重写 OCF(OW)，重写 OCF 的 bit17 和 bit16

16.2.6.16 空闲帧产生寄存器

表 16-19 空闲帧产生寄存器

位	位名称	位描述
[31:22]	RES	保留
[21]	IDLE	空闲帧(IDLE)，空闲帧产生使能
[20]	OCF	可选控制域(OCF)，空闲帧可选控制域使能
[19]	EVC	外部虚拟通道计数(EVC)， 空闲帧外部虚拟通道计数使能，仅 TM 需设置
[18]	FSH	副帧头，空闲帧副帧头使能，仅 TM 需设置
[17]	VCC	虚拟通道循环计数(VCC)，空闲帧虚拟通道循环计数使能，仅 AOS 需设置
[16]	MC	主通道(MC)，空闲帧隔离主通道计数产生使能，仅 TM 需要设置
[15:10]	VCID	虚拟通道标志符(VCID)，空闲帧虚拟通道标志符
[9:0]	SCID	航天器标志符(SCID)，空闲帧宇航器标志符

16.2.6.17 副帧头/插入区寄存器 0

表 16-20 副帧头/插入区寄存器 0

位	位名称	位描述
[31:0]	DATA	副帧头/插入区数据(DATA)，先发送 bit31，最后发送 bit0

16.2.6.18 副帧头/插入区寄存器 1

表 16-21 副帧头/插入区寄存器 1

位	位名称	位描述
[31:0]	DATA	副帧头/插入区数据(DATA)，先发送 bit31，最后发送 bit0

16.2.6.19 副帧头/插入区寄存器 2

表 16-22 副帧头/插入区寄存器 2

位	位名称	位描述
[31:0]	DATA	副帧头/插入区数据(DATA)，先发送 bit31，最后发送 bit0

16.2.6.20 副帧头/插入区寄存器 3

表 16-23 副帧头/插入区寄存器 3

位	位名称	位描述
[31:0]	DATA	副帧头/插入区数据(DATA)，先发送 bit31，最后发送 bit0

16.2.6.21 操作控制域寄存器

表 16-24 操作控制域寄存器

位	位名称	位描述
[31:0]	CLCW	操作控制域(OCF)，CLCW 数据

16.3 TC-遥控解码

16.3.1 TC 简介

TC模块主要实现数据的解码，数据经过TC模块解码和纠错处理后，把解码后正确的数据送给用户。主要包含的功能有：

- BCH 解码；
- Pseudo-De-Randomiser 解码；
- Non-Return-Zero 解码；
- CLCW 的 UART 传输；

TC 的结构框图如下图所示：

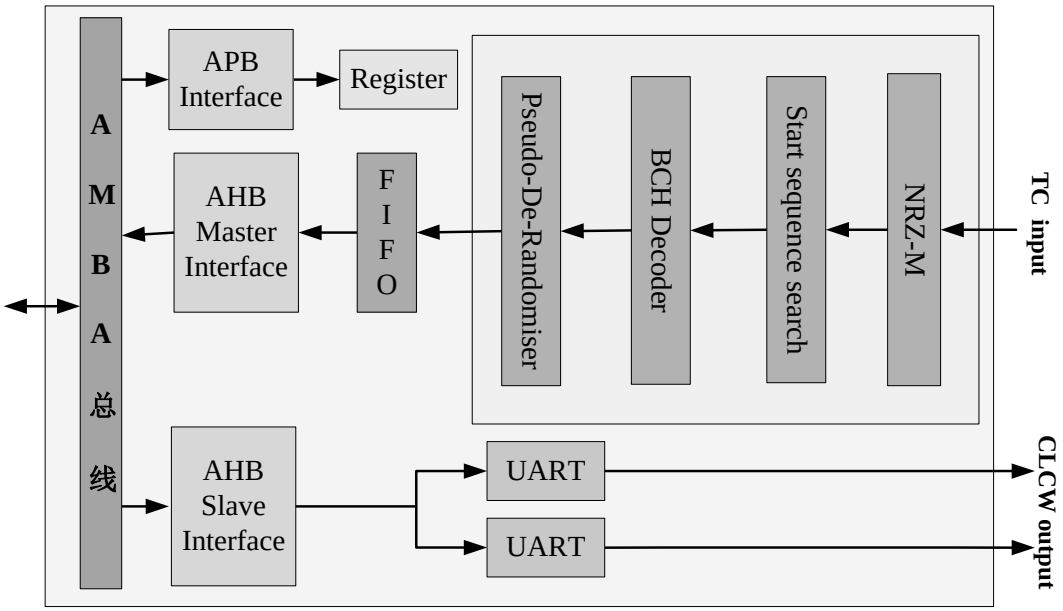


图 16-2 TC 结构框图

16.3.1.1 概念

遥测解码主要是通过处理器软件来实现的。硬件部分只支持译码层的协议，包括：同步字检测、通道选择、数据译码、数据纠错和 DMA 传输。同时硬件部分也提供寄存器实现命令链接控制字（CLCW）的传送。

为了适应更高的数据传输速率，使用了几个不同的时钟域。一个完整的 CCSDS 解码数据包是在软件层实现的。

16.3.1.2 功能选择

通过寄存器控制的功能有：Pseudo-De-Randomiser 解码、Non-Return-Zero 解码。

通过管脚配置控制的功能有:RF 的使用极性和位锁存输入、输入时钟的边沿选择。

16. 3. 2 参考资料

[PSS-04-107] Packet Telecommand Standard, Issue 2

[PSS-04-151] Telecommand Decoder Standard, Issue 1

[CCSDS 231.0-B-2] TC Synchronization and Channel Coding

[CCSDS 232.0-B-2] TC Space Data Link Protocol

[CCSDS 232.1-B-2] Communications Operation Procedure-1

[ECSS-E-ST-50-04C] Space engineering - Space data links - Telecommand protocols, synchronization and channel coding

16.3.3 数据传送

从解码子层的数据传送到系统缓存的过程如下。

当接收使能置位时，接收到的数据进入移位寄存器，经处理后送到保持寄存器。如果的 FIFO 可用，则数据从保持寄存器转移到 FIFO 中。 当 FIFO 被填满到一半时，会产生一个把数据搬运到系统级缓存的请求。如果系统级的缓存没有满，则 FIFO 中的数据持续写进来，并通过 AHB 总线存放到外部存储器中。如果系统级缓存用完，则数据保存在 FIFO 中。

当 TC 模块持续接收数据，导致接收 FIFO 被填满，并且保持和移位寄存器也用完时，会产生一个溢出中断。之后的数据不会被接收，直到 FIFO 中有可用空间。

当停止接收数据时，FIFO 中的数据会自动传送到系统级缓存，而保持寄存器和移位寄存器中的数据也会直接传送到 FIFO 中。

16.3.4 命令链接控制字-CLCW

命令链接控制字（CLCW）是TC模块软件部分配置的，TC模块的硬件部分提供相应的两个寄存器。两个异步串行传输接口（UART）用来传送TC模块中的CLCW数据。波特率设置为115200，1位起始位，8位数据位，1或2个停止位。TC命令链接控制字寄存器中的32位数据分4次发送完，最后会发送一个空闲指令（13位的逻辑0）。

16.3.5 TC 寄存器描述

表 16-25 TC 寄存器地址

地址	读写	寄存器
0x80210000	R/W	全局复位寄存器(global reset)
0x80210004	R/W	全局控制寄存器(global control)
0x80210008	R/W	物理接口屏蔽寄存器(physical interface mask)
0x8021000C	R/W	航天器标识符寄存器(spacecraft identifier)
0x80210010	R	帧接收报告寄存器(frame acceptance report)
0x80210014	R/W	命令链接控制字寄存器 1(CLCWR1)

0x80210018	R/W	命令链接控制字寄存器 2(CLCWR2)
0x8021001C	R/W	物理接口寄存器(physical interface)
0x80210020	R/W	控制寄存器(control)
0x80210024	R	状态寄存器(status)
0x80210028	R/W	地址空间寄存器(address space)
0x8021002C	R/W	接收读指针寄存器(receive read pointer)
0x80210030	R/W	接收写指针寄存器(receive write pointer)
00x8021060	R/W	中断挂起屏蔽状态寄存器(pending interrupt masked status)
0x80210064	R/W	中断挂起屏蔽寄存器(pending interrupt masked)
0x80210068	R/W	中断挂起状态寄存器(pending interrupt status)
0x8021006C	R/W	中断挂起寄存器(pending interrupt)
0x80210070	R/W	中断屏蔽寄存器(interrupt masked)
0x80210074	R/W	中断挂起清除寄存器(pending interrupt clear)

16.3.5.1 TC 全局复位寄存器

表 16-26 TC 全局复位寄存器

位	位名称	位描述
[31:24]	SEB	安全保护字节(SEB)。(写：0x55 = 写有效，寄存器值会被更新；其他值 = 对寄存器操作无效；读：全 0)
[23:1]	RES	保留
[0]	SRST	系统复位(SRST)

16.3.5.2 TC 全局控制寄存器

表 16-27 TC 全局控制寄存器

位	位名称	位描述
[31:24]	SEB	安全保护字节(SEB)。(写：0x55 = 写有效，寄存器值会被更新；其他值 = 对寄存器操作无效；读：全 0)
[23:13]	RES	保留
[12]	PSS	ESA/PSS 使能(PSS)
[11]	NRZM	Non-Return-Zero 屏蔽解码使能(NRZM)
[10]	PSR	Pseudo-Randomiser 解码使能(PSR)
[9:0]	RES	保留

16.3.5.3 TC 物理接口屏蔽寄存器

表 16-28 TC 物理接口屏蔽寄存器

位	位名称	位描述
[31:8]	RES	保留
[7:0]	MASK	屏蔽 MASK，设置 1 时屏蔽 TC 输入

16.3.5.4 TC 航天器标识符寄存器

表 16-29 TC 航天器标识符寄存器

位	位名称	位描述
[31:8]	RES	保留
[7:0]	SCID	航天器标志符(SCID)

16.3.5.5 TC 帧接收报告寄存器

表 16-30 TC 帧接收报告寄存器

位	位名称	位描述
[31]	SSD	侦测数据的状态位(SSD)，只读。当任何一个域的数据码流更新时，自动清 0，每读取一次自动置 1
[30:25]	RES	保留
[24:19]	CAC	接收码块统计(CAC)，只读，从码流层获得信息
[18:16]	CSEC	单一错误纠正统计(CSEC)，只读，从码流层获得信息
[15:14]	RES	保留
[13:11]	SCI	选中的输入通道(SCI)，只读，从码流层获得信息
[10:0]	RES	保留

16.3.5.6 TC 命令链接控制字寄存器 1

表 16-31 TC 命令链接控制字寄存器 1

位	位名称	位描述
[31]	CWTY	控制字类型(CWTY)
[30:29]	VNUM	CLCW 版本号(VNUM)
[28:26]	STAF	状态域(STAF)
[25:24]	CIE	COP 可用(CIE)
[23:18]	VCI	虚拟通道标志符(VCI)
[17:16]	RES	保留
[15]	NRFA	无 RF(无线电频率)可用(NRFA)
[14]	NBLO	无码流加锁可用(NBLO)
[13]	LOUT	加锁输出 (LOUT)
[12]	WAIT	等待(WAIT)
[11]	RTMI	重新传输 (RTMI)
[10:9]	FBCO	FRAM_B 统计(FBCO
[8]	RTYPE	报告类型(RTYPE)
[7:0]	RVAL	报告值(RVAL)

16.3.5.7 TC 命令链接控制字寄存器 2

表 16-32 TC 命令链接控制字寄存器 2

位	位名称	位描述
[31]	CWTY	控制字类型(CWTY)
[30:29]	VNUM	CLCW 版本号(VNUM)
[28:26]	STAF	状态域(STAF)
[25:24]	CIE	COP 可用(CIE)
[23:18]	VCI	虚拟通道标志符(VCI)
[17:16]	RES	保留
[15]	NRFA	无 RF(无线电频率)可用(NRFA)
[14]	NBLO	无码流加锁可用(NBLO)
[13]	LOUT	加锁输出 (LOUT)
[12]	WAIT	等待(WAIT)

[11]	RTMI	重新传输 (RTMI)
[10:9]	FBCO	FRAM_B 统计(FBCO
[8]	RTYPE	报告类型(RTYPE)
[7:0]	RVAL	报告值(RVAL)

16.3.5.8 TC 物理接口寄存器

表 16-33 TC 物理接口寄存器

位	位名称	位描述
[31:16]	RES	保留
[15:8]	RFA	RF(无线电频率)可用(RFA)
[7:0]	BLO	加锁码流(BLO)

16.3.5.9 TC 控制寄存器

表 16-34 TC 控制寄存器

位	位名称	位描述
[31:24]	SEB	安全保护字节(SEB)。(写：0x55 = 写有效，寄存器值会被更新；其他值 = 对寄存器操作无效；读：全 0)
[23:10]	RES	保留
[9]	CRST	通道复位(CRST)
[8:1]	RES	保留
[0]	RE	接收使能(RE)

16.3.5.10 TC 状态寄存器

表 16-35 TC 状态寄存器

位	位名称	位描述
[31:11]	RES	保留
[10]	RBF	接收缓存满(RBF)
[9:8]	RES	保留
[7]	RFF	接收 FIFO 满(RFF)
[6:5]	RES	保留
[4]	OV	超出限度(OV)
[3:1]	RES	保留
[0]	CR	命令连接控制单元(CLTU)就绪(CR)

16.3.5.11 TC 地址空间寄存器

表 16-36 TC 地址空间寄存器

位	位名称	位描述
[31:10]	BUFST	缓存起始地址(BUFST)，22 位指针，包含当前通道分配缓存的起始地址
[9:8]	RES	保留
[7:0]	RXLEN	接收缓存长度(RXLEN)，接收缓存接收的 1KB 块数量(MIN：1KByte = 0x00，MAX：256KByte = 0Xff)

16.3.5.12 TC 接收读指针寄存器

表 16-37 TC 接收读指针寄存器

位	位名称	位描述
[31:24]	RxRd Ptr Upper	高地址指针(RxRd Ptr Upper)，不可写，读：为 ASR[31…24]

[23:0]	RxRd Ptr Lower	24 位低地址指针(RxRd Ptr Lower)，随着读取字节的增加而增加

16.3.5.13 TC 接收写指针寄存器

表 16-38 TC 接收写指针寄存器

位	位名称	位描述
[31:24]	RxWr Ptr Upper	高地址指针(RxWr Ptr Upper)，不可写，读：为 ASR[31…24]
[23:0]	RxWr Ptr Lower	24 位低地址指针(RxWr Ptr Lower)，随着读取字节的增加而增加

16.3.5.14 TC 中断寄存器

中断寄存器由以下寄存器组成：

- 中断挂起屏蔽状态寄存器(pending interrupt masked status) R
- 中断挂起屏蔽寄存器(pending interrupt masked) R
- 中断挂起状态寄存器(pending interrupt status) R
- 中断挂起寄存器(pending interrupt) R/W
- 中断屏蔽寄存器(interrupt masked) R/W
- 中断挂起清除寄存器(pending interrupt clear) W

所有中断寄存器每一位含义均相同，如下：

表 16-39 TC 中断寄存器

位	位名称	位描述
[31:7]	RES	保留
[6]	CS	CLTU 已存储(CS)
[5]	OV	输入数据超出限度(OV)
[4]	RBF	输出缓存满(RBF)
[3]	CR	CLTU 就绪(CR)
[2]	FAR	FAR 可用(FAR)
[1]	BLO	码流加锁(Bit Lock)改变(BLO)
[0]	RFA	RFA 改变(RFA)

17. Spacewire 节点控制器

17.1 Spacewire 总线简介

SPW(Spacewire)是ESA(欧洲航天局)参考了IEEE 1355-1995商业接口标准和ANSI/TIA/EIA-644标准，结合LVDS(低压差分技术)，并对IEEE-1355标准中不适合航天应用的连接器和电缆等部分进行了修改，提出的一种应用于航天领域的串

行数据总线标准。SPW网络体系结构包括航天电子子系统、终端节点和SPW互联模块。

终端节点是SPW网络的重要组成部分，它嵌入在航天电子子系统中，将航天电子子系统与SPW网络连接起来，实现航天电子子系统与SPW网络收发信息的目的，保证了航天电子子系统与SPW网络上的其它子系统之间高速、实时、确定、可靠地进行数据交换。

SPW是一种高速、点对点、全双工、网络型串行总线，其通用性好，拓扑结构灵活，具有很好的抗辐射特性，特别在错误检测。异常处理及故障恢复等方面具有突出优势。SPW采用DS(Data-Srtobe)编码方式，信号采用LVDS方式传输，SPW具有良好的EMC特性，并且在错误检测、异常处理、故障保护和故障恢复等方面都有很强的支持。这些特性使得该技术对航天嵌入式应用有着非常重要的意义。

S698PM芯片内部集成4通道的SpaceWire总线节点控制器,其中SPW0,SPW1内置LVDS模块，SPW2,SPW3没有内置LVDS模块；

17.2 Spacewire 节点控制器主要特征

- 遵循欧空局 ECSS-E-ST-50-12C 和 ECSS-E-ST-50-52C 规范；
- 具备高速、串行、点对点、全双工通信等特点，其支持通过路由开关（Router）形成大型的通信网络；
- 可提供双向全双工、串行的高速 SpaceWire 链路网络接口，利用每个方向两对差分信号实现数据的编码及传输，最大速率可达 400Mbits/s；
- 支持配置远程存储访问（RMAP）功能；
- 编码采用 Data-Strobe 编码；
- 支持时间码；
- 支持DMA传输；
- 硬件逻辑实现物理层（PHY）、信号层、字符层、交换层以及数据包层协议；
- 支持点对点的链路以及路由交换网络，既可以通过 SpaceWire 电缆直接相连，也可通过 SPW 路由器与其它 SPW 节点或路由器相连；

- 支持电压为 350mV 的 LVDS 物理层，使 SPW 具有良好的 EMC 特性和更高的传输速率；

17.3 Spacewire 节点控制器实现的功能与工作流程

17.3.1 Spacewire 节点控制器实现的功能

- 配置管理：负责对各个节点地址进行配置，RMAP 功能配置，以及配置其他的寄存器
- 链路建立和维持：Spacewire 链路建立成功后，才能进行数据传输。无数据传输时需要发送 NULL 字符维持链路的连接性；
- 信息编码：对应用层信息首先完成并串转换，再进行 DS 编码后进行传输；
- 信息解码：对接收到的 DS 编码数据进行解码，完成串并转换；
- RMAP 包传输：支持 RMAP 数据包传输协议；
- 时间码接口：能够识别接收及发送系统时间码；

17.3.2 Spacewire 节点控制器工作流程

Spacewire发送数据是主动过程，而接收数据是一个被动的过程。S698PM的Spacewire节点控制器要正常工作，需要进行一系列寄存器配置及发送或接收描述符的配置。Spacewire的标准协议ECSS-E-ST-50-12C规定了Spacewire具有两种频率，一种是链路建立时采用的频率(规定为10MHz)，另外一种是Spacewire收发数据时的工作频率(2-400MHz)。Spacewire节点之间要能够建立正常的通信渠道，所以在配置时，其频率必须保持一致。Spacewire的通信模式是点对点的方式，因而Spacewire的每个节点控制器都有一个自己的节点地址(node address)。如A节点往B节点发送数据，A发送数据的第一个字节就必须是B节点的节点地址，否者B节点接收到数据就将丢掉，认为是无效数据。Spacewire能够接收到的一个数据包的最大长度由接收描述符0中的Packet length配置决定(1Byte--(32M-1)Byte)。Spacewire一个数据包能发送的数据长度由发送描述符2

中的Data length参数配置决定(1Byte—(16M-1)Byte)。

S698PM的Spacewire节点控制器要进行基本的收发操作，则只需要对节点地址寄存器、时钟分频寄存器、DMA通道的接收最大长度寄存器、DMA发送描述符表地址寄存器、DMA通道接收描述符表地址寄存器、状态中断寄存器、控制寄存器进行配置即可。需要注意的是，使能Spacewire进行接收/发送数据的使能位在控制寄存器中进行配置，该位一旦使能即进行接收/发送，因而控制寄存器的配置放在最后进行配置。

S698PMSpacewire提供了ECSS-E-ST-50-12C规定的时间码接口，可以实现将Spacewire节点控制器的时间码值传输到Spacewire网络中去，也可以接收Spacewire网络传输来的时间码。通过操作时间寄存器、控制寄存器即可。

S698PM中的Spacewire节点控制器支持ECSS-E-ST-50-52C的RMAP协议。RMAP协议的制定目的，在于支持SpaceWire网络中的节点通过链路对远程节点的存储器进行读写访问。这里的存储器是广义的，包括各种寄存器、存储器、缓存。RMAP可以用于配置网络、控制节点，节点间收发数据等。RMAP的基本机制是基于命令响应式的，命令类型总体分为三种：读、写、读-修改-写。进一步还可以细分为是否带应答、是否需校验、是否增址访问等。需要指出的是，RMAP定义的所有读写操作都是posted operations模式，即命令的发起者不需等待接收应答回复，不会被占用阻塞。这意味着任意时刻都可能有很多个读写命令包跑在链路上（outstanding），依靠事务标识符作区分，且没有针对响应丢失的超时机制。如果用户需要，可以在自己的应用层上另行实现超时机制。对于具体的RMAP命令格式可参考ECSS-E-ST-50-52C协议。RMAP的操作相比常规的Spacewire收发的操作，只增加了目标关键字寄存器的操作。但是进行RMAP数据通信时，需要符合ECSS-E-ST-50-52C协议的规定。

17.4 Spacewire 节点控制器结构

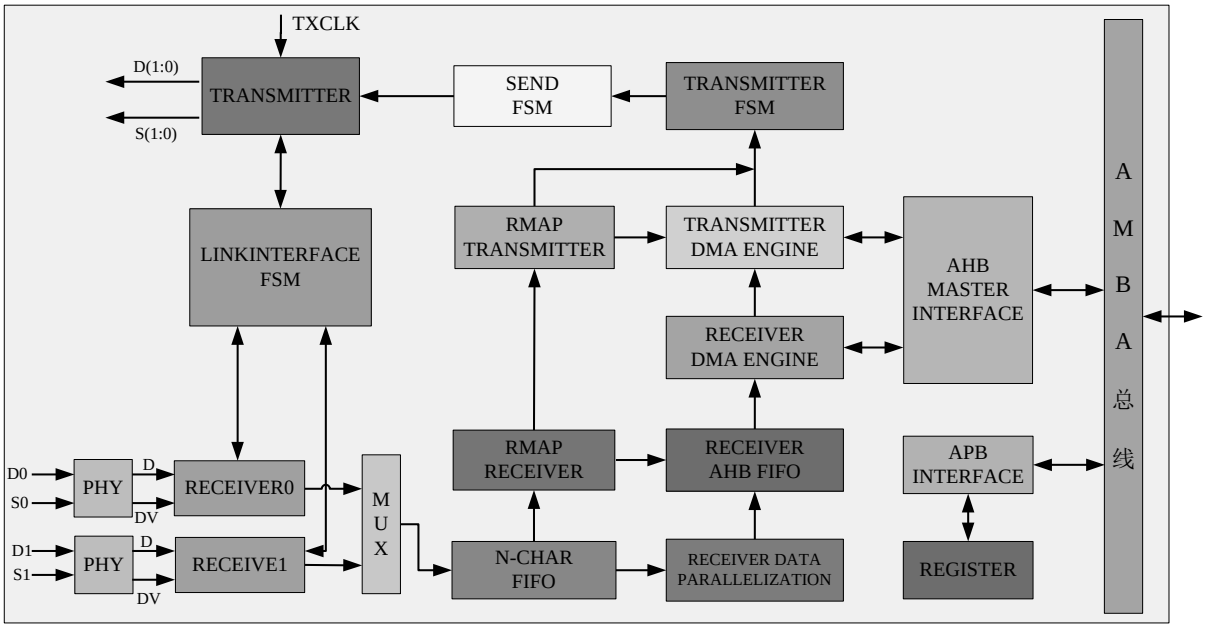


图 17-1 Spacewire 节点控制器功能结构框图

Spacewire 节点控制器结构框图如图图 17-1 所示。主要模块功能说明如下表 17-1 所示：

表 17-1 Spacewire 节点控制器主要模块说明

序号	模块名称	模块描述
1	AMBA 总线	通过 AMBA 的 AHB 总线，实现 Spacewire 和 SRAM 的数据交换；通过 AMBA 的 APB 总线，实现 Spacewire 的寄存器配置。
2	LINKINTERFACE FSM	控制 spacewire 连接接口的状态机，处理交换层的协议，通过控制寄存器配置其状态。
3	TRANSMITTER	发送字符(包括 N-Chars 和 Time-codes)到 spacewire 网络链路上
4	RECEIVER	检测与其他节点的连接状况，接收经过 PHY 处理后的以位流方式传输的字符
5	PHY	接收其他节点传输来的数据，恢复出有效数据 D 和数据有效标志信号 DV
6	RECEIVER DMA ENGINE	处理从 spacewire 网络接收到的数据，将数据分配到相应的 DMA channel
7	RECEIVER AHB FIFO	接收端缓存数据 FIFO，FIFO 中的数据将通过 AHB 总线传输
8	TRANSMITTER DMA ENGINE	发送从 DMA channel 获得的数据到 spacewire 网络
9	RMAP RECEIVER	接收具有 RMAP 协议规范的数据
10	RMAP TRANSMITTER	发送遵循 RMAP 协议规范的数据
11	RECEIVER DATA PARALLELIZATION	把 N-Char FIFO 中的串行数据转换为并行格式

17.5 Spacewire 节点控制器寄存器描述

17.5.1 Spacewire 节点控制器寄存器地址

表 17-2 Spacewire 节点控制器寄存器地址

基地址	寄存器
0x80000a00	SPW AMBA I/F 0
0x80000b00	SPW AMBA I/F 1
0x80000c00	SPW AMBA I/F 2
0x80000d00	SPW AMBA I/F 3

偏移地址	读写	寄存器
0x0	R/W	控制寄存器(Control)
0x4	R	状态中断寄存器(Status/Interrupt-source)
0x8	R/W	节点地址寄存器(Node address)
0xC	R/W	时钟分频寄存器(Clock divisor)
0x10	R/W	目标关键字寄存器(Destination key)
0x14	R	时间寄存器(Time)
0x20	R/W	DMA 通道 1 控制/状态寄存器(DMA channel 1 control/status)
0x24	R/W	DMA 通道 1 接收最大长度寄存器(DMA channel 1 rx maximum length)
0x28	R/W	DMA 发送描述符表地址寄存器(DMA channel 1 transmit descriptor table address)
0x2C	R/W	DMA 通道 1 接收描述符表地址寄存器(DMA channel 1 receive descriptor table address)
0x30	R/W	DMA 通道 1 地址寄存器(DMA channel 1 address register)
0x40 - 0x5C	R/W	DMA 通道 2 寄存器(DMA channel 2 registers)
0x60 - 0x7C	R/W	DMA 通道 3 寄存器(DMA channel 3 registers)
0x80 - 0x9C	R/W	DMA 通道 4 寄存器(DMA channel 4 registers)

17.5.2 Spacewire 节点控制器寄存器说明

17.5.2.1 SPW 节点控制寄存器

表 17-3 SPW 控制寄存器

位	位名称	位描述
[31]	RA	RMAP 可用配置位(RA) 如果硬件具有 RMAP 命令处理模式，将该位置‘1’，只读
[30]	RX	RX 非对齐访问(RX) 如果接收器中的非对齐写功能可用，将该位置‘1’，只读
[29]	RC	RMAP CRC 可用配置位(RC) - 如果芯片中使能了 RMAP CRC 校验功能，将该位置‘1’，只读

[28：27]	NCH	DMA 通道数量(NCH) NCH 值等于可用的 DMA 通道数减 1(通道数=NCH+1)
[26]	PO	端口数量(PO)。PO 值等于 spacewire 端口数减 1
[25:23]	RES	保留
[22]	LOOP	回环使能。该位打开后，可以使 SPW 回环输出有效
[21]	PS	端口选择(PS) 当 NP 为‘0’时，选择可工作的端口。PS 为‘0’时，通过 index0 将端口链接到 data 和 strobe 端。为‘1’时，通过 index1 将端口链接到 data 和 strobe 端。只有在 VHDL 代码的 generic 中将 port 设置为‘2’时 PS 才有效。复位值为‘0’
[20]	NP	端口强制位(NP) 使端口无效位。当使 PS 无效时，不能用于选择可工作的端口。但是，通过检测相应接收链路的活跃性能够实现自动选择。只有当 VHDL generic 中将 port 设置为‘2’时，NP 才能使用。复位值为‘0’
[19:18]	RES	保留
[17]	RD	RMAP buffer 使无效位(RD) 如果仅仅设置只使用 1 个 RMAP buffer，这样就能确保 RMAP 命令能够连续的执行。只有当 VHDL generic 中设置 rmap 为‘1’时，RD 可用。复位值为‘0’
[16]	RE	RMAP 使能位(RE) 使能 RMAP 功能。只有当 VHDL generic 中设置 rmap 为‘1’时，RD 可用。复位值为‘1’
[15:12]	RES	保留
[11]	TR	R 接收时间使能位(TR) 开启后能够接收时间码。复位值为‘0’
[10]	TT	发送时间使能位(TT) 开启后能都发送时间码。复位值为‘0’
[9]	LI	Link error 中断请求位(LI) 当链路发生错误后产生中断。没有复位值
[8]	TQ	Tick-out 中断请求位(TQ) 当收到有效时间码后产生中断。没有复位值
[7]	RES	保留
[6]	RS	复位(RS) 使整个 SPW 节点复位。复位值为‘0’
[5]	PM	混杂模式(PM) 使能混杂模式。复位值为‘0’
[4]	TI	L Tick In(TI) 将 TI 设为‘1’后，主机就能够产生一个 tick 信号，相应的定时器值就增加，当前的字符发送完毕后，新值就接着被发送。也可以通过声明 tick_in_signal 信号来产生 tick 信号。复位值为‘0’
[3]	IE	中断使能(IE) 设置有效后，第 8-10 位设为 1 后，相应的时间触发后就能产生中断信号。复位值为‘0’
[2]	AS	自动开始(AS) 当收到一个 NULL 字符后，自动开始链路连接。没有复位值
[1]	LS	连接开始(LS) 开始连接，也就是允许从准备状态到开始状态的转换。如果不支持 RMAP 功能,则复位值为‘0’。支持则将复位值复位为输入的 rmapen 信号值
[0]	LD	链路无效位(LD) 使 SPW codec 无效。复位值为‘0’

17.5.2.2 SPW 节点控制器状态寄存器

表 17-4 SPW 状态寄存器

位	位名称	位描述
[31:24]	RES	保留
[23:21]	LS	链路状态(LS) 启动序列的目前状态。‘0’为错误复位状态，‘1’为错误等待状态，‘2’为准备状态，‘3’为开始状态，‘4’为连接状态，‘5’为运行状态
[20:10]	RES	保留
[9]	AP	有效端口(AP) 显示目前有效的端口。‘0’表示端口 0，‘1‘表示端口 1. 端口序号与指示端口的 data 和 strobe 信号相关。只有在 generic 中 port 设置为‘2’才能使用

[8]	EE	Early EOP/EEP(EE) 当接收非 rmap 格式数据包的第一个字节的数据后收到 EOP 字符或是接收 rmap 格式数据包的第二个字节的数据后收到 EOP 字符后，将会把 EE 值置为‘1’。当写为‘1’后，这些数据包将被清除
[7]	IA	无效地址(IA) 当接收到的数据包中的地址使无效的目的地址(也就是说该地址与节点地址寄存器值不匹配)时，该位置‘1’。复位值为‘0’
[6:5]	RES	保留
[4]	PE	奇偶校验错误(PE) 发生奇偶校验错位，该位置‘1’，并将删除该数据。复位值为‘0’
[3]	DE	链接断开错误(DE) 当链路断开发生，该位设为‘1’，清除没有接收完整的数据。复位值为‘0’
[2]	ER	Escape Error(ER) 当 Escape 错误发生时，该位设为‘1’，清除没有接收完整的数据。复位值为‘0’
[1]	CE	Credit Error(ER) 发生 Credit 错误时，该位设为‘1’，清除没有接收完整的数据。复位值为‘0’
[0]	TO	Tick Out(TO) 收到新的时间计数值后，将其存入到时间计数寄存器中。当该位为‘1’时，清除计数器中的值。

17.5.2.3 SPW 节点控制器默认地址寄存器

表 17-5 SPW 节点地址寄存器

位	位名称	位描述
[31:16]	RES	保留
[15:8]	DEFMASK	Default mask(DEFMASK) Default mask 用于 spacewire 网路中节点的身份标识。这个存储区域用于在比较前标识节点地址。在检查地址前将具有 DEFMASK 反码的 DEFADDR 与收到的地址相与
[7:0]	DEFADDR	Default address(DEFADDR) Default address 用于 spacewire 网路中节点的身份标识。复位值为‘254’

17.5.2.4 SPW 节点控制器时钟分频器寄存器

表 17-6 SPW 时钟分频器寄存器

位	位名称	位描述
[31:16]	RES	保留
[15:8]	CLKDIVSTART	时钟分频启动(CLKDIVSTART) 用于链路处于启动状态时，时钟分频器的分频值。实际的分频值时钟分频器寄存值加 1
[7:0]	CLKDIVRUN	时钟分频运行(CLKDIVRUN) 当链路处于启动状态时，该值作为时钟分频器的分频值。实际的分频值时时钟分频器寄存值加 1

17.5.2.5 SPW 节点控制器目标关键字寄存器

表 17-7 SPW 目标关键字寄存器

位	位名称	位描述
[31:8]	RES	保留
[7:0]	DESTKEY	时 Destination key(DESTKEY) RMAP 目标器关键字。只有当 VHDL generic 中 rmap 设置为‘1’时可用

17.5.2.6 SPW 节点控制器时间寄存器

表 17-8 SPW 时间寄存器

位	位名称	位描述

[31:8]	RES	保留
[7:6]	TCTRL	时间控制标志(TCTRL) 时间控制标志的当前值，与从 tick-in 信号获得的时间码一起发送。收到的时间控制标志信号也存储在该寄存器中。复位值为‘0’
[5:0]	TIMECNT	时间计数器(TIMECNT) 系统时间计数器的当前值。每收到一个 tick-in 信号，计数器值增加，并将该值发送出去。可以直接对该寄存器进行写数据操作，但是这样的数据值就无法发送出去。收到的时间码值存储于该寄存器中。复位值为‘0’

17.5.2.7 SPW 节点控制器 DMA 控制寄存器

表 17-9 SPW DMA 控制寄存器

位	位名称	位描述
[31:17]	RES	保留
[16]	LE	链路连接错误无效(LE) 当链路连接错误发生时，使发送器无效。直到发送器被重新使能有效之前都不会再发送新的数据包。复位值为‘0’
[15]	SP	去除协议标识符(SP) 去掉每个数据包的协议标识符字节(第 2 字节)。当 SP 位独立于 SA 位进行设置时，地址字节(第 1 字节)同样也会被去掉。复位值为‘0’
[14]	SA	去除地址(SA) 去除每个数据包的地址字节(第 1 字节)。
[13]	EN	使能地址(EN) 对通道的节点地址进行单独的使能。
[12]	NS	没有溢出(NS) 当该位为‘0’，通道传输来了数据但却没有起作用的描述符时，该数据包被丢弃，SPW 继续接收新的数据。当设置为‘1’，SPW 将会等待描述符有效后再接收新数据
[11]	RD	Rx 描述符可用(RD) 设置为‘1’时，通知，SPW，在描述符表中存在有效的描述符。当遇到无效的描述符时，，SPW 将其置‘0’。复位值为‘0’
[10]	RX	RX 有效(RX) 如果 DMA 通道正在接收数据，该位置‘1’，否则置‘0’
[9]	AT	中断 TX(AT) 设置为‘1’时，正在发送的数据包将会中止，发送功能将无效，若没有在发送数据，唯一的作用将是使发送功能无效。自我清零。复位值为‘0’
[8]	RA	RX AHB 错误(RA) 当接收 DMA 通道访问 AHB 总线时，检测到错误响应信号。该位置‘1’时，将消除错误响应信号。复位值为‘0’
[7]	TA	TX AHB 错误(TA) 当发送 DMA 通道访问 AHB 总线时，检测到错误响应信号。该位置‘1’时，将消除错误响应信号。复位值为‘0’
[6]	PR	接收到数据包标示(PR) 每次收到一个数据包时该位将被置位。不能被 SPW 节点清除。通过写 1 进行清除。复位值为‘0’
[5]	PS	信息包发送(PS) 每次发送一个数据包时该位将被置位。不能被 spacewire 节点清除。通过写 1 进行清除。复位值为‘0’
[4]	AI	AHB 错误中断(AI) 置位后，当 DMA 通道访问 AHB 总线时，发生 AHB 总线错误时将产生中断信号。没有复位值
[3]	RI	接收中断(RI) 置位后，当每次收到一个数据包后将产生中断信号。当数据包以 EEP 或是 EOP 结束时，均会产生中断。没有复位值
[2]	TI	发送中断(TI) 置位后，当每次发送一个数据包后将产生中断信号。无论发送是否成功，均会产生中断。没有复位值
[1]	RE	接收中断(RI) 置位后，当每次收到一个数据包后将产生中断信号。当数据包以 EEP 或是 EOP 结束时，均会产生中断。没有复位值
[0]	TE	发送器使能(TE) 描述符表格中每次有新描述符有效时该位置‘1’。置‘1’后将使 spacewire 节点读取新的描述符用于发送数据包到相对应的地址。当 spacewire 节点遇到描述符无效时，该位自动清零。复位值为‘0’

17.5.2.8 SPW 节点控制器接收最长数据包寄存器

表 17-10 SPW 接收最长数据包寄存器

位	位名称	位描述
[31:25]	RES	保留
[24:0]	RXMAXLEN	RX 最大长度(RXMAXLEN) 以字节为单位能接收的最大数据包。只有 24-2 位可写。1-0 始终为‘0’。没有复位值

17.5.2.9 SPW 节点控制器发送描述符表地址寄存器

表 17-11 SPW 发送器描述符表地址寄存器

位	位名称	位描述
[31:10]	DESCBASE ADDR	描述符表基地址(DESCBASEADDR)设置描述符表的基地址。没有复位值
[9:4]	DESCSEL	描述符选择器(DESCSEL) 描述符表的偏移值。显示 spacewire 正在使用的描述符。当新的描述符读操作时，选择器每次按 16 增加，再翻转到 0，一直循环。复位值为‘0’
[3:0]	RES	保留

17.5.2.10 SPW 节点控制器接收描述符表地址寄存器

表 17-12 SPW 接收描述符表地址寄存器

位	位名称	位描述
[31:10]	DESCBASE ADDR	描述符表基地址(DESCBASE ADDR)设置描述符表的基地址。没有复位值
[9:3]	DESCSEL	描述符选择器(DESCSEL) 描述符表的偏移值。显示 SPW 正在使用的描述符。当新的描述符读操作时，选择器每次按 8 增加，再翻转到 0，一直循环。复位值为‘0’
[2:0]	RES	保留

17.5.2.11 SPW 节点控制器 DMA 通道地址寄存器

表 17-13 SPW 通道地址寄存器

位	位名称	位描述
[31:16]	RES	保留
[15:8]	MASK	DMA 通道地址屏蔽位
[7:0]	ADDR	DMA 通道的地址

17.5.2.12 SPW 节点控制器接收描述符寄存器 0

表 17-14 SPW 接收描述符寄存器 0

位	位名称	位描述
[31]	TR	截断(TR)，数据长度与最大数据长度冲突，会把超出最大长度的数据截掉表的基地址。没有复位值
[30]	DC	数据 CRC(DC) ，检测接收到的数据有 CRC 错误，置 1，其他情况为 0
[29]	HC	包头 CRC(HC) ，检测接收到的包头有 CRC 错误，置 1，其他情况为 0
[28]	EP	EEP termination(EP) ，数据包以错误的包尾结束标志

[27]	IE	中断使能(IE) ，如果设置 IE 有效，在 DMA 通道控制寄存器中的接收中断使能位有效的情况下，接收到数据后会产生中断信号
[26]	WR	Wrap(WR)，如果该位置 1，SPW 通道每次使用的描述符都是描述符表寄存器基地址指定的那一个。否则，描述符指针将会以 8 字节递增到更高的存储空间。描述符表限制在 1kbytes 的范围内，当达到最大边界后，自动会返回到基地址
[25]	EN	使能(EN)，设置为 1，才能激活描述符。激活后描述符包含的控制值才是有效的，指定的地址空间才能用于存储接收数据
[24:0]	PACKET LENGTH	数据长度(PACKETLENGTH)，存储在接收缓存中的数据字节数。只有在 EN 被 SPW 置为 0 后，该值才是有效的

- 地址为：接收描述符表地址寄存器中（31-10 位指定的基地址）&（9-3 位的偏移地址）&000，3 个部分拼起来的 32 位地址。

17.5.2.13 SPW 节点控制器接收描述符寄存器 1

表 17-15 SPW 接收描述符寄存器 1

位	位名称	位描述
[31:0]	PACKET ADDERSS	接收数据包地址(PACKETADDRESS)，指向 buffer 的地址，buffer 用于存储接收到数据包，如果 rxunaligned 和 rmap 都设置为 0，则只有[31:2]被使用

- 地址为：接收描述符寄存器 0 地址+4

17.5.2.14 SPW 节点控制器发送描述符寄存器 0

表 17-16 SPW 发送描述符寄存器 0

位	位名称	位描述
[31:18]	RES	保留
[17]	DC	添加数据 CRC(DC)，把数据指针指定的数据发送完后，根据 RMAP spec 计算 CRC。CRC 会覆盖从指针处发出的所有数据。如果数据长度设置为 0，则不进行 CRC 计算
[16]	HC	添加包头 CRC(HC)，把包头指针指定的数据发送完后，根据 RMAP spec 计算 CRC。CRC 会覆盖除 non-crc 域覆盖外的所有从包头指针处发送出去的数据。当包头数据长度设置为 0，不会发送 CRC 码
[15]	LE	链路错误(LE)，在发送数据包过程中发生链路错误
[14]	IE	中断使能(IE)，如果置 1，在 DMA 控制寄存器中的发送中断使能位置 1 时，发送完数据包后产生会中断信号
[13]	WR	Wrap(WR)，如果该位置 1，SPW 通道每次使用的描述符都是描述符表寄存器基地址指定的那一个。否则，描述符指针将会以 16 字节递增到更高的存储空间。描述符表限制在 1kbytes 的范围内，当达到最大边界后，自动会返回到基地址
[12]	EN	使能(EN)，使能发送描述符，所有的控制域(地址、长度、Wrap、crc)设置后，EN 位应该设置。当该位被设置后，描述符不能再被修改，否者可能引起发送失败，当发送完成后，SPW 会清除该位
[11:8]	NONCRCLEN	Non-CRC bytes(NONCRCLEN)，设置包头开始处有多少字节的数据不包括在 CRC 计算范围内。当使用路径地址的时候，必须采用该设置，因为在使用路径地址的时候，包头最开始的数个字节需要丢弃，因而也就不需要进行 CRC 编码
[7:0]	HEADER LENGTH	包头长度(HEADERLEN)，包头长度(单位字节)。如果设置为 0，将跳过包头

- 地址为：发送描述符表地址寄存器中（31-10 位指定的基地址）&（9-4 位的偏移地址）&0000，3 个部分拼起来的 32 位地址。

17.5.2.15 SPW 节点控制器发送描述符寄存器 1

表 17-17 SPW 发送描述符寄存器 1

位	位名称	位描述
[31:0]	HEADER ADDERSS	头地址(HEADERADDRESS)，存储包头的地址。地址不需要以字为单位

- 地址为：发送描述符寄存器 0 地址+4

17.5.2.16 SPW 节点控制器发送描述符寄存器 2

表 17-18 SPW 发送描述符寄存器 2

位	位名称	位描述
[31:24]	RES	保留
[23:0]	DATA LENGTH	数据长度(DATALEN)，数据长度(单位字节)。如果设置为 0，则不发送数据。如果包头和数据长度都设置为 0，则不发送数据包

- 地址为：发送描述符寄存器 0 地址+8

17.5.2.17 SPW 节点控制器发送描述符寄存器 3

表 17-19 SPW 发送描述符寄存器 3

位	位名称	位描述
[31:0]	DATA ADDERSS	数据地址(DATAADDRESS) ，发送数据所在的存储地址，地址不需要以字为单位

- 地址为：发送描述符寄存器 0 地址+12

18. SPI 总线主控制器

18.1 SPI 简介

该模块主要为AMBA APB总线和串行总线接口（SPI）总线之间提供通道，可以被动态配置为spi主控设备（master）或者配置为spi从设备（slave）。发送字长、位顺序、时钟gap插入等都可以配置。模块主要由发送/接收FIFO、主控制器、从设备控制器、时钟产生模块及同步逻辑组成。SPI控制器结构如下图 18-1所示：

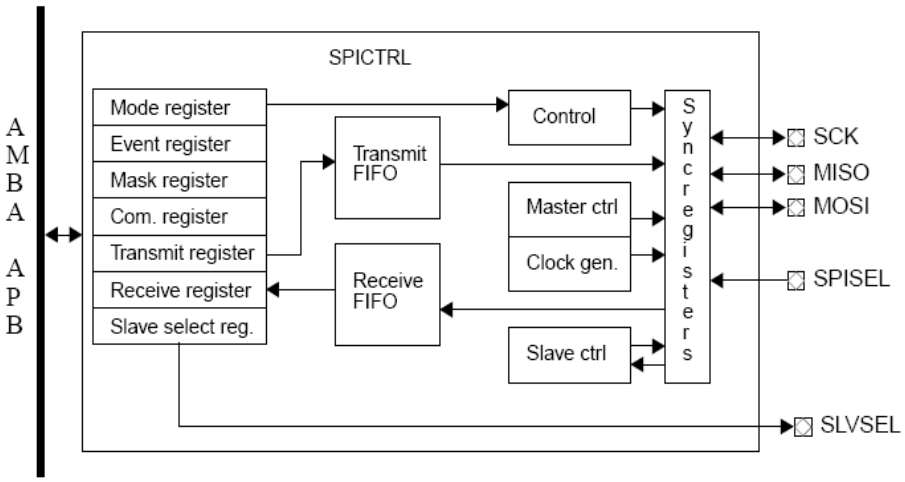


图 18-1 SPI 控制器结构框图

18.2 SPI 工作原理

18.2.1 SPI 传输协议

SPI总线是一种全双工同步串口总线。当主控机通过SLVSEL信号选中一个从设备后传输开始，时钟线SCK从理想状态开始传输，主控数据从主控机的MOSI信号线上传输出去，从机数据从从设备的MISO信号线上传输出来。当该模块被设置成主设备后，它将监测SPISEL信号线来侦测是否与其他主设备产生冲突，如果SPISEL被激活，该主控机将自动变为不使能。SPI传输模式通过时钟极性（CPOL）和时钟相位（CPHA）组合成四种不同的传输模式，分别如下图 18-2所示：

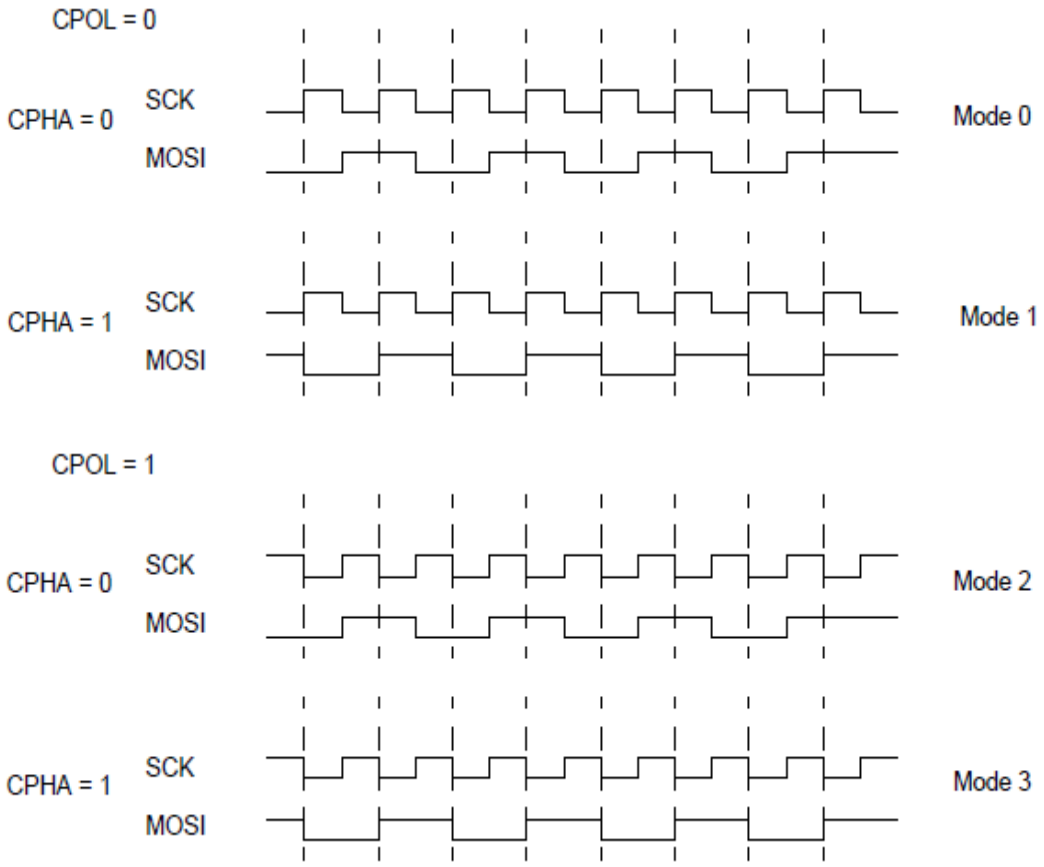


图 18-2 SPI 控制器传输字节（0x55）的所有传输模式

18.2.2 SPI 时钟控制

该模块只有在主模式下才能产生时钟信号，该时钟频率是依赖于系统时钟频率和模式寄存器下的27位（DIV16）、19~16位（PM）、13位（FACT）的设置。

当DIV16设置为0时，SCK频率计算公式如下：

$$SCK=\frac{SYSCLK}{(4-(2*FACT))*(PM+1)}-1 \qquad （式18－1）$$

当 DIV16 设置为 1 时，SCK 频率计算公式如下：

$$SCK=\frac{SYSCLK}{16*(4-(2*FACT))*(PM+1)} \qquad （式18－2）$$

注：当该模块使能后，DIV16、PM、FACT 所在的模式寄存器不可以修改配置。

18.2.3 SPI 从模式控制

当该模块被配置成从模式时，其就不能驱动任何SPI信号，直到被主机通过SPI_SEL

输入信号选中后。当该模块处于从模式时，如果SPI_SEL变为低时，该模块将把SPI_MISO配置成输出，并驱动设定好的第一位数值发送出去。

因该模块需要同步进来的时钟，只有两个时钟后，才能响应SCK信号上的传输，这将导致当数据线上改变后至少延迟三个时钟周期才能采样数据，所以SCK信号的最大时钟频率不能超过从设备系统时钟的1/8,主控设备必须允许从设备减少数据的建立时间。

18.2.4 SPI 主模式控制

通过配置模式寄存器使该模块为主模式，然后如果发送队列中有有效数据时，就会进行发送工作；当发送队列为空时，该模块就会把SPI_SCK信号置为理想状态。当处于主模式工作时，如果SPI_SEL输入为低信号时，该模块就会忽略正在传输工作并把事件寄存器里的MME状态位置1。当有MME错误发生时，该模块就会变为没使能，停止工作。

18.3 SPI 控制寄存器描述

18.3.1 SPI 寄存器地址

表 18-1 SPI 寄存器地址

地址	读写	寄存器
0x80000400	R	SPI 性能寄存器(SPI controller capability register)
0x80000420	R/W	SPI 模式寄存器(SPI controller mode register)
0x80000424	R	SPI 事件寄存器(SPI controller event register)
0x80000428	R/W	SPI 屏蔽寄存器(SPI controller mask register)
0x8000042C	R/W	SPI 命令寄存器(SPI controller command register)
0x80000430	W	SPI 发送数据寄存器 1(SPI controller transmit register)
0x80000434	R	SPI 接收数据寄存器 2(SPI controller receive register)
0x80000438	R/W	SPI slave 选择寄存器(SPI controller slave slect register)

注：在非自动传输模式下 SPI 寄存器的配置 0x80000400 - 0x80000500

18.3.2 SPI 性能寄存器

表 18-2 SPI 性能寄存器

位	位名称	位描述
[31:24]	SSSZ	Slave 选择信号有效数目，只有在 SSEN 是‘1’的时候有效当前值：1
[23:20]	MAXWLEN	SPI 控制模块支持的最大数据长度。 0x0：4~16bits，32bits 0x3~0xF：（MAXWLEN+1）bits 当前值：0
[19]	TWEN	SPI 三线模式支持使能，默认为 0，不支持 0：不支持；1：支持；当前值：‘0’
[18]	AMODE	是否支持自动传输模式 0：不支持；1：支持；当前值：0
[17]	ASELA	是否支持自动设置 slave 选择信号 0：支持；1：不支持；当前值：0
[16]	SSEN	是否支持 slave 选择寄存器和 slave 选择信号的映射 0：支持；1：不支持；当前值：1
[15:8]	FDEPTH	内部 FIFO 深度定义 当前值：16
[7]	SR	是否使用 SYNCRAM 实现 buffer 0：不是；1：是；当前值：1
[6:5]	FT	错误容忍支持 00：不容忍失败 01：DMR(每 32bits 可纠正 4bit 错误) 10：TMR（可纠正任意 bits 错误） 当前值：0
[4:0]	REV	版本

18.3.3 SPI 模式控制寄存器

表 18-3 SPI 模式控制寄存器

位	位名称	位描述
[31]	AMEN	0：自动传输模式使能关闭 1：自动传输模式使能
[30]	LOOP	0：spi 环回模式关闭 1：spi 环回模式打开
[29]	CPOL	时钟极性定义 0：初始为‘0’；1：初始为‘1’
[28]	CPHA	SPI 时钟相位定义 0：在第一次 SCK 变化的时候读回数据 1：在第二次 SCK 变化的时候读回数据

[27]	DIV16	系统时钟除以 16，仅在 master 模式下有效 0：系统时钟不进行 16 分频 1：系统时钟进行 16 分频
[26]	REV	数据其实传输 bit 定义 0：数据首先传输 LSB 1：数据首先传输 MSB
[25]	MS	主/从模式选择 0：slave；1：master
[24]	EN	SPI 控制模块使能位 1：SPI 控制模块使能 0：SPI 控制模块没有使能 注：软件可清零，多主机错误发生时 core 会自动将其清零
[23:20]	LEN	传输数据长度定义 0x0：32bits 数据 0x1~0x2：非法配置 0x3~0x15：LEN+1 注：不能超过 SPI 模块处理能力寄存器中 MAXLEN 的值，当前不能超过 31，即传输最长为 32bit
[19:16]	PM	在 master 模式下：对系统时钟分频产生 SCK 时钟时使用的参数。 在 slave 模式下：定义 spi 模块检测到 SCK 信号状态前，输入 SCK 信号需要稳定的周期数
[15]	RES	保留位
[14]	ASEL	slave 模式自动选择使能位 0：关闭自动选择 slave 模式 1：使能自动选择 slave 模式
[13]	FACT	系统时钟分频系数选择 0：4； 1：2
[12]	OD	引脚开驱动模式选择 0：普通模式； 1：开漏模式 注：对 slave 模式下输入信号没有影响
[11:7]	CG	连续传输时，用来设置插入 sck 时钟的数量，该值只有的 master 模式且发送队列保持非空的情况下有效。0x0 的配置值可以实现背靠背的传输
[6:5]	ASELDEL	Slave 自动选择延迟设置
[4]	TAC	在时钟 gap 期间是否使能 slave 自动选择功能 0：不是使能； 1：使能
[3]	RES	保留位
[2]	IGSEL	Spisel 信号是否忽略 0：不忽略；1：忽略
[1]	CITE	传输结束，是否需要空闲时间 0：不需要空闲时间，只要传输数据的最后一 bit 传输完成，则当然传输结束 1：需要空闲时间，只有数据传输完成，并且再等待空闲时钟达到空闲设置的水平，当然传输才结束 注：空闲值由 CG 域决定

[0]	RES	保留，数值为 0，向前兼容的时候需要写‘0’

18.3.4 SPI 事件寄存器

表 18-4 SPI 事件寄存器

位	位名称	位描述
[31]	TIP	SPI 传输状态寄存器 0：传输结束，困闲 1：传输正在进行
[30:15]	RES	保留
[14]	LT	传输结束并且发送队列空状态 0：软件写‘1’清零，写‘0’无效 1：上述状态发生
[13]	RES	保留
[12]	OV	0：软件写‘1’清零，写‘0’无效 1：接收缓存溢出
[11]	UN	0：软件写‘1’清零，写‘0’无效 1：发送开始时，发送队列空
[10]	MME	0：软件写‘1’清零，写‘0’无效 1：多主机错误发生
[9]	NE	0：SPI 接收缓存空 1：SPI 接收缓存非空
[8]	NF	0：SPI 发送缓存满 1：SPI 发送缓存有空间
[7:0]	RES	保留

18.3.5 SPI 控制屏蔽寄存器

表 18-5 SPI 控制屏蔽寄存器

位	位名称	位描述
[31]	TIPE	传输开始中断使能寄存器，当 SPI controller Event register 中 TIP 位的上升沿出现时产生一个传输中断。 0：屏蔽；1：不屏蔽
[30:15]	RES	保留
[14]	LTE	SPI controller Event register 中 LT 位触发中断功能的屏蔽位。 0：屏蔽；1：不屏蔽
[13]	RES	保留
[12]	OVE	SPI controller Event register 中 OV 位触发中断功能的屏蔽位。 0：屏蔽；1：不屏蔽
[11]	UNE	SPI controller Event register 中 UN 位触发中断功能的屏蔽位。 0：屏蔽；1：不屏蔽
[10]	MMEE	SPI controller Event register 中 MME 位触发中断功能的屏蔽位。 0：屏蔽；1：不屏蔽

[9]	NEE	SPI controller Event register 中 NE 位触发中断功能的屏蔽位。 0：屏蔽；1：不屏蔽
[8]	NFE	SPI controller Event register 中 NF 位触发中断功能的屏蔽位。 0：屏蔽；1：不屏蔽
[7:0]	RES	保留

18.3.6 SPI 控制命令寄存器

表 18-6 SPI 控制命令寄存器

位	位名称	位描述
[31:23]	RES	保留
[22]	LST	最后一位传输状态控制命令位 0：事件寄存器 LT 置‘1’后，自动清零 1：要求传输完最后一 bit 后产生 LT 事件状态 注：软件读回始终为‘0’
[21:0]	RES	保留

18.3.7 SPI 控制传输寄存器

表 18-7 SPI 控制传输寄存器

位	位名称	位描述
[31:0]	TDATA	传输数据寄存器，只有在 SPI controller Event register 中 NF 置位时，才能写入数据，数据存储的方式由 SPI controller Mode register 中的 REV 位控制

18.3.8 SPI 控制接收寄存器

表 18-8 SPI 控制接收寄存器

位	位名称	位描述
[31:0]	RDATA	NE 置位的时候，有效数据接收寄存器，接收长度和数据存储方式由 SPI controller Mode register 中的 REV 和 LEN 控制。 注：当 LEN=0X0 时，数据最高位存储在 bit[31]，最低位存储在 bit[0]

18.3.9 SPI slave 选择寄存器

表 18-9 SPI slave 选择寄存器

位	位名称	位描述
[31:SSSZ]	RES	保留，SSSZ 为 SPI 控制器处理能力配置数据。SSEN 为‘0’的时候，SSSZ 为 0 注：当然 SSSZ 为 1
[SSSZ-1:0]	ASLVSEL	SSEN 为‘1’的情况下，SPI 模块 slave 选择信号映射寄存器。 注：当然 SSSZ 为 1

19. CAN 总线控制器

19.1 简介

S698PM-CAN 实现了 CAN 2.0B 协议，支持 BasicCAN 和 PeliCAN 模式，这两种模式可以通过时钟分频寄存器选择。在 BasicCAN 和 PeliCAN 两种模式下寄存器的映射有所不同。

S698PM-CAN 控制器共有 32 个寄存器，地址分别为 0-31。在 CPU 看来，CAN 控制器相当于存储器地址映射的 I/O 设备，CPU 对 CAN 控制器的所有操作都是通过访问寄存器实现的。

19.2 CAN 控制器主要特征

- PCA82C200 模式（即默认的 BasicCAN 模式）
- 扩展的接收缓冲器（64 字节先进先出 FIFO）
- 和 CAN2.0B 协议兼容
- 同时支持 11 位和 29 位标识符
- 位速率可达 1Mbits/s
- PeliCAN 模式扩展功能
- 可读/写访问的错误计数器
- 可编程的错误报警限制
- 最近一次错误代码寄存器
- 对每一个 CAN 总线错误的中断
- 具体控制位控制的仲裁丢失中断
- 单次发送（无重发）
- 只听模式（无确认、无活动的出错标志）
- 支持热插拔（软件位速率检测）
- 验收过滤器扩展（4 字节代码，4 字节屏蔽）
- 自身信息接收（自接收请求）

19.3 结构框图

S698PM-CAN 控制器主要由寄存器、位定时逻辑和位流处理器 3 个模块组成，如图图 19-1 所示。

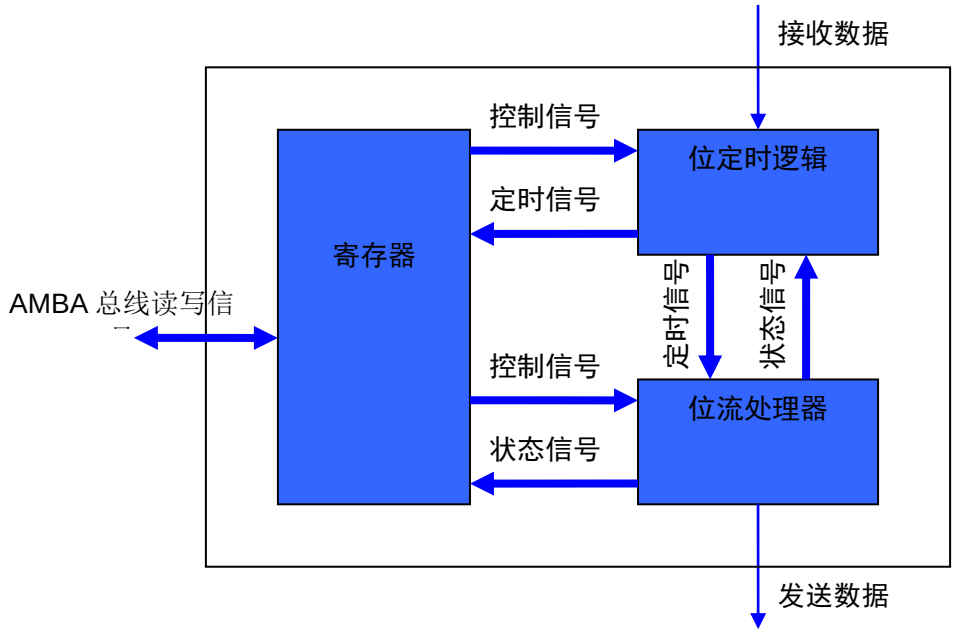


图 19-1 CAN 控制器结构框图

CAN 寄存器是与 CPU 连接的模块，CPU 对 CAN 控制器的所有操作都是通过寄存器进行的。

位定时逻辑实现的主要功能是检测 CAN 总线输入信号和来自位流处理器的 CAN 总线输出信号，输出采样点、采样位、发送点和同步信号等位定时信息。

位流处理器实现的主要功能是输入来自寄存器的寄存器信息和来自位定时逻辑的采样点、采样位、发送点和同步信号等位定时信息，对采样位的位流进行处理，并输出状态信息和 CAN 总线输出信号。

19.4 BasicCAN 模式寄存器

19.4.1 BasicCAN 模式寄存器映射

表 19-1 BasicCAN 偏移地址分配（基地址为：0x80200000）

地址	工作模式		复位模式	
	读	写	读	写
0	控制寄存器	控制寄存器	控制寄存器	控制寄存器

地址	工作模式		复位模式	
	读	写	读	写
1	（0xFF）	命令寄存器	（0xFF）	命令寄存器
2	状态寄存器	—	状态寄存器	—
3	中断寄存器	—	中断寄存器	—
4	（0xFF）	—	验收代码寄存器	验收代码寄存器
5	（0xFF）	—	验收屏蔽寄存器	验收屏蔽寄存器
6	（0xFF）	—	总线定时 0 寄存器	总线定时 0 寄存器
7	（0xFF）	—	总线定时 1 寄存器	总线定时 1 寄存器
8	（0x00）	—	（0x00）	—
9	（0x00）	—	（0x00）	—
10	发送识别码（10-3）	发送识别码（10-3）	（0xFF）	—
11	发送识别码（2-0）、RTR、DLC	发送识别码(2-0)、RTR、DLC	（0xFF）	—
12	发送数据字节 1	发送数据字节 1	（0xFF）	—
13	发送数据字节 2	发送数据字节 2	（0xFF）	—
14	发送数据字节 3	发送数据字节 3	（0xFF）	—
15	发送数据字节 4	发送数据字节 4	（0xFF）	—
16	发送数据字节 5	发送数据字节 5	（0xFF）	—
17	发送数据字节 6	发送数据字节 6	（0xFF）	—
18	发送数据字节 7	发送数据字节 7	（0xFF）	—
19	发送数据字节 8	发送数据字节 8	（0xFF）	—
20	接收识别码（10-3）	—	接收识别码（10-3）	—
21	接收识别码（2-0）、RTR、DLC	—	接收识别码（2-0）、RTR、DLC	—
22	接收数据字节 1	—	接收数据字节 1	—
23	接收数据字节 2	—	接收数据字节 2	—
24	接收数据字节 3	—	接收数据字节 3	—
25	接收数据字节 4	—	接收数据字节 4	—
26	接收数据字节 5	—	接收数据字节 5	—
27	接收数据字节 6	—	接收数据字节 6	—
28	接收数据字节 7	—	接收数据字节 7	—
29	接收数据字节 8	—	接收数据字节 8	—
30	（0x00）	—	（0x00）	—
31	时间分频寄存器	时间分频寄存器	时间分频寄存器	时间分频寄存器

19.4.2 控制寄存器

控制寄存器包含中断使能位和复位请求位。

表 19-2 控制寄存器（CR）

位	位名称	位描述
[7:5]	RES	保留
[4]	溢出中断使能	1：使能；0：禁能。
[3]	错误中断使能	1：使能；0：禁能。
[2]	发送中断使能	1：使能；0：禁能。
[1]	接收中断使能	1：使能；0：禁能。
[0]	复位请求	1：停止当前传输并进入复位模式； 0：返回工作模式。

- x：复位不影响该寄存器或位

19.4.3 命令寄存器

往寄存器的相应位写 1 将引起被支持的动作。

表 19-3 命令寄存器（CMR）

位	位名称	位描述
[7:4]	RES	保留
[3]	清除数据溢出	清除数据溢出状态位。
[2]	释放接收缓冲器	释放当前接收缓冲器以便于新的接收。
[1]	停止发送	停止尚未开始的发送。
[0]	发送请求	开始发送缓冲器中报文的发送。

- 注 1：读命令寄存器的结果总为“1111 1111”。

19.4.4 状态寄存器

状态寄存器反映模块的当前状态并且是只读的。

表 19-4 状态寄存器（SR）

位	位名称	位描述
[7]	总线状态	模块总线关闭，且此时无总线活动时，为 1。
[6]	错误状态	至少有一个错误计数器达到或超过 CPU 报警限制。
[5]	发送状态	正在发送报文时，为 1。
[4]	接收状态	正在接收报文时，为 1。
[3]	发送完毕	最后一个报文发送成功时，为 1。
[2]	发送缓冲器状态	为 1 时，CPU 可以向发送缓冲器中写入数据。
[1]	数据溢出状态	FIFO 中无空间导致报文丢失时，为 1。
[0]	接收缓冲器状态	接收 FIFO 中有可用报文时，为 1

- x：复位不影响该寄存器或位。

19.4.5 中断寄存器

中断寄存器通知 CPU 是什么引起了中断。只有在控制寄存器里相应的中断允许位置 1 时中断位才置 1。

表 19-5 中断寄存器（IR）

位	位名称	位描述
[7:4]	RES	保留
[3]	数据溢出中断	若 SR.1 由 0 变为 1，置位。
[2]	错误中断	若错误状态或总线状态发生变化，置位。
[1]	发送中断	若发送缓冲器被释放，置位。
[0]	接收中断	FIFO 不空时，置位。

- x：复位不影响该寄存器或位

19.4.6 发送缓冲寄存器

发送缓冲存储来自 CPU 的将要通过本模块发送的数据。在 BasicCAN 模式下只有标准帧格式报文可以被发送和接收，扩展帧格式报文将被忽略。

表 19-6 发送缓冲器

地址	名称	位							
		7	6	5	4	3	2	1	0
10	识别码 1	ID.10	ID.9	ID.8	ID.7	ID.6	ID.5	ID.4	ID.3
11	识别码 1	ID.2	ID.1	ID.0	RTR	DLC.3	DLC.2	DLC.1	DLC.0
12	发送数据 1	发送字节 1							
13	发送数据 2	发送字节 2							
14	发送数据 3	发送字节 3							
15	发送数据 4	发送字节 4							
16	发送数据 5	发送字节 5							
17	发送数据 6	发送字节 6							
18	发送数据 7	发送字节 7							
19	发送数据 8	发送字节 8							

19.4.7 接收缓冲寄存器

位于地址 20 至 29 的接收缓冲是 64 字节接收 FIFO 的可见部分。它的结构与发送缓冲器相同。

19.4.8 接收过滤寄存器

应用接收过滤代码和接收过滤屏蔽寄存器，报文可以根据它们的标识符（ID）被过滤。11 位的标识符的高 8 位与接收过滤代码寄存器中相应的接收过滤屏蔽寄存器中设为 0 的位比较，如果匹配则储存进 FIFO。

该寄存器不受硬件复位和软件复位的影响。

19.5 PeliCAN 模式寄存器

19.5.1 PeliCAN 模式寄存器映射

表 19-7 PeliCAN 偏移地址分配

地址	工作模式				复位模式	
	读		写		读	写
0	模式寄存器		—		模式寄存器	模式寄存器
1	（0x00）		命令寄存器		（0x00）	命令寄存器
2	状态寄存器		—		状态寄存器	—
3	中断寄存器		—		中断寄存器	—
4	中断使能寄存器		中断使能寄存器		中断使能寄存器	中断使能寄存器
5	（0x00）		—		（0x00）	—
6	总线定时 0 寄存器		—		总线定时 0 寄存器	总线定时 0 寄存器
7	总线定时 1 寄存器		—		总线定时 1 寄存器	总线定时 1 寄存器
8	（0x00）		—		（0x00）	—
9	（0x00）		—		（0x00）	—
10	（0x00）		—		（0x00）	—
11	仲裁丢失捕捉寄存器		—		仲裁丢失捕捉寄存器	—
12	错误代码捕捉寄存器		—		错误代码捕捉寄存器	—
13	错误报警限制寄存器		—		错误报警限制寄存器	错误报警限制寄存器
14	接收错误计数器		—		接收错误计数器	接收错误计数器
15	发送错误计数器		—		发送错误计数器	发送错误计数器
16	接收 SFF 帧信息	接收 EFF 帧信息	发送 SFF 帧信息	发送 EFF 帧信息	验收代码 0 寄存器	验收代码 0 寄存器
17	接收识别码 1	接收识别码 1	发送识别码 1	发送识别码 1	验收代码 1 寄存器	验收代码 1 寄存器
18	接收识别码 2	接收识别码 2	发送识别码 2	发送识别码 2	验收代码 2 寄存器	验收代码 2 寄存器
19	接收数据 1	接收识别码 3	发送数据 1	发送识别码 3	验收代码 3 寄存器	验收代码 3 寄存器
20	接收数据 2	接收识别码 4	发送数据 2	发送识别码 4	验收屏蔽 0 寄存器	验收屏蔽 0 寄存器
21	接收数据 3	接收数据 1	发送数据 3	发送数据 1	验收屏蔽 1 寄存器	验收屏蔽 1 寄存器
22	接收数据 4	接收数据 2	发送数据 4	发送数据 2	验收屏蔽 2 寄存器	验收屏蔽 2 寄存器
23	接收数据 5	接收数据 3	发送数据 5	发送数据 3	验收屏蔽 3 寄存器	验收屏蔽 3 寄存器
24	接收数据 6	接收数据 4	发送数据 6	发送数据 4	保留（0x00）	—
25	接收数据 7	接收数据 5	发送数据 7	发送数据 5	保留（0x00）	—
26	接收数据 8	接收数据 6	发送数据 8	发送数据 6	保留（0x00）	—
27	FIFO	接收数据 7	—	发送数据 7	保留（0x00）	—

28	FIFO	接收数据 8	—	发送数据 8	保留（0x00）	—
29	接收报文计数器		—		接收报文计数器	—
30	（0x00）		—		（0x00）	—
31	时间分频寄存器		时间分频寄存器		时间分频寄存器	时间分频寄存器

19.5.2 模式寄存器

表 19-8 模式寄存器（MOD）

位	位名称	位描述
[7:4]	RES	保留
[3]	验收滤波模式	1：单滤波模式；0：双滤波模式。
[2]	自检测模式	1：控制器进入自检测模式。
[1]	仅听模式	1：控制器进入仅听模式。
[0]	复位模式	1：停止当前传输并进入复位模式。 0：返回工作模式。

- x：复位不影响该寄存器或位

19.5.3 命令寄存器

往寄存器的相应位写 1 将引起被支持的动作。

表 19-9 命令寄存器（CMR）

位	位名称	位描述
[7:5]	RES	保留
[4]	自接收请求	1：发送并同时接收一个报文。
[3]	清除数据溢出	1：清除数据溢出状态位。
[2]	释放接收缓冲器	1：释放当前接收缓冲器以便于新的接收。
[1]	停止发送	1：停止尚未开始的发送。
[0]	发送请求	1：开始发送缓冲器中报文的发送。

- x：复位不影响该寄存器或位。

19.5.4 状态寄存器

状态寄存器反映模块的当前状态并且是只读的。

表 19-10 状态寄存器

位	位名称	位描述
[7]	总线状态	1：模块总线关闭，且此时无总线活动。
[6]	错误状态	1：至少有一个错误计数器达到或超过报警限制。
[5]	发送状态	1：正在发送报文。
[4]	接收状态	1：正在接收报文。
[3]	发送完毕	1：最后一个报文发送成功。
[2]	发送缓冲器状态	1：CPU 可以向发送缓冲器中写入数据。
[1]	数据溢出状态	1：FIFO 中无空间导致报文丢失。
[0]	接收缓冲器状态	1：接收 FIFO 中有可用报文。

- x：复位不影响该寄存器或位。SR.4 与 SR.5 在总线关闭后会产生 11 个连续的高电平

19.5.5 中断寄存器

中断寄存器通知 CPU 是什么引起了中断。只有在中断允许寄存器里相应的中断允许位置 1 时中断位才置 1。

表 19-11 中断寄存器（IR）

位	位名称	位描述
[7]	总线错误中断	若检测到总线上有错误，置位。
[6]	仲裁丢失中断	若模块已经丢失仲裁，置位。
[5]	错误被动中断	若模块处于错误主动与错误被动之间。
[4]	保留	保留（总是 0）。
[3]	数据溢出中断	若 SR.1 由 0 变为 1，置位。
[2]	错误中断	若错误状态或总线状态发生变化，置位。
[1]	发送中断	若发送缓冲器被释放，置位。
[0]	接收中断	FIFO 不空时，置位。

- x：复位不影响该寄存器或位。

19.5.6 中断允许寄存器

在中断允许寄存器里可以允许/禁止独立的中断源。如果被允许，则中断寄存器里的相应位可以被置 1，同时将产生一个中断。

表 19-12 中断允许寄存器（IER）

位	位名称	位描述
[7]	总线错误中断使能	1：使能；0：禁能。
[6]	仲裁丢失中断使能	1：使能；0：禁能。
[5]	错误被动中断使能	1：使能；0：禁能。
[4]	保留	保留。
[3]	数据溢出中断使能	1：使能；0：禁能。
[2]	错误中断使能	1：使能；0：禁能。
[1]	发送中断使能	1：使能；0：禁能。
[0]	接收中断使能	1：使能；0：禁能。

- x：复位不影响该寄存器或位。

19.5.7 仲裁丢失捕捉寄存器

表 19-13 仲裁丢失捕捉寄存器（ALC）

位	位名称	位描述
[7:5]	保留	保留
[4:0]	位编号	仲裁时丢失的位编号

- x：复位不影响该寄存器或位。

19.5.8 错误代码捕捉寄存器

表 19-14 仲裁丢失捕捉寄存器（ALC）

位	位名称	位描述
[7:6]	错误代码	错误代码编号。
[5]	方向	1：接收；0：发送。
[4:0]	段	帧中出错的部分。

- x：复位不影响该寄存器或位。

表 19-15 错误代码说明（ALC.7:6）

ECC.7:6	说明	ECC.7:6	说明
0	位错误	2	填充错误
1	格式错误	3	其它

表 19-16 错误代码说明（ALC.4:0）

ECC.4:0	说明	ECC.4:0	说明
0x03	帧起始	0x0A	数据段
0x02	ID.28 - ID.21	0x08	CRC 序列
0x06	ID.20 - ID.18	0x18	CRC 界定符
0x04	SRTR 位	0x19	应答通道
0x05	IDE 位	0x1B	应答界定符
0x07	ID.17 - ID.13	0x1A	帧结束
0x0F	ID.12 - ID.5	0x12	间断
0x0E	ID.4 - ID.0	0x11	主动错误标记
0x0C	RTR 位	0x16	被动错误标记
0x0D	保留位 1	0x13	支配位误差
0x09	保留位 0	0x17	错误界定符
0x0B	数据长度代码	0x1C	过载标记

19.5.9 错误报警限制寄存器

该寄存器允许设置 CPU 错误警告的限制。默认值是 96。注意该寄存器只在复位模式下可写。

19.5.10 接收错误计数器

该寄存器显示接收错误计数器的值。它在复位模式下可写。总线关闭事件会把它复位为 0。

19.5.11 发送错误计数器

该寄存器显示发送错误计数器的值。它在复位模式下可写。总线关闭事件会把它复位为 0。

19.5.12 发送缓冲寄存器

发送缓冲被映射为地址 16 至 28 并且是只写的。发送缓冲的结构取决于将要发送的是标准帧（SFF）还是扩展帧（EFF），如下所示：

表 19-17 发送缓冲器

地址	写（SFF）	写（EFF）	地址	写（SFF）	写（EFF）
16	发送帧信息	发送帧信息	23	发送数据 5	发送数据 3
17	发送识别码 1	发送识别码 1	24	发送数据 6	发送数据 4
18	发送识别码 2	发送识别码 2	25	发送数据 7	发送数据 5
19	发送数据 1	发送识别码 3	26	发送数据 8	发送数据 6
20	发送数据 2	发送识别码 4	27	—	发送数据 7
21	发送数据 3	发送数据 1	28	—	发送数据 8
22	发送数据 4	发送数据 2			

表 19-18 发送帧信息（此位段在 SFF 和 EFF 帧中相同）

位	位名称	位描述
[7]	选择帧格式	1：使能；0：禁止。
[6]	远程发送请求帧	1：使能；0：禁止。
[5:4]	保留	保留。
[3:0]	数据长度	DLC 指定数据长度代码并且应该是 0 到 8 之间的数值。如果大于 8，则 8 个字节将被发送

表 19-19 发送标识符 1（此位段在 SFF 帧和 EFF 帧中相同）

位	位名称	位描述
[7:0]	标识符	标识符的最高 8 位，EFF 的 ID28-21，SFF 的 ID10-3

表 19-20 发送标识符 2，SFF 帧

位	位名称	位描述
[7:5]	标识符	SFF 标识符的低 3 位
[4:0]	保留	保留

表 19-21 发送标识符 2，EFF 帧

位	位名称	位描述
[7:0]	标识符	29 位 EFF 标识符的第 20 到第 13 位

表 19-22 发送标识符 3，EFF 帧

位	位名称	位描述
[7:0]	标识符	29 位 EFF 标识符的第 12 到第 5 位

表 19-23 发送标识符 4，EFF 帧

位	位名称	位描述
[7:3]	标识符	29 位 EFF 标识符的第 4 到第 0 位
[2:0]	保留	保留

数据位段：

对于 SFF 帧，数据位段位于地址 19 到 26，对于 EFF 帧，位于 21 到 28。数据从位于最低地址的 MSB（最高位字节）开始发送。

19.5.13 接收缓冲寄存器

表 19-24 接收缓冲寄存器

地址	读（SFF）	读（EFF）
16	接收帧信息	接收帧信息
17	接收识别码 1	接收识别码 1
18	接收识别码 2	接收识别码 2
19	接收数据 1	接收识别码 3
20	接收数据 2	接收识别码 4
21	接收数据 3	接收数据 1
22	接收数据 4	接收数据 2
23	接收数据 5	接收数据 3
24	接收数据 6	接收数据 4
25	接收数据 7	接收数据 5
26	接收数据 8	接收数据 6
27	FIFO 中下一个报文的接收帧信息	接收数据 7
28	FIFO 中下一个报文的接收识别码 1	接收数据 8

表 19-25 接收帧信息（此位段在 SFF 和 EFF 帧中相同）

位	位名称	位描述
[7]	已接收报文帧格式	1 = EFF；0 = SFF。
[6]	RTR	RTR 帧时为 1
[5:4]	保留	00
[3:0]	数据长度	DLC 指定数据长度代码

表 19-26 接收标识符 1（此位段在 SFF 帧和 EFF 帧中相同）

位	位名称	位描述
[7:0]	标识符	标识符的高 8 位，EFF 的 ID28-21，SFF 的 ID10-3

表 19-27 接收标识符 2，SFF 帧

位	位名称	位描述
[7:5]	标识符	SFF 标识符的低 3 位
[4]	RTR	RTR 帧时为 1
[3:0]	保留	保留

表 19-28 接收标识符 2，EFF 帧

位	位名称	位描述
[7:0]	标识符	29 位 EFF 标识符的第 20 到第 13 位

表 19-29 接收标识符 3，EFF 帧

位	位名称	位描述
[7:0]	标识符	29 位 EFF 标识符的第 12 到第 5 位

表 19-30 接收标识符 4，EFF 帧

位	位名称	位描述
[7:3]	标识符	29 位 EFF 标识符的第 4 到第 0 位
[2]	RTR	RTR 帧时为 1
[1:0]	保留	保留

数据位段：

对于接收到的 SFF 帧，数据段位于地址 19 到 26，对于 EFF 帧则位于 21 到 28。

19.5.14 验收过滤寄存器

验收过滤器可以用来过滤掉不符合特定要求的报文。如果一个报文被过滤掉，它将不被放进接收 FIFO 里面，CPU 也不必处理它。

有两种不同的过滤模式：单过滤和双过滤。模式寄存器的第 3 位控制使用哪种模式。在单过滤模式下只使用一个 4 个字节的过滤器。在双过滤模式下使用两个更小的过滤器，如果匹配其中任何一个，则报文被接收。每个过滤器由两部分组成：接收代码和接收屏蔽。代码寄存器用来指定匹配的格式而屏蔽寄存器则指定不考虑的位。总共 8 个寄存器被用作接收过滤器，如下表所示。注意它们只在复位模式下被读写。

表 19-31 验收过滤寄存器

地址	说明	地址	说明
16	验收代码 0 寄存器（ACR0）	20	验收屏蔽 0 寄存器（ACM0）
17	验收代码 1 寄存器（ACR1）	21	验收屏蔽 1 寄存器（ACM1）
18	验收代码 2 寄存器（ACR2）	22	验收屏蔽 2 寄存器（ACM2）
19	验收代码 3 寄存器（ACR3）	23	验收屏蔽 3 寄存器（ACM3）

19.5.14.1 单过滤模式，标准帧

当在单过滤模式下接收一个标准帧，寄存器 ACR0:3 将会以以下的方式与接收到的报文比较：

ACR0.7:0 和 ACR1.7:5 与 ID.28:18 比较。

ACR1.4 与 RTR 位比较。

ACR1.3:0 未使用。

ACR2 和 ACR3 与数据字节 1 和 2 比较。

AMR 寄存器里相应的位选择是否比较的结果没关系。屏蔽寄存器里一个置 1 的位表示不考虑。

19.5.14.2 单过滤模式，扩展帧

当在单过滤模式下接收一个扩展帧，寄存器 ACR0:3 将会以以下的方式与接收到的报文比较：

ACR0.7:0 和 ACR1.7:0 与 ID.28:13 比较。

ACR2.7:0 和 ACR3.7:3 与 ID.12:0 比较。

ACR3.2 与 RTR 位比较。

ACR3.1:0 未使用。

AMR 寄存器里相应的位选择是否比较的结果没关系。屏蔽寄存器里一个置 1 的位表示不考虑。

19.5.14.3 双过滤模式，标准帧

当在双过滤模式下接收一个标准帧，寄存器 ACR0:3 将会以以下的方式与接收到的报文比较：

过滤器 1：

ACR0.7:0 和 ACR1.7:5 与 ID.28:18 比较。

ACR1.4 与 RTR 位比较。

ACR1.3:0 与数据字节 1 的高半字节比较。

ACR3.3:0 与数据字节 1 的低半字节比较。

过滤器 2：

ACR2.7:0 和 ACR3.7:5 与 ID.28:18 比较。

ACR3.4 与 RTR 位比较。

AMR 寄存器里相应的位选择是否比较的结果没关系。屏蔽寄存器里一个置 1 的位表示不考虑。

19.5.14.4 双过滤模式，扩展帧

当在双过滤模式下接收一个扩展帧，寄存器 ACR0:3 将会以以下的方式与接收到的报文比较：

过滤器 1：

ACR0.7:0 和 ACR1.7:0 与 ID.28:13 比较。

过滤器 2：

ACR2.7:0 和 ACR3.7:0 与 ID.28:13 比较。

AMR 寄存器里相应的位选择是否比较的结果没关系。屏蔽寄存器里一个置 1 的位表示不考虑。

19.5.15 接收报文计数器

位于地址 29 的接收报文计数器保持当前储存在接收 FIFO 里的报文的数量。最高 3 位总为 0。

19.6 公共寄存器

在 BasicCAN 和 PeliCAN 模式下有 3 个公共寄存器，它们具有相同的地址和相同的功能。它们是时钟分频寄存器和总线定时寄存器 0 和 1。

19.6.1 时钟分频寄存器

此寄存器的功能有二个：

一、是选择 PeliCAN 和 BasicCAN 模式；

二、是进行输出时钟分频设置；

表 19-32 时钟分频寄存器（CDR）

位	位名称	位描述
[7]	CAN 模式	1：PeliCAN；0：BasicCAN
[6:4]	保留	保留
[3]	输出时钟关闭	禁止输出时钟 clkout 输出
[2:0]	clkout 时钟分频设置	设定频率分频系数 BIT[2：0] = “000” => Fclkout = Fosc/2; BIT[2：0] = “001” => Fclkout = Fosc/4; BIT[2：0] = “010” => Fclkout = Fosc/6; BIT[2：0] = “011” => Fclkout = Fosc/8; BIT[2：0] = “100” => Fclkout = Fosc/10;

		BIT[2：0] = “101” => Fclkout = Fosc/12; BIT[2：0] = “110” => Fclkout = Fosc/14; BIT[2：0] = “111” => Fclkout = Fosc;

19.6.2 总线定时 0 寄存器

表 19-33 总线定时 0 寄存器（BTR0）

位	位名称	位描述
[7:6]	SJW	同步跳跃宽度
[5:0]	BRP	波特速率预设值

CAN Core 的系统时钟由以下计算：

$$t_{scl} = 2 \times t_{clk} \times (BRP + 1) \quad \text{（式 19-1）}$$

其中 tscl 是系统时钟。

同步跳跃宽度定义了在一次重同步中一个位周期里有多少个时钟周期（tscl）可以调整。

19.6.3 总线定时 1 寄存器

总线定时 1 寄存器（BTR1）的位分配（地址 7）。

表 19-34 总线定时 1 寄存器（BTR1）

位	位名称	位描述
[7]	SAM	1：对总线采样 3 次。 0：对总线采样 1 次。
[6:4]	TSEG2	时间段 2。
[3:0]	TSEG1	时间段 1。

CAN 总线的位周期由 CAN 的系统时钟和时间段 1 和 2 决定，如下面的等式所示：

$$t_{tseg1} = t_{scl} \times (TSEG1 + 1) \quad \text{（式 19-2）}$$

$$t_{tseg2} = t_{scl} \times (TSEG2 + 1) \quad \text{（式 19-3）}$$

$$t_{bit} = t_{tseg1} + t_{tseg2} + t_{scl} \quad \text{（式 19-4）}$$

附加的 tscl 项来自初始的同步段。采样在位周期的 TSEG1 和 TSEG2 之间完成。

19.7 信号数据帧组成

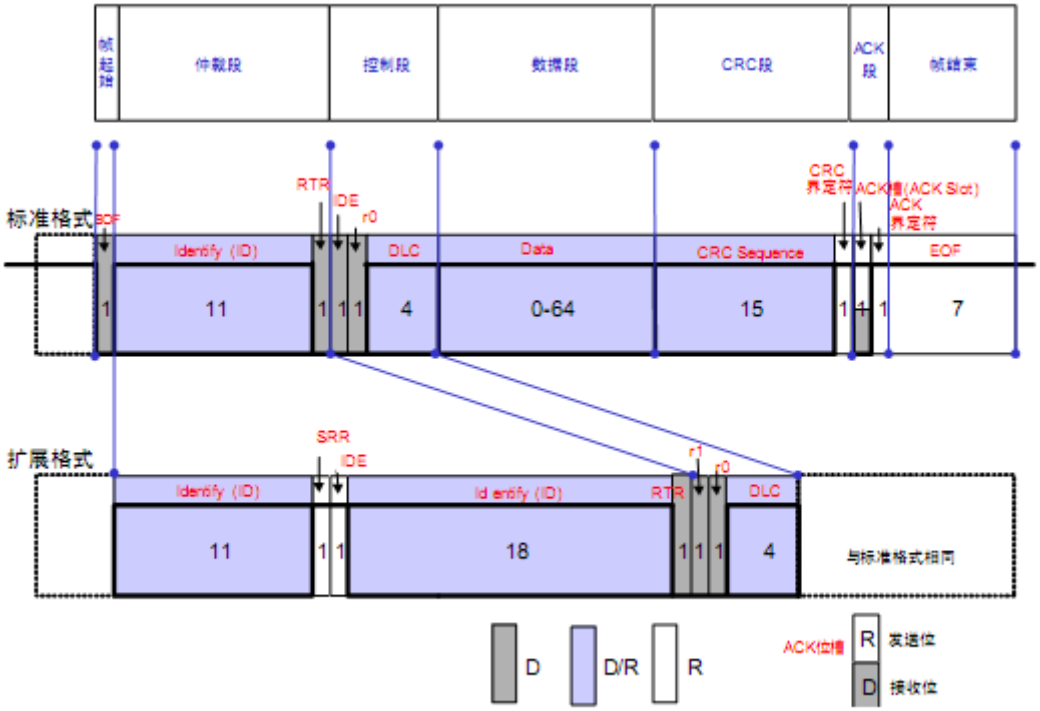


图 19-2 信号数据帧组成

20. USB 主控制器

20.1 USB 主控制器(USBHC)简介

USB 主控制器(USB 2.0 Host Controller)内部包括 USB 控制器和 USBPHY, 支持 UHC 协议。主要特点如下:

- 兼容 1.1 版本。
- 支持所有 USB 传输类型。
- 支持全速 12Mbit/s,低速 1.5Mbit/s。
- UHC(通用型主控制器)兼容 UHCI rev.1.1。
- 支持 UTMI 接口。

20.2 USB1.1 主机控制器架构

基于 AMBA 总线的 USB1.1 主机控制器架构如图图 20-1 所示。USB1.1 主机控制器主要分为三个功能模块，Port Router 模块、Universal Host Controller 模块。Serial Interface Engine、protocol Engine、Memory Buffer Controller 以及 AMBA AHB 接口构成 Universal Host Controller 模块。 Port Router 就是 UTMI interface（USB 2.0 Transceiver Macrocell interface），负责与 UTM（USB 2.0 Transceiver Macrocell）收发器通信。USB 数据交易（Transaction）的打包识别与顺序的状态机（State Machine）就是 SerialInterface Engine 的工作，这是操作任何 USB 接口必要的功能。Memory Buffer Controller 负责与 SIE、AMBA AHB、AMBA APB 进行数据的交换等工作，Memory Buffer 的容量大小会随着装置的不同、端点的形式与数量的差异而有所变化。

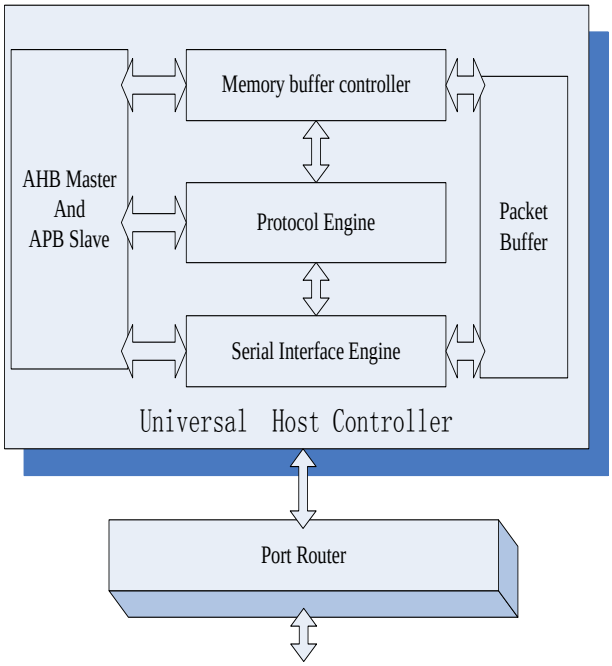


图 20-1 基于 AMBA 总线的 USB1.1 主机控制器 IP 核的结构

20.3 USB 主控制器(USBHC)工作原理

协议支持：

主机控制器支持如 USB1.1 规范。此外也支持异步模式（Asynchronous Park

Mode），并且该控制器具有一个 NAK 计数器。通用主机控制器支持全速和低速传输。

描述符和数据缓冲：

通用主机控制器不预取描述符。根据控制器配置

在总线上的事务在启动之前已将所有的有效数据从内存中获取。通用主机控制器具有 1024 字节的有效数据的缓冲区。在 UHCI 中一个传输描述符可描述有 1280 字节的有效数据的交易。 USB 规范限制了最大让数据有效数据为 1023 字节，控制器将不转让一个更大的有效数据大于 1023 字节。如果有一个描述符且合法，哪么有效数据大于 1023 个字节时，控制器将只传输第一个 1023 字节数据。

20.4 USB(UHC)主控寄存器

20.4.1 UHC I/O 寄存器（0x802A0000 - 0x802A0100）

表 20-1 UHC I/O 寄存器

地址	读写	位宽	默认值	寄存器
0x802A0000	R/W	16	0x0000	命令寄存器(USBCMD)
0x802A0002	R/W	16	0x0000	状态寄存器(USBSTS)
0x802A0004	R/W	16	0x0000	中断使能寄存器(USBINTR)
0x802A0006	R/W	16	0x0000	帧索引(FRNU)
0x802A0008	R/W	32	0x	帧列表基地址寄存器(FLBASEADD)
0x802A000C	R/W	8	0x40	起始帧修改寄存器(SOFM)
0x802A0010	R/W	16	0x80	端口状态与控制寄存器(PORTSC)

20.4.1.1 UHC I/O 命令寄存器

表 20-2 UHC I/O 命令寄存器

位	位名称	位描述
[0]	RS	Run/Stop: 1：运行 0：停止
[1]	HCRESET	Host Controller Reset ： 1：软件复位主控； 0：软件复位主控结束
[2]	GRESET	Global Reset.： 1：全局复位使能； 0：全局复位关闭
[3]	EGSM	Enter Global Suspend Mode ： 1：进入全局挂起使能； 0：进入全局挂起关闭
[4]	FGR	Force Global Resume： 1：主控发送全局重新开始信号使能； 0：主控发送全局重新开始信号关闭

位	位名称	位描述
[5]	SWDBG	Software Debug: 1：调试模式; 0：普通模式;
[6]	CF	Configure Flag: 表示主控配置标志
[7]	MAXP	Max Packet: 1：64 字节; 0：32 字节
[8:15]	-	保留未用

20.4.1.2 UHC I/O 状态寄存器

表 20-3 UHC I/O 状态寄存器

位	位名称	位描述
[0]	USBINT	USB Interrupt ： 1：中断指示，表示传输结束 0：表示传输还未结束
[1]	USBERRINT	USB Error Interrupt: 1：表示传输出错中断; 0：表示传输未出错中断
[2]	RD	Resume Detect: 主控接受到设备发来 RESUME 信号时写 1
[3]	HSE	Host System Error: 主控系统出错指示
[4]	HCPERR	Host Controller Process Error: 主控系统处理出错指示
[5]	HCH	HCHalted: 主控系统暂停指示;
[6:11]	-	保留未用

20.4.1.3 UHC I/O 中断使能寄存器

表 20-4 UHC I/O 中断使能寄存器

位	位名称	位描述
[0]	INTEN	Timeout/CRC Interrupt Enable: 1：打开；0：关闭
[1]	RIEN	Resume Interrupt Enable: 1：打开；0：关闭
[2]	IOCEN	Interrupt On Complete (IOC) Enable: 1：打开；0：关闭
[3]	SPIEN	Short Packet Interrupt Enable: 1：打开；0：关闭
[4:15]	-	保留未用

20.4.1.4 UHC I/O 帧索引寄存器

表 20-5 UHC I/O 帧索引寄存器

位	位名称	位描述
[0:10]	FLCIFN	Frame List Current Index/Frame Number: 表示起始帧的帧索引号
[11:15]	-	保留未用

20.4.1.5 UHC I/O 帧列表基地址寄存器

表 20-6 UHC I/O 帧列表基地址寄存器

位	位名称	位描述
[0:11]	-	保留未用
[11:32]	BA	Base Address: 对应存储器地址信号的[31:12]

20.4.1.6 UHC I/O 起始帧修改寄存器

表 20-7 UHC I/O 起始帧修改寄存器

位	位名称	位描述
[0:6]	-	SOF Timing Value: Frame Length (# 12Mhz Clocks) SOF Reg. Value (decimal) (decimal) 11936 0 11937 1 . . 11999 63 12000 64 12001 65 . . 12062 126 12063 127
[7]	-	保留未用

20.4.1.7 UHC I/O 端口状态与控制寄存器

表 20-8 UHC I/O 端口状态与控制表寄存器

位序号	位名称	位描述
[0]	CCS	Current Connect Status（只读）: 当前设备与端口连接状态指示 1：有设备与端口连接; 0：无设备与端口连接
[1]	CSC	Connect Status Change（可读/写 1 清 0） : 1：表示当前设备与端口连接状态改变; 0：表示当前设备与端口连接状态不变
[2]	PE	Port Enabled/Disabled: 1：端口使能; 0：端口禁止
[3]	PEC	Port Enable/Disable Change（可读/写 1 清 0） : 1：表示端口使能状态改变; 0：表示端口使能状态不变
[4:5]	LS	Line Status（只读）: Bits[11:10] USB State Interpretation 00： SE0 非低速设备，执行 EHCI 复位 10： J 状态 非低速设备，执行 EHCI 复位 01： K 状态 低速设备，释放端口所有权 11： 未定义 非低速设备，执行 EHCI 复位
[6]	RD	Resume Detect.: 主控接受到设备发来 RESUME 信号时写 1
[7]	-	保留，只读，恒为 ;

位序号	位名称	位描述
[8]	LSDA	Low Speed Device Attached（只读）： 1：表示低速设备接到了端口； 0：表示全速设备接到了端口；
[9]	PR	Port Reset： 1：表示当前端口处于复位状态； 0：表示当前端口处于非复位状态；
[10:11]	-	保留未用
[12]	SUSP	Suspend： 1：表示当前端口处于挂起状态； 0：表示当前端口处于非挂起状态；
[13:15]	-	保留未用

21. 通用串行接口 UART

21.1 串口(UART)简介

通用异步串行接口（UART：Universal Asynchronous Receiver/Transmitter）提供串行通讯功能。

S698PM 提供了 4 个 UART 接口，其中 UART0、UART1、UART2 以及 UART3 控制器的结构和功能完全相同，是简单的 UART，只包括 TXD 和 RXD 两根信号线。UART 支持 8 数据位、一个可选的校验位和一个停止位的数据帧。为了生成不同的传输速率，每个 UART 有一个 12 位的可编程时钟分频器。有两个 FIFO 用于系统总线和 UART 之间的数据传输。有两个保持寄存器用于总线和 UART 之间的数据传输。UART 结构组成如下图 21-1 所示：

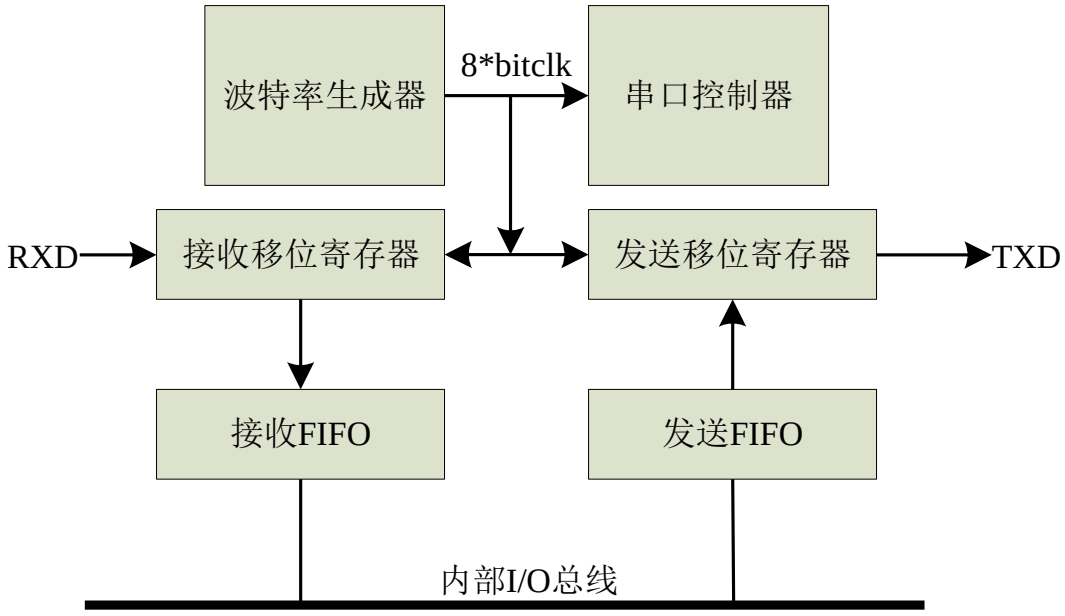


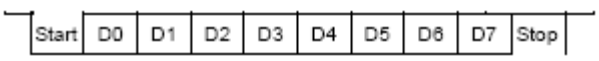
图 21-1 UART 结构框图

21.2 串口(UART)工作原理

21.2.1 发送操作

通过设置“UART 控制寄存器”的“TE”位来使能发送操作。通过写入数据寄存器的操作把要发送的数据写入长度为 4 个字节的 FIFO 里，当发送使能后，发送数据就会从“发送 FIFO 缓存区”送到“发送移位寄存器”，被转换成串行数据流，通过 TXD 引脚输出。UART 控制器自动在 8 位数据的前面加上 1 位起始位，在其后面加上 1 位可选的奇偶校验位和 1 位停止位。如下图所示：

数据帧 ，无校验位：



数据帧 ，有校验位：

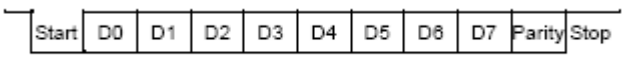


图 21-2 UART 数据帧

如果“发送 FIFO 缓存区”中没有新的字符，则输出引脚 TXD 保持高电平，

“UART 控制寄存器”中的 TSRE（发送移位寄存器空）位被置‘1’。当一个新的字符被载入“发送 FIFO 缓存区”中，则发送重新开始，TSRE 位被清‘0’。当发送被禁止时，发送操作继续进行，直至当前正在发送的字符发完为止。当发送被禁止时，“发送保持寄存器”不能载入数据。

21.2.2 接收操作

通过设置“UART 控制寄存器”中的 RE（接收使能）位来使能接收操作。当接收器查找到一个从高到低的跳变，表示一个 start 开始位。”半位”周期后开始接受真正发送过来的原始数据。每接受一位信息后延时一个输入 terval，直到接收到 stop 位。每接受一位，接受移位寄存器就移位，接受完毕后其内的值会保持到新的传送到来为止。

在接收期间，最低有效位最早接收。然后数据被送入接收 FIFO 缓存区，UART 状态寄存器中的“数据准备好”位（DR 位）即数据 ready 位被置位。其他的状态位也在这时被刷新。如果接收保持寄存器或接收移位寄存器中有某一个没有保存，但这时又有了新的传送发生，那么接收移位寄存器中的数据会丢失，UART 状态寄存器中的过载状态位会被置位。如果“流控制”（flow control）被激活，则当接收到有效起始位时，并且接收 FIFO 也处在满状态的时候，RTSN 将被置‘1’；当接收保持寄存器被读取，RTSN 会被自动重新判断置位。

21.2.3 波特率设置

每个 UART 串口都有一个 20 位的倒计时计数器来产生需要的波特率，计数器的时钟来源于系统时钟且当发生溢出时会发出标志（tick）信号。溢出后计数器的值会被 UART 的重加载寄存器更新。溢出标志频率应该是所设定波特率的 8 倍。

分频值 = (((Sysclk * 10) / (波特率 * 8)) - 5) / 10 （式 20-1）

21.2.4 自环模式

当设置 UART 控制寄存器的 LB 位为‘1’时，UART 模块进入自环模式。在该模式下，传输的输出数据内部连接到接收的输入端。这时，可以进行一些自环测

试来验证发送操作、接收操作、软件设置等功能。在自环模式下，输出端口保持不激活状态，防止有数据输出。

21.2.5 FIFO 调试模式

当设置 UART 控制寄存器的调试模式位为‘1’时，UART 模块进入 FIFO 调试模式，在该模式下通过 FIFO 调试寄存器可以读取发送 FIFO 和写入接收 FIFO 等功能。在调试模式下，发送输出保持无效状态；如果接收中断使能，当写入接收 FIFO 数据时，UART 模块就会产生中断信号。

21.2.6 中断机制

UART 控制器有两种中断，一种是普通中断，另外一种是 FIFO 中断。对于发送模块，

当发送中断（TI）位使能、发送使能、发送 FIFO 变为空时候，产生普通中断；当 FIFO 中断（TF）位使能、发送使能、FIFO 剩少于一半有效数据时，产生 FIFO 中断。

UART 接收中断也是一样设置。

21.3 串口寄存器

表 21-1 UART寄存器

地址	读写	寄存器
0x80000100	R/W	UART1 数据寄存器
0x80000104	R	UART1 状态寄存器
0x80000108	R/W	UART1 控制寄存器
0x8000010C	R/W	UART1 分频寄存器
0x80000900	R/W	UART2 数据寄存器
0x80000904	R	UART2 状态寄存器
0x80000908	R/W	UART2 控制寄存器
0x8000090C	R/W	UART2 分频寄存器
0x80100100	R/W	UART3 数据寄存器
0x80100104	R	UART3 状态寄存器
0x80100108	R/W	UART3 控制寄存器
0x8010010C	R/W	UART3 分频寄存器
0x80100200	R/W	UART4 数据寄存器
0x80100204	R	UART4 状态寄存器
0x80100208	R/W	UART4 控制寄存器
0x8010020C	R/W	UART4 分频寄存器

21.3.1 UART 数据寄存器

表 21-2 UART数据寄存器

位	位名称	位描述
[31:8]	RES	1：使能；0：禁能。
[7:0]	DATA	数据寄存器，读取输入的数据，写入输出的数据

21.3.2 UART 状态寄存器

表 21-3 UART状态寄存器

位	位名称	位描述
[31:26]	RCNT	接收器先进先出计数(RCNT) -显示在接收器先进先出中的数据帧数目
[25:20]	TCNT	发送器先进先出 计数(TCNT) -显示在发送机先进先出中的数据帧的数目
[19:11]	RES	保留
[10]	RF	接收器先进先出 满(RF) -声明接收器先进先出是满的
[9]	TF	发送器先进先出满(TF) -声明发送器先进先出是满的
[8]	RH	接收器先进先出半满(RH) -声明持有至少半个先进先出数据
[7]	TH	发送器 先进先出半满 1 (TH) -声明先进先出少于半满
[6]	FE	帧错误(FE) -声明帧错误被检测到
[5]	PE	奇偶错误 (PE) -声明奇偶错误被检测到
[4]	OV	溢出(OV) -声明一个或更多的字符由于溢出丢失
[3]	BR	突发接收 (BR) - 声明一个 BREAK 被检测到
[2]	TE	发送器先进先出空(TE) -声明发送器先进先出是空的
[1]	TS	发送器移位寄存器空 (TS) -声明发送器移动寄存器是空的，FIFO 中存储空间不足，导致报文丢失时，为 1。
[0]	DR	数据准备位(DR) -声明新的数据在接收器保持寄存器是有效的

21.3.3 UART 控制寄存器

表 21-4 UART控制寄存器

位	位名称	位描述
[31:11]	RES	保留
[10]	RF	接收器先进先出中断使能(RF) -当被设定，接收器先进先出层中断使能
[9]	TF	发送器先进先出中断使能(TF) -当被设定，发送器先进先出层中断使能
[8]	EC	外部时钟(EC) - 当前无意义
[7]	LB	回环(LB) - 如果设定，回环模式被使能
[6]	FL	流控制(FL) -如果设定，使用 CTS/RTS 流控制使能
[5]	PE	奇偶使能(PE) -如果设定，奇偶生成和校验被使能
[4]	PS	奇偶选择(PS) -选择奇偶 (0 =偶校验, 1 =奇校验)
[3]	TI	发送器中断使能(TI) -如果设定，当发送完一个帧，中断生成
[2]	RI	接收器中断使能(RI) -如果设定，当接收到一个帧，中断生成
[1]	TE	发送器使能(TE) -如果设定，使能发送
[0]	RE	接收器使能(RE) -如果设定，使能接收

21.3.4 UART 分频寄存器

表 21-5 UART分频寄存器

位	位名称	位描述

[31:12]	RES	保留
[11:0]	SCALER RELOAD VALUE	分频重载值

22. 以太网控制器

22.1 以太网（ethernet）简介

S698PM-SOC 的以太网控制器提供一个符合 10M/100M 以太网标准的接口。它支持半双工和全双工的 10/100 M 速度。 AMBA 接口包括一个用来配置和控制的 APB 接口，还有一个 AHB 主设备接口，该接口用来处理数据流。此数据流通过 DMA 通道处理。有一个 DMA 引擎用来做发送器，与之对应，还有一个 DMA 引擎作为接收器。两者共享相同的 AHB 主设备接口。以太网接口支持媒体独立接口（MII）接口，他们用来连接外部的 PHY。以太网控制器 通过对 MII 管理接口的访问来配置 PHY 。

同时，以太网控制器也提供了对于用来支持以太网调试通信链接（EDCL）协议的可选择部件。远程调试基于 UDP/IP 基础协议 。

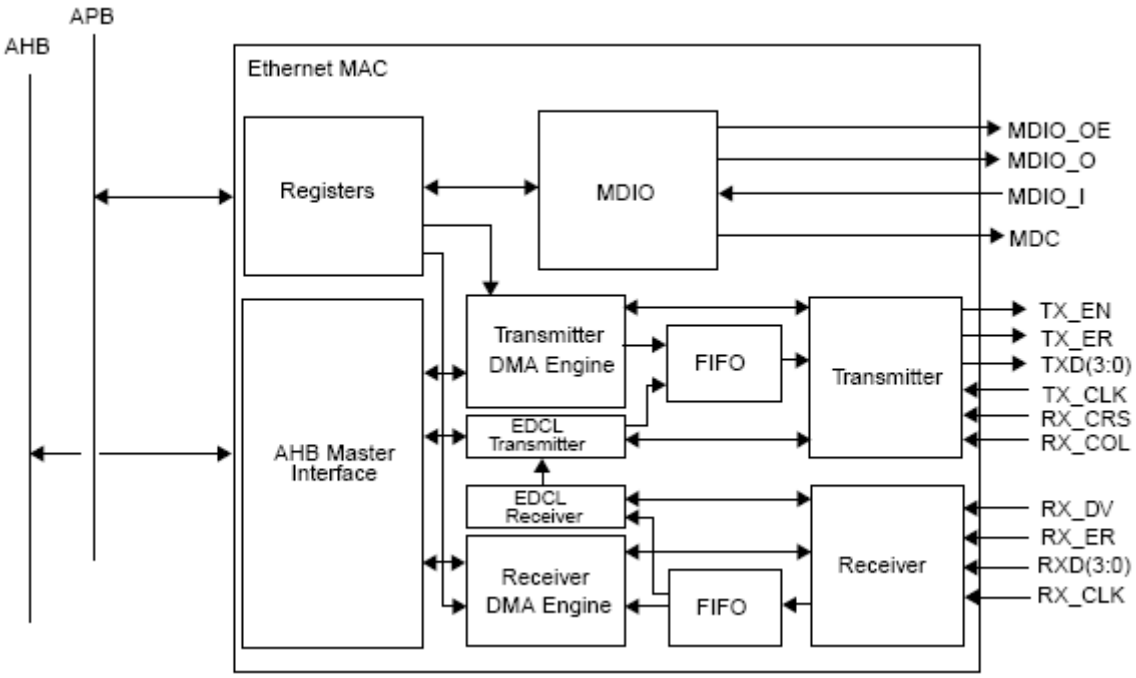


图 22-1 以太网内部结构图

22.2 以太网功能介绍

以太网控制器 由 3 个功能的单元组成： DMA 通道, MDIO 接口和以太网调试通信链路(EDCL)。

主要功能是 DMA 通道，它在 AHB 总线和以太网之间传输数据。DMA 通道有一个发射器 DMA 通道和一个接收器 DMA 通道。 DMA 通道的操作是通过 APB 接口访问寄存器控制。

MDIO 接口用来访问在一个或多个的连接到 MAC 的 PHY 的配置和状态寄存器。这一个接口的操作也通过 APB 接口控制。

以太网调试通信链路（EDCL）经过以太网络提供到 AHB 总线的读和写访问。它使用 UDP ，IP, ARP 等用户应用层协议。太网调试通信链路（EDCL）包含不可访问的寄存器，和 DMA 通道并行运行。

媒体独立接口 (MII) 用作与 PHY 通讯。使用媒体独立接口（MII） 接口，以太网发送器在以太网上发送来自 AHB 领域的所有数据。相对而言，以太网接收机存储通过 AHB 总线的来自以太网的所有数据。当传输数据流时，这两个接口都使用先进先出 FIFO。

22.3 发送 DMA 通道

发送 DMA 通道用来把数据发送到以太网的网络中去。发送还用到了存放在存储器中的发送描述符。

22.3.1 设置发送描述符

一个发送描述符如表 22-1 和表 22-2 所示。要发送数据的长度要在表 22-1 中设置好，要发送数据的存放地址要在表 22-2 中设置好，并且地址必须是连续域。如果中断使能位设置了，则发送完数据后会产生中断（控制寄存器中的发送中断使能当然也要设置）。不管发送有没有成功，中断信号都回产生。Wrap 当然也要设置，接下来会有介绍。

表 22-1 以太网发送描述符字 0

位	位名称	位描述
[31:16]	RES	保留
[15]	AL	半双工时达到最大的尝试次数，数据包将不被发送

[14]	UE	发送数据过程中出现错误
[13]	TXIQR	发送中断使能
[12]	WR	Wrap(WR) 0：当前发送描述符表不是最后一个，地址指向下一个 1：当前发送描述符表是最后一个，地址指向第一个
[11]	TXEN	发送使能
[10:0]	TXLENGTH	发送数据长度

- 地址：以太网发送描述符表基地址寄存器中（31-10位指定的基地址）&（9-3位的偏移地址）&000，三个部分拼起来的32位地址。

表 22-2 以太网发送描述符字 1

位	位名称	位描述
[31:2]	DATA ADDRESS	发送数据存放地址
[1:0]	RES	保留

- 地址：以太网发送描述符字0地址+4

22.3.2 启动发送

要启动数据发送光设置发送使能是不够的。存储在存储器中的发送描述符地址必须要在以太网发送描述符表基地址寄存器中指定好。31-10 位指定的了基地址，9-3 位指定了每个发送描述符的偏移地址。第一个发送描述符的地址就是基地址，下一个地址加 8。WR 位如果置 1，则下一个发送描述符的地址指向基地址。

要发送数据的最后一步是在控制寄存器中设置发送使能。当新的发送描述符被使能时这一位要一直被置位，即使当前已经在发送数据。发送描述符的使能要在控制寄存器中发送使能置位前先置位。

22.3.3 发送数据后的处理

当一帧数据包发送完之后，状态位写到相应发送描述符的第一个字中的相应位置，其它位全部清 0，并且发送描述符的第二个字要保持不变。

发送完后使能位会被清 0，如果这个描述符再次被使用，要把使能位再置位。以太网的状态寄存器中有三位指示发送完的状态，在以太网状态寄存器中有描述。

22.3.4 设置发送数据

发送的数据要放到发送描述符字 1 指定的地址。以太网模块不会添加数据包头，所以包头部分也要放到数据包中。4 个字节的 CRC 校验码会在每包数据发送

完后自动添加。每个发送描述符只对应一个数据包。如果在发送描述符中的数据包长度位大于 1514 字节，则改数据包将不会被发送。

22.4 接收 DMA 通道

接收 DMA 通道用来接收以太网中的数据。接收还用到了存放在存储器中的接收描述符。

22.4.1 设置接收描述符

一个接收描述符如表 22-3 和表 22-4 所示。要接收数据的存放地址要在表 22-4 中设置好，并且地址必须是连续域。以太网模块不会存储超过 1514 字节长的数据包。如果中断使能位设置了，则接收完数据后会产生中断（控制寄存器中的接收中断使能当然也要设置）。不管接收有没有成功，中断信号都回产生。Wrap 当然也要设置，接下来会有介绍。

表 22-3 以太网接收描述符字 0

位	位名称	位描述
[31:27]	RES	保留
[26]	MC	多路地址，数据包的目的地址是一个多路地址(不是广播包)
[25:19]	RES	保留
[18]	LE	帧长错误，数据包中的长度域和实际接收的数据包长度不一致
[17]	OE	溢出错误，由于接收 FIFO 溢出 shi3 数据接收错误
[16]	CE	CRC 错误，接收的数据帧 CRC 校验错误
[15]	FT	数据帧太长，数据帧超过了最大的中帧长规定
[14]	AE	字节错误，数据帧不是偶数字节
[13]	RXIQR	接收中断使能
[12]	WR	Wrap(WR) 0：当前接收描述符表不是最后一个，地址指向下一个 1：当前接收描述符表是最后一个，地址指向第一个
[11]	RXEN	接收使能
[10:0]	RXLENGTH	接收数据长度

- 地址：以太网接收描述符表基地址寄存器中（31-10位指定的基地址）&（9-3位的偏移地址）&000，三个部分拼起来的32位地址。

表 22-4 以太网接收描述符字 1

位	位名称	位描述
[31:2]	DATA ADDRESS	接收数据存放地址
[1:0]	RES	保留

- 地址：以太网接收描述符寄存器0地址+4

22.4.2 启动接收

要启动数据接收光设置接收使能是不够的。存储在存储器中的接收描述符地址必须要在以太网接收描述符表基地址寄存器中指定好。31-10 位指定的了基地址，9-3 位指定了每个接收描述符的偏移地址。第一个接收描述符的地址就是基地址，下一个地址加 8。WR 位如果置 1，则下一个接收描述符的地址指向基地址。

要接收数据的最后一步是在控制寄存器中设置接收使能。这会使以太网模块读取接收描述符，并等待接收数据帧。

22.4.3 接收数据后的处理

当一帧数据包接收完之后，状态位写到相应接收描述符的第一个字中的相应位置，数据帧长写到长度域中，其它位全部清 0，并且接收描述符的第二个字要保持不变。以太网的状态寄存器中有三位指示接收完的状态，在以太网状态寄存器中有描述。

22.4.4 接收过程中 AHB 错误

在读取接收描述符或存储数据时如果发生 AHB 错误，则当前接收无效，并且会在状态寄存器中置位 RA（接收 AHB 错误）位。当前的接收过程会被终止，设置控制寄存器中的接收使能会再次进入接收状态。

22.4.5 接收 MAC 地址

以太网模块的默认配置是接收指定的一个 MAC 地址或多播地址的数据。如果启动 HASH 功能，则会支持接收多路地址功能。可以通过 APB 总线配置 64 位的 HASH 寄存器来指定哪些目的地址可以被接收。

22.5 MDIO 接口

MDIO 接口通过一个时钟线和一个双向数据线来访问 PHY 中的配置寄存器和状态寄存器。MDIO 接口最多可以访问 32 个 PHY，每个 PHY 包括 1 到 32 个 16 位的寄存器。

当访问 PHY 时要在 MDIO 寄存器中配置要访问的 PHY 物理地址和相应的寄存

器地址，以及读写模式。这会使在 MDIO 寄存器中 BU（忙）位置 1，当读或写过程结束后会被清 0，如果读或写过程没有错误，则在 MDIO 寄存器中 LF（连接失败）位会是 0。

22.6 以太网调试通信链路(EDCL)

EDCL 提供一个通过以太网访问 AHB 总线的途径。它使用 UDP，IP, ARP 等用户应用层协议。太网调试通信链路（EDCL）包含不可访问的寄存器，和 DMA 通道并行运行。通过以太网链接，可以访问 AHB 总线上任意的地址。

22.6.1 使用介绍

EDCL 使用一个单独的 MAC 地址,IP 地址也可以设定(有一个默认的 IP 地址)。当接收的 EDCL 的数据包检测正确，会启动一个访问 AHB 总线的操作，作为 AHB 主机访问指定的地址。当操作过程结束后，会自动发送一个应答信号。它共享以太网的发送 DMA 通道，且有更高的优先级。

22.6.2 EDCL 协议

表 22-5 为 EDCL 协议的数据帧格式。

表 22-5 的数据包格式

12 B	2 B	20 B	8 B	2 B	4 B	4 B	0-2424 B	4 B
MAC Header	Ip type	Ip Header	UDP Header	Offset	Control world	Address	Datas	CRC

EDCL 只提供一种服务功能，因此不需要检验 UDP 的端口号，UDP 的校验和添 0。UDP 的数据域包含了 EDCL 的应用协议域。表 22-6 为接收数据包的应用协议域。

表 22-6 EDCL 接收数据包的应用协议域

16 bits	14 bits	1 bit	10 bits	7 bits	16 bits
Offset	Sequence	R/W	Length	Unused	Address

	number				

16位的补偿值（offset）可以设定为任意值，使应用层数据域部分开始于新的字。读写位（R/W）用来指示要进行读还是写的操作。数据长度（length）为要读或写的字节长度。14位的序列号（Sequence number），用来检验接收的数据包是否连续。如果不连续则不会响应。

22.7 以太网控制器寄存器

表 22-7 以太网控制器寄存器

地址	读写	寄存器
0x80000e00	R/W	控制寄存器
0x80000e04	R/W	状态/中断源寄存器
0x80000e08	R/W	MAC 地址 MSB
0x80000e0C	R/W	MAC 地址 LSB
0x80000e10	R/W	MDIO 寄存器
0x80000e14	R/W	发送描述符指针
0x80000e18	R/W	接收描述符指针
0x80000e1C	R/W	EDCL IP
0x80000e20	R/W	Hash 表 MSB
0x80000e24	R/W	Hash 表 LSB
0x80000e28	R/W	EDCL 地址 MSB
0x80000e2C	R/W	EDCL 地址 LSB

22.7.1 以太网控制寄存器

表 22-8 以太网控制寄存器

位	位名称	位描述
[31]	Enable EDCL	以太网调试器（EDCL）使能信号，设置为 1 则 EDCL 使能，主要通过软件配置。
[30:28]	BS	EDCL 缓冲器大小(BS) - 显示用于 EDCL 缓冲器的存储器大小。0 = 1 kB, 1 = 2 kB, ..., 6 = 64 kB
[27]	RES	保留
[26]	MDIO interrupt enable	当 CPU 支持 MDIO 中断功能时此位置 1。此位只读
[25]	Multicast available	当 CPU 支持广播地址接收时此位置 1。此位只读
[24:15]	RES	
[14]	Disable EDCL	以太网调试器（EDCL）屏蔽信号，当外部引脚信号 SP[15]在上电复位初始化时外接上拉电阻则使能 EDCL，此时该位读出的值为“0”； 当外部引脚信号 SP[15]在上电复位初始化时接地则屏蔽 EDCL，此时该位读出的值为“1”。
[13]	RAM Debug Enable	置 1 时使能 RAM 调试模式。复位值为 0。
[12]	Disable Duplex Detection	关闭 EDCL 功能。以太网模块有上电自动协商机制，若无法检测到 phy 则 MDIO 寄存器 busy 位将被一直置位，造成软件无法写 MDIO 寄存器。通过此位关闭 EDCL 功能可以关闭上电自动协商机制，从而将 busy 位置为 0。注意：EDCL 功能一旦被关闭将无法再次启动。

[11]	ME	广播地址接收使能。复位值为 0
[10]	PI	phy 状态变化中断时能。
[9:8]	RES	保留
[7]	SP	速度(SP) -设置现在的速度模式。0 = 10 M 位, 1 = 100 M 位。只在 RMII 模式使用(rmii = 1)。默认值自动在复位后从 PHY 读取
[6]	RS	复位(RS) - 该位写 1 后，将复位这个核。复位值为 0
[5]	PM	混杂模式(PM) -模式，如果设定，意味着以太网控制器将不管目的地址，接收到所有的包。没有复位值
[4]	FD	全双工 (FD) -如果设定，以太网控制器工作在一个全双工模式，否则它将运行半双工。没有复位
[3]	RI	接收中断(RI) -使能接收器中断。当这位为 1 时，每次接收到一个包，将会产生一个中断。不管这个包正确接收还是因为错误而终止接收，这个中断都会产生。没有复位值
[2]	TI	发送中断(TI) -使能发送器中断。当这位为 1 时，每次一个包发出，将会产生一个中断。不管这个包正确传输还是因为错误而终止发送，这个中断都会产生。没有复位值
[1]	RE	接收使能(RE) -在每次新的描述符被使能后应该置‘1’。只要这位是 1，以太网控制器将读取新的描述符，直到它遭遇一个未被使能的描述符，此时它将停止直到 RE 被重新设定。这一位应该在新的描述符被使能后才写入 1。复位值为‘0’
[0]	TE	发送使能 (TE) -应该在每次新的描述器被使能后写入 1。只要这位是 1，以太网控制器将读取新的描述符，直到它遭遇一个未被使能的描述符，此时它将停止直到 TE 被重新设定。这一位应该在新的描述符被使能后才写入 1。复位值为‘0’

22.7.2 以太网状态寄存器

表 22-9 以太网状态寄存器

位	位名称	位描述
[31:9]	RES	保留
[8]	PS	phy 状态改变标志位。监测到 phy 状态改变时此位置位。
[7]	IA	无效地址 (IA) - MAC 接收到一个不接受地址的包。当写‘1’时清除。复位值为‘0’
[6]	TS	过小 (TS) -接收到一个包,这个包的大小比允许的最小值小。当写入‘1’时被擦除。复位值为‘0’
[5]	TA	发送器 AHB 错误 (TA) -在发送器 DMA 器中发生 AHB 错误。当写入‘1’时被清除。没有复位值
[4]	RA	接收器 AHB 错误 (RA) -在接收器 DMA 器中发生 AHB 错误。当写入‘1’时被清除。没有复位值
[3]	TI	发送器中断 (TI) --一个包被正确发送。当写入‘1’被清除。没有复位值
[2]	RI	接收器中断 (RI) --一个包被正确接收。当写入‘1’被清除。没有复位值
[1]	TE	发送器错误 (TE) --一个包将被发送，但是发送以错误结束。当写入‘1’清除。没有复位值
[0]	RE	接收器错误 (RE) --一个包将被接收，但是接收以错误结束。当写入‘1’清除。没有复位值

22.7.3 MAC 地址 MSB

表 22-10 以太网 MAC 地址 MSB 寄存器

位	位名称	位描述
[31:16]	RES	保留

[15:0]	MAC Address 1	MAC 地址的高 2 个字节

22.7.4 MAC 地址 LSB

表 22-11 以太网 MAC 地址 LSB 寄存器

位	位名称	位描述
[31:0]	MAC Address 2	MAC 地址的低 4 个字节

22.7.5 MDIO 寄存器

表 22-12 以太网 MDIO 寄存器

位	位名称	位描述
[31:16]	DATA	数据，包含读操作时的数据或者需要发送的数据。没有复位值
[15:11]	PHY Address	PHY 地址，这个领域包含要访问的 PHY 地址。没有复位值
[10:6]	Register Address	寄存器地址。这个领域包含要访问的寄存器地址
[5]	RES	保留
[4]	NV	无效位(NV)。当操作完成(BUSY = 0)，这位指示是否接收到有效资料，依据是数据域包含正确的资料。无复位值
[3]	BU	忙(BU)。当操作启动，这位被设定为‘1’。一旦操作完成，管理连接空闲就清零。复位值为‘0’
[2]	LF	连接失败(LF)。当操作完成(BUSY = 0)，如果一个功能性管理连结没有检测到这位置位。没有复位值
[1]	RD	读(RD)。在操作接口开始读操作。数据存储在数据领域。复位值为‘0’
[0]	WR	写(WR)在操作接口开始写操作。从资料领域取数。复位值为‘0’

22.7.6 以太网发送描述符表基地址寄存器

表 22-13 以太网发送描述符表基地址寄存器

位	位名称	位描述
[31:10]	Transmitter Descriptor Table Base Address	发送描述符表的基地址。没有复位值
[9:3]	Descriptor Pointer	有效描述符偏移地址。被以太网 MAC 自动增加
[2:0]	RES	保留

22.7.7 以太网接收描述符表基地址寄存器

表 22-14 以太网接收描述符表基地址寄存器

位	位名称	位描述
[31:10]	Receiver Descriptor Table Base Address	接收描述符表的基地址。没有复位值
[9:3]	Descriptor Pointer	有效描述符偏移地址。被以太网 MAC 自动增加
[2:0]	RES	保留

22.7.8 以太网 EDCL IP 寄存器

表 22-15 以太网 EDCL IP 寄存器

位	位名称	位描述
[31:0]	EDCL IP Address	EDCL IP 地址

备注：上电默认值为：BIT [31:24] =192(十进制),BIT [23:16] = 168(十进制) BIT [15:7] = 0(十进制), BIT [7:4] = 0x5 (十六进制),BIT[3:0]=SP[49:52](外部引脚初始化设置)。例如：SP[49:52]外全接上拉电阻,则 BIT [7:0] = 95(十进制),哪么访问的 EDCL IP 就是 192.168.0.95。

22.7.9 以太网 Hash 表 MSB 寄存器

表 22-16 以太网 Hash 表 MSB 寄存器

位	位名称	位描述
[31:0]	Hash Table MSB	Hash 表的 63 到 32 位

22.7.10 以太网 Hash 表 MSB 寄存器

表 22-17 以太网 Hash 表 MSB 寄存器

位	位名称	位描述
[31:0]	Hash Table LSB	Hash 表的 31 到 0 位

22.7.11 EDCL MAC 地址 MSB

表 22-18 以太网 EDCL MAC 地址 MSB 寄存器

位	位名称	位描述
[31:16]	RES	保留
[15:0]	EDCL MAC Address 1	EDCL MAC 地址的高 2 个字节

22.7.12 EDCL MAC 地址 LSB

表 22-19 以太网 EDCL MAC 地址 LSB 寄存器

位	位名称	位描述
[31:0]	EDCL MAC Address 2	EDCL MAC 地址的低 4 个字节

22.8 以太网控制器自动协商机制使用说明

22.8.1 以太网模块的自动协商机制

以太网模块有自动协商机制（auto-negotiation）。上电后会自动产生符合 MDIO 协议的波形。首先写 phy 的控制寄存器（0x00），之后再读 phy 的控制寄存器（0x00）与状态寄存器（0x01）。根据 phy 寄存器的值配置以太网模块相关参数。

22.8.2 MDIO ctrl/status register 第 3 位 Busy 信号的自动置位

在 S698PM 以太网控制模块与 phy 芯片的自动协商过程中，若读回来的 phy 的寄存器的值不正确，或以太网模块一直没有关闭 EDCL 功能，则模块将会一直不断尝试读取 phy 的寄存器值，同时 Busy 位置位。而模块逻辑设计规定 Busy 位为 1 时不能写 MDIO ctrl/status register，从而导致软件无法控制以太网模块。

使用到的寄存器：以太网控制寄存器，见表 22-20。

22.8.3 如何将 Busy 信号置为 0

由第 2 节可知，若要将 Busy 信号置 0，则需要：1）读回来的 phy 寄存器值正确； 2）将 GRETH control register 第 12 位 Disable duplex detection 置 1，关闭 EDCL 功能。对于条件 1，以太网控制器判断 phy 控制寄存器（0x00）的第 12，15 位，以及状态寄存器(0x01)的第 0，5 位，现使用的 phy 芯片寄存器上电默认值都满足要求。对于条件 2，通过在上电后软件将 Disable duplex detection 位置 1 实现。

使用到的寄存器：以太网 MDIO 寄存器，见表 22-8。

程序中设置如下：

```
*(volatile unsigned int *)(0x80000e00) = 0x92005000;
//设置 GRETH 控制寄存器 bit12 置 1，关闭双工检测。
```

22.8.4 以太网外围硬件电路配置

MDIO 线接 1k ~ 1.5k 上拉电阻，根据具体 phy 芯片的型号而定。 phy 地

址通过 5.1k 上下拉电阻正确配置为 0x01。

23. DDR2 存储器控制器

23.1 DDR2SPA 简介

DDR2SPA 是 DDR2 SDRAM 控制器，带有 AHB 总线接口。该控制器可以对接 16-，32-或者 64-bit 位宽的 DDR2 存储器，支持 1 个或 2 个片选信号。DDR2 SDRAM 的地址范围，由 AMBA 总线系统统一分配。

内部结构来讲，DDR2SPA 模块由一个 DDR2 控制器和 DDR2PHY 组成，组成结构如图 23-1 所示。

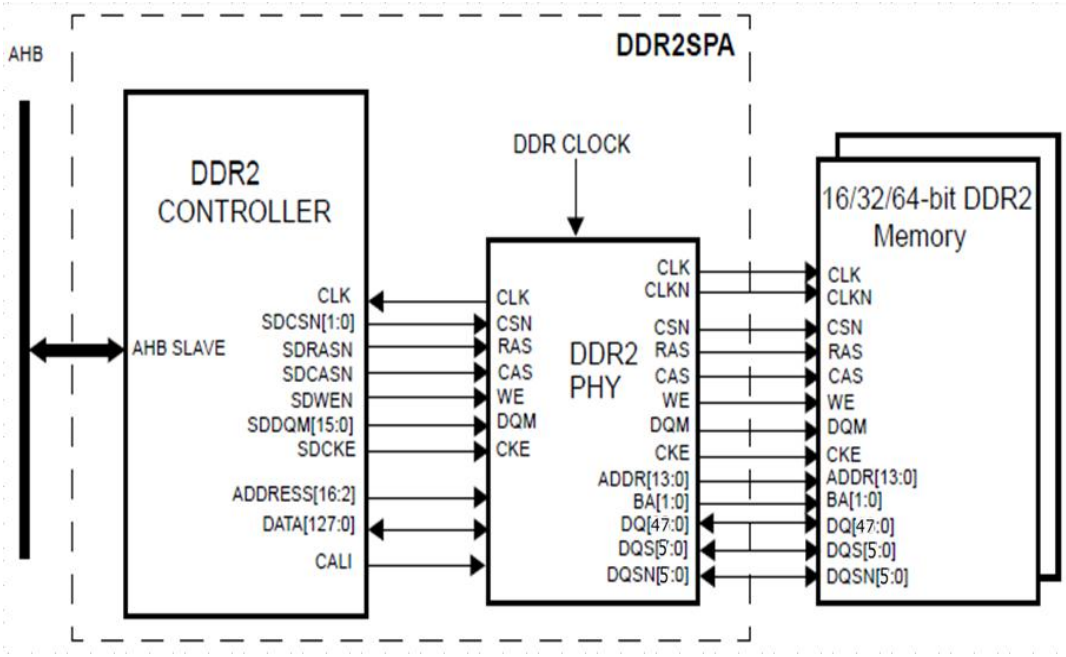


图 23-1 DDR2SPA 结构图

23.2 DDR2SPA 操作

23.2.1 概述

DDR2 SDRAM 芯片通常是 4,8 或 16 位数据宽度。通过将多个相同的芯片组合，从而可以获得较大位宽的 DDR2 存储器。

该内存控制器支持一个或两个（相同的）这样的宽 16/32/64 DDR2 SDRAM 内

存 bank。支持的内存大小可以从 32MB 到 512MB，DDR2 的数据带宽不会影响 AHB 接口的操作逻辑，但回带来数据延迟问题。

23.2.2 DDR2 控制器的初始化

S698PM 上电后，DDR2 控制器会自动依据 JEDEC DDR2 标准的要求开始做初始化操作，因此控制的的初始化不需要软件做额外的处理。但目前 S698PM 中 DDR2 PHY 的相关寄存器的初始化无法自动完成，必须在启动代码中添加 DDR2PHY 的初始化代码。

对 DDR2PHY 的初始化配置参考参数值如下表：

表 23-1 DDR2PHY 的配置参考参数值

序号	寄存器名	设置值	序号	寄存器名	设置值
1	DENALI_PHY_00_DATA_lo	0x08020802	41	DENALI_PHY_20_DATA_lo	0x08020802
2	DENALI_PHY_00_DATA_hi	0x08040804	42	DENALI_PHY_20_DATA_hi	0x08040804
3	DENALI_PHY_01_DATA_lo	0x61610060	43	DENALI_PHY_21_DATA_lo	0x61610060
4	DENALI_PHY_01_DATA_hi	0x00120024	44	DENALI_PHY_21_DATA_hi	0x00120024
5	DENALI_PHY_02_DATA_lo	0x40404040	45	DENALI_PHY_22_DATA_lo	0x40404040
6	DENALI_PHY_02_DATA_hi	0x00000000	46	DENALI_PHY_22_DATA_hi	0x00000000
7	DENALI_PHY_03_DATA_lo	0x00000000	47	DENALI_PHY_23_DATA_lo	0x00000000
8	DENALI_PHY_03_DATA_hi	0x00000000	48	DENALI_PHY_23_DATA_hi	0x00000000
9	DENALI_PHY_04_DATA_lo	0x08020802	49	DENALI_PHY_24_DATA_lo	0x08020802
10	DENALI_PHY_04_DATA_hi	0x08040804	50	DENALI_PHY_24_DATA_hi	0x08040804
11	DENALI_PHY_05_DATA_lo	0x61610060	51	DENALI_PHY_25_DATA_lo	0x61610060
12	DENALI_PHY_05_DATA_hi	0x00120024	52	DENALI_PHY_25_DATA_hi	0x00120024
13	DENALI_PHY_06_DATA_lo	0x40404040	53	DENALI_PHY_26_DATA_lo	0x40404040
14	DENALI_PHY_06_DATA_hi	0x00000000	54	DENALI_PHY_26_DATA_hi	0x00000000
15	DENALI_PHY_07_DATA_lo	0x00000000	55	DENALI_PHY_27_DATA_lo	0x00000000
16	DENALI_PHY_07_DATA_hi	0x00000000	56	DENALI_PHY_27_DATA_hi	0x00000000
17	DENALI_PHY_08_DATA_lo	0x08020802	57	DENALI_PHY_28_DATA_lo	0x08020802
18	DENALI_PHY_08_DATA_hi	0x08040804	58	DENALI_PHY_28_DATA_hi	0x08040804
19	DENALI_PHY_09_DATA_lo	0x61610060	59	DENALI_PHY_29_DATA_lo	0x61610060
20	DENALI_PHY_09_DATA_hi	0x00120024	60	DENALI_PHY_29_DATA_hi	0x00120024
21	DENALI_PHY_10_DATA_lo	0x40404040	61	DENALI_PHY_30_DATA_lo	0x40404040
22	DENALI_PHY_10_DATA_hi	0x00000000	62	DENALI_PHY_30_DATA_hi	0x00000000
23	DENALI_PHY_11_DATA_lo	0x00000000	63	DENALI_PHY_31_DATA_lo	0x00000000
24	DENALI_PHY_11_DATA_hi	0x00000000	64	DENALI_PHY_31_DATA_hi	0x00000000
25	DENALI_PHY_12_DATA_lo	0x08020802	65	DENALI_PHY_32_DATA_lo	0x08020802
26	DENALI_PHY_12_DATA_hi	0x08040804	66	DENALI_PHY_32_DATA_hi	0x08040804
27	DENALI_PHY_13_DATA_lo	0x61610060	67	DENALI_PHY_33_DATA_lo	0x61610060
28	DENALI_PHY_13_DATA_hi	0x00120024	68	DENALI_PHY_33_DATA_hi	0x00120024
29	DENALI_PHY_14_DATA_lo	0x40404040	69	DENALI_PHY_34_DATA_lo	0x40404040
30	DENALI_PHY_14_DATA_hi	0x00000000	70	DENALI_PHY_34_DATA_hi	0x00000000
31	DENALI_PHY_15_DATA_lo	0x00000000	71	DENALI_PHY_35_DATA_lo	0x00000000
32	DENALI_PHY_15_DATA_hi	0x00000000	72	DENALI_PHY_35_DATA_hi	0x00000000

33	DENALI_PHY_16_DATA_lo	0x08020802	73	DENALI_PHY_36_DATA_lo	0x00004005
34	DENALI_PHY_16_DATA_hi	0x08040804	74	DENALI_PHY_36_DATA_hi	0x00000000
35	DENALI_PHY_17_DATA_lo	0x61610060	75	DENALI_PHY_37_DATA_lo	0xfffbfffb
36	DENALI_PHY_17_DATA_hi	0x00120024	76	DENALI_PHY_37_DATA_hi	0xfffbfffb
37	DENALI_PHY_18_DATA_lo	0x40404040	77	DENALI_PHY_38_DATA_lo	0xfffbfffb
38	DENALI_PHY_18_DATA_hi	0x00000000	78	DENALI_PHY_38_DATA_hi	0x00000000
39	DENALI_PHY_19_DATA_lo	0x00000000	79	DENALI_PHY_39_DATA_lo	0x00000000
40	DENALI_PHY_19_DATA_hi	0x00000000	80	DENALI_PHY_39_DATA_hi	0x00000000

对 DDR2PHY 的寄存器配置需要配置两个专用寄存器，分别是 DDR2TSR1、DDR2TSR2，地址分别为 0xffe00018、0xffe0001C，举例说明如下：

如要做以下配置：

DENALI_PHY_00_DATA_lo 0x08020802

DENALI_PHY_00_DATA_hi 0x08040804

代码写法如下：

```
wmem 0xffe0001C 0x04000000   //固定写入该值
wmem 0xffe00018 0x08020802   //写入低位数据
wmem 0xffe0001C 0x00000000   //固定写入该值
wmem 0xffe00018 0x08040804   //写入高位数据
wmem 0xffe0001C 0x4000C000   //写入 PHY 内部 DENALI_PHY_00_DATA 地址。
```

注：指令 wmem 用法：wmem addr data，往 addr 空间写入数据 data。

寄存器在 phy 内部的地址计算方法如下：

ADDR = 0x4000C000 + 0x40000100*index

其中 index 为 0…39，对应每个寄存器的表示序号。

23.2.3 DDR2 控制器对大容量存储器的支持

单个 DDR2 的片选空间的大小，通过配置寄存器 DDR2CFG1 中的 SDRAM bank size 域来配置，通过配置可以配置为 32MB~4GB 空间,但目前芯片只能寻址到 512MB。

23.2.4 DDR2 控制器可配的时需参数

为了让 S698PM 能够为不同的 DDR2 设备提供最优的访问时序，有 6 个参数可以通过相关的配置寄存器进行配置：TRCD, TCL, TRTP,TWR, TRP 和 TRFC。对于

高速的 DDR2（如 DDR2-533 或者更高）则 TRAS 这个参数也是需要配置的，这些参数对 DDR2SDRAM 访问时的影响可参看下表，注意，如果参数 CAS 调整后，必须将参数 CAS 通过 LMR 命令配置到 DDR2SDRAM 芯片中。

表 23-2 DDR2PHY的配置参考参数值

序号	DDR2 时间参数	所需最小时间（clocks）
1	CAS latency, CL	TCL + 3
2	Activate to read/write command (tRCD)	TRCD + 2
3	Read to precharge (tRTP)	TRTP + 2
4	Write recovery time (tWR)	TWR - 2
5	Precharge to activate (tRP)	TRP + 2
6	Activate to precharge (tRAS)	TRAS + 1
7	Auto-refresh command period (tRFC)	TRFC + 3

下表分别列出了在 133MHz、200MHz 以及 400MHz 操作频率下，参数对时序的影响(单位:ns)

表 23-3 DDR2典型配置参考参数值

序号	DDR2 时间设置	CL (clks)	tRCD (ns)	tRC (ns)	tRP (ns)	tRFC (ns)	tRAS (ns)
1	133 MHz: TCL=0, TRCD=0, TRTP=0, TRP=0, TRAS=0, TRFC=7	3	15	76	15	76	61
2	200 MHz: TCL=0, TRCD=1, TRTP=0, TRP=1, TRAS=1, TRFC=13	3	15	60	15	80	45
3	400 MHz: TCL=2, TRCD=4, TRTP=1, TRP=4, TRAS=10, TRFC=29	5	15	60	15	80	45

23.2.5 DDR2 控制器的刷新操作

该 DDR2SPA 控制器包含周期性给两个 DDR2 bank 发出一个自动刷新命令的功能，刷新周期可以通过在 DDR2CFG1 寄存器中的刷新计数器配置。根据 SDRAM 的类型，所需时间通常是 7.8us。生成的刷新命令的周期计算方法为:（重载值+1）/系统时钟。自动刷新刷新功能可以通过寄存器 DDR2CFG1 的第 31 位开启。

23.2.6 DDR2SDRAM 控制命令

S698PM 中的 DDR2 控制器通过把相关参数配置在 SDCFG1 可以执行 4 个 sdram 命令：PRE-CHARGE, LOAD-EXTMODE-REG, LOAD-MODE-REG 和 REFRESH。当执行 LMR 命令时，DDR2CFG1 中的 PLL reset 域值，DDR2CFG4 中的 CAS 延迟参数以及

DDR2CFG3 中的 WR 参数将会被使用。如果运行 LEMR 命令，DDR2CFG1 中的 OCD 参数值将回被使用，其余都被设置为‘0’。当 SDRAM 命令运行后，使用到的参数将会被清除。

23.2.7 寄存 SDRAM 总线

寄存型的存储器件将会由于引入一个寄存器而导致增加一个始终周期的延迟,这时候可以通过配置 DDR2CFG4 中的 REG 位来支持。但是对于全缓存型的 DDR2 存储器，该控制器无法支持。

23.2.8 DDR2 时钟

DDR2 控制器由两个时钟域组成，一个是和 DDR2SDRAM 存储器同步的时钟域，一个是和内部 AMBA 总线同步的时钟域。两个时钟之间没有严格的时钟关系，可以通过相关的配置 pin 对其配置。

DDR2SDRAM 存储器域的时钟可以通过相关的复位引脚，对其进行配置，关于时钟配置的方法，请参考《时钟信号发生模块》章节的内容。

S698PM 上电后，会对 DDR2 的 PHY 进行复位，等到 phy 复位完全完成以后，才会释放复位，进入正常工作模式。

23.3 DDR2 纠错

23.3.1 概述

该控制器支持纠错功能，总线采用 32+16 组成，即 32 位数据位对应 16 位的校验位。写操作时候，由控制器产生相应的校验数据，将校验数据和数据一起存入存储器中。当读取数据的时候，读出存储器中的数据和校验数据，然后将校验数据和控制器重新计算的校验数据进行比较，从而判断是否有错，进行相应的纠错处理。

23.3.2 数据的传送

读操作的时候，过程和没有纠错功能时一样，除了由于纠错检查而带来的几

个时钟周期延迟。当做写入操作时，将会产生一个读修改写的周期来更新纠错数据，在一些特殊情况下，如果在写操作中发现了了不可纠正的错误，则写操作会被放弃，从而导致错误的校验数据存放在存储器中，下次读时将会发现错误。

23.3.3 校验位的访问

校验数据和数据能够被直接访问，来测试或者做错误注入。首先将测试的存储地址写入 DDR2FTDA 寄存器。这时可以通过 DDR2FTDC 和 DDR2FTDD 两个寄存器来对校验数据和数据进行读写操作。DDR2FTDA 必须是 64bit 对齐，而 DDR2FTDD 需要 32bit 对齐。

当诊断数据被读取后，可以通过 FT 控制寄存器的[31:19]来查看是否有错误产生。

23.4 DDR2SPA 寄存器列表

表 23-4 DDR2SPA 寄存器地址(0xffe00000~0xffe000ff)

地址(0x)	寄存器	读/写	有效位宽	初始值	描述
0xffe00000	DDR2CFG1	RW	32	0x96a08618	普通 DDR2SPA 控制寄存器 1
0xffe00004	DDR2CFG2	RD	32	0x0091a0c8	普通 DDR2SPA 控制寄存器 2
0xffe00008	DDR2CFG3	RW	32	0x13610000	普通 DDR2SPA 控制寄存器 3
0xffe0000c	DDR2CFG4	RW	32	0x00000100	普通 DDR2SPA 控制寄存器 4
0xffe00010	DDR2CFG5	RW	32	0x10630107	普通 DDR2SPA 控制寄存器 5
0xffe00020	DDR2FTCFG	RW	32	0x00020000	普通 DDR2 FT 配置寄存器
0xffe00024	DDR2FTDA	RW	32	0x00000000	普通 DDR2 FT 诊断地址
0xffe00028	DDR2FTDC	RW	32	0x4968556b	普通 DDR2 FT 诊断纠错位
0xffe0002c	DDR2FTDD	RW	32	0x88100000	普通 DDR2 FT 诊断数据
0xffe00030	DDR2FTBND	RW	32	0x60000000	普通 DDR2 FT 边界地址寄存器

23.4.1 DDR2SPA 控制寄存器

表 23-5 DDR2SPA 控制寄存器（DDR2 SRAM control register（DDR2CFG1））

位	位名称	位描述
[31]	refresh	SDRAM 自刷新使能
[30]	OCD	OCD 操作
[29:28]	EMR	PHY 外部模式寄存器选择
[27]	Bank size 3	SDRAM bank size SDRAM bank 大小 bit3；
[26]	TRCD	该位与 DDR2CFG5 中 TRCD 域的 BIT8 是等效的；

[25:23]	SDRAM Bank size2:0	SDRAM banks size. Defines the decoded memory size for each SDRAM chip select: “000” = 8 Mbyte, “001” = 16 Mbyte, “010” = 32 Mbyte.... “111” = 1024 Mbyte.
[22:21]	SDRAM clol. Size	SDRAM 列容量大小。“00” =512；“01” =1024；“10” =2048；“11” =4096
[20:18]	SDRAM command	SDRAM 命令；“010” =预充电；“100” =自动刷新；“110” =装载命令寄存器；“111” =装载扩展命令寄存器；
[17]	PR	PLL 复位
[16]	IN	上电初始化，初始化完成后自动清零
[15]	CE	时钟使能，应该被置‘1’
[14:0]	SDRAM Refresh Load Value	自动刷新命令之间的周期；计算公式如下：Trefresh =((reload value) + 1)/DDRCLOCK

23.4.2 DDR2SPA 配置寄存器 2

表 23-6 DDR2SPA 配置寄存器（DDR2 SRAM config register2（DDR2CFG2），只读）

位	位名称	位描述
[31:26]	Reserved	保留
[25:18]	Reserved	保留
[17]	Reserved	保留
[16]	Reserved	保留
[15：0]	Reserved	保留

23.4.3 DDR2SPA 配置寄存器 3

表 23-7 DDR2SPA 配置寄存器（DDR2 SRAM configuration register3（DDR2CFG3））

位	位名称	位描述
[31]	Reserved	保留
[30:29]	Reserved	保留
[28]	（TRP）	保留
[27：23]	TWR	SDRAM Write recovery time，TWR 将等于该值-2 DDR 时钟周期
[22:18]	（TRFC）	保留
[17：16]	RD	增加读延时时钟周期,默认值为 1
[15:0]	Reserved	保留

23.4.4 DDR2SPA 配置寄存器 4

表 23-8 DDR2SPA 配置寄存器（DDR2 SRAM configuration register4（DDR2CFG4））

位	位名称	位描述
[31:28]	Inc/dec CB dealy	0：纠错数据延迟减少 1：纠错数据延迟增加
[27:24]	Update CB dealy	1：更新校验数据总线延迟

位	位名称	位描述
[23:22]	RDH	读延迟高位，设置为 N，读延迟的周期数将增加 4XN
[21]	REG	寄存数据输入输出，将增加 1 个周期总线延迟
[20:14]	Reserved	保留
[13]	TRTP	SDRAM 读-预充电时间，tRTP 将等于该值+2 时钟周期
[12:11]	Reserved	保留
[10:9]	TCL	SDRAM CAS 延迟时间，CL 将等于该值+3 时钟周期
[8]	B8	使能为 8 个 bank DDR2 芯片产生地址
[7:0]	DQS gating offset	DQS 输入信号有效半周期时间数，该时间后 DQS 信号将被关闭；

23.4.5 DDR2SPA 配置寄存器 5

表 23-9 DDR2SPA 配置寄存器（DDR2 SRAM configuration register5（DDR2CFG5））

位	位名称	位描述
[31]	RES	保留
[30:28]	TRP	SDRAM tRP 时间，tRP 时间将是该值+2 个时钟周期
[27:26]	RES	保留
[25:18]	TRFC	SDRAM tRFC 时间；tRFC 时间将是该值+3 个时钟周期
[17:16]	ODT	SDRAM 片上端接电阻设置 0：disable 1-3=75/150/50ohm
[15]	DS	SDRAM 侧输出驱动强度控制；0=full strength 1=half strength
[14:11]	RES	保留
[10:8]	TRCD	SDRAM RAS-to-CAS 延迟时间高位（TRCD），tRCD 时间将是该值+2 个时钟周期
[7:5]	RES	保留
[4:0]	TRAS	SDRAM RAS 到预充电的时间，tRAS 时间将是该值+2 个时钟周期

23.4.6 DDR2 FT 配置寄存器

表 23-10 DDR2 FT 配置寄存器（DDR2 FT configuration register（DDR2FTCFG））

位	位名称	位描述
[31:20]	Diag data read error location	最后一次诊断数据出错纠正数据的位置，1bit 对应一个 byte 在 64+32-bit 的配置模式下
[19]	DDERR	如果最后一个诊断数据存在无法纠正的错误则该 bit 将会被置 1
[18:16]	Data width	001：16+8，010：32+16，011=64+32
[15:8]	Reserved	保留
[7:5]	DATAMUX	非 0 值可以用来交换 checkbits 高半部分数据总线和其他数据总线；000：不交换；001：数据 15:0；010：数据 31:16；011：数据 47:32；100：数据 63:48；101：checkbits79:64；111：没定义
[4]	CEM	如果置 1 纠错数据屏蔽
[3]	BAUPD	使能写自动边界移动
[2]	BAEN	使能编码边界
[1]	CODE	编码模式选择 0=code A（64+32/32+16/16+8），1=code B（64+16/32+8）
[0]	EDEN	EDAC 使能

23.4.7 DDR2 FT 诊断地址寄存器

表 23-11 DDR2 FT 诊断地址（DDR2 FT diagnostic address(DDR2FTDA)）

位	位名称	位描述
[31:3]	MEMORY ADDRESS	存储器中 checkbits 读写位置，64/32bit 对齐
[1:0]	RES	保留

23.4.8 DDR2 FT 诊断纠错位寄存器

表 23-12 DDR2 FT 诊断纠错位（DDR2 FT diagnostic checkbits(DDR2FTDC)）

位	位名称	位描述
[31:24]	CHECKBITS D	64 位数据的 D 部分纠错数据
[23:16]	CHECKBITS C	64 位数据的 C 部分纠错数据
[15:8]	CHECKBITS B	64 位数据的 B 部分纠错数据
[7:0]	CHECKBITS A	64 位数据的 A 部分纠错数据

23.4.9 DDR2 FT 诊断数据寄存器

表 23-13 DDR2 FT 诊断数据（DDR2 FT diagnostic data(DDR2FTDD)）

位序号	位名称	位描述
31:0	DATA BITS	错误不可纠正的数据

23.4.10 DDR2 FT 边界地址寄存器

表 23-14 DDR2 FT 边界地址寄存器（DDR2 FT boundary address register(DDR2FTBND)）

位	位名称	位描述
[31:3]	CHECKBIT CODE BOUNDARU ADDRESS	编码边界地址
[2:0]	0	0

24. 1553B 总线控制器

S698PM 芯片内部集成二通道的 1553B 总线控制器，支持 BC、RT 和 BM 三种终端类型，支持完整的 MIL-STD-1553B 协议，数据传输速率 1Mbps 和 10Mbps 可配置，存储器布局和寄存器设置同 BU-61580 兼容。*（注：在 S698PM 芯片中由于二通道的 1553B 总线控制器共用 10 号中断，建议用中断方式处理 1553B 请求时，建议只用一个通道。）*

24.1 主要特征

- 遵循 MIL-STD-1553B 标准(国军标 GJB289A-97 标准)；
- 操作方式、寄存器设置以及存储器布局等方面同 BU-61580 兼容；
- 支持的通讯类型包括（*不支持 RT->RT Broadcast*）：
  - BC → RT；
  - RT → BC；
  - RT → RT；
  - Broadcast；
  - Mode code；
- 能被配置为 BC、RT、BM 三种类型的控制器；
- 支持 1Mbps、10Mbps 两种传输速度；
- 带 4K*16Bit 的集成 DPRAM；
- 外部接口支持通用的 1553B 总线收发器：HI1567、HI1573 等
- 带 A、B 双冗余通道；
- BC 性能：
  - 支持 A/B 区域；
  - 具有自动重发功能；
  - 可编程的消息间隔时间；
  - 帧自动重复发送；
  - 可编程的超时响应时间；
- RT 性能：
  - 可编程的 RT 地址，子地址；
  - 支持单缓冲存储器管理方式；
  - 可编程的非法命令表；
  - 可编程的方式代码中断表；
  - 可编程的子地址忙表；
- BM 性能：
  - 能够实时侦听总线上的数据流，可以将所有的数据流记录下来，也可以有选择地进行数据监听；
  - 支持命令堆栈半满、全满溢出；

- 支持数据堆栈半满、全满溢出；
- 命令堆栈与数据堆栈独立；
- 对每条消息有相应的属性标志；

24.2 结构描述

S698PM 中的 1553B 主要包括通信协议模块 A、通信协议模块 B、主机信号接口模块、配置寄存器模块、存储管理模块和时钟管理与主控制模块等。其中 1553 通信协议模块部分用差分曼彻斯特编码实现时分命令响应式串行通讯，主要包括 A、B 通道编码器和解码器；主机信号接口模块实现 1553B 模块与 CPU 的接口，用来实现 CPU 对 1553B 模块的控制；配置寄存器主要实现对 1553B 模块功能的配置，能够间接反映 1553B 模块的功能；存储管理为 CPU 和 1553B 模块之间交互数据的管理方式，主要为 4K*16BIT 的双口 RAM； 时钟管理与主控制模块实现对输入时钟的管理和对 1553B 模块的基本通讯功能的实现与控制，是 1553B 模块的中心控制单元，能配置成 BC、RT、BM 三种类型的控制器。

OBT1553 模块的结构如图 24-1 所示，其内部各个子各模块与以及各个信号端口的说明分别如下表 24-1 和表 24-12 示：

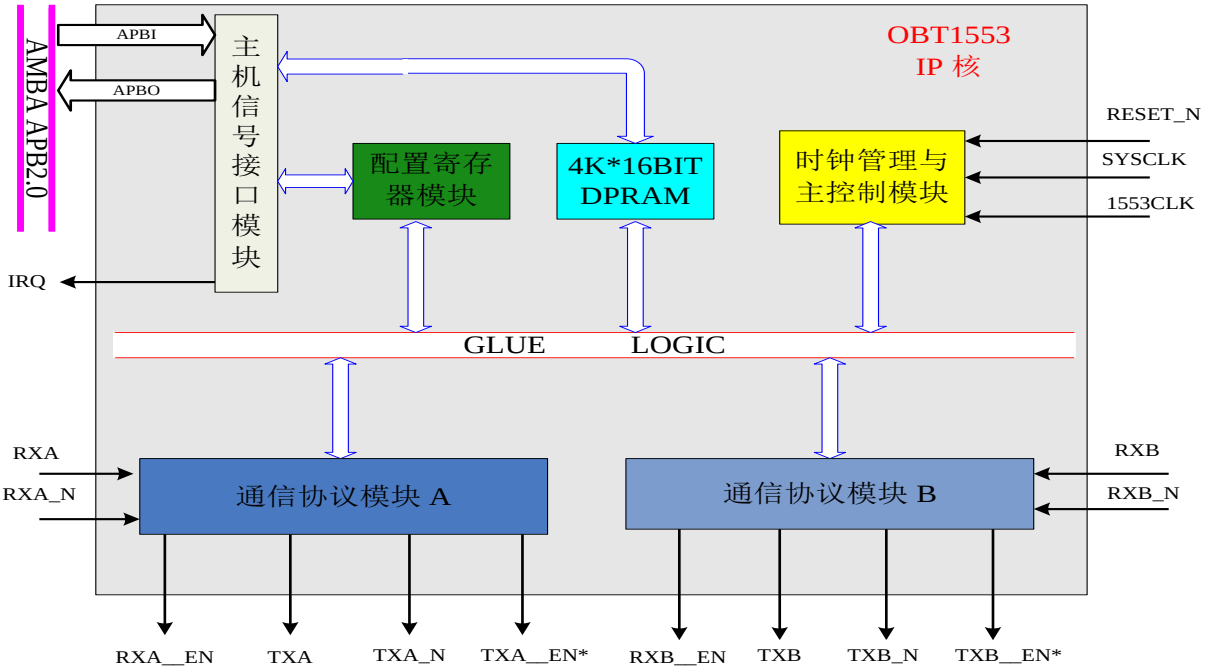


图 24-1 S698PM 中 1553B 模块结构框图

表 24-1 S698PM 中 1553B 模块各子模块说明

序号	模块名称	模块描述
1	通信协议模块 A/B	通信协议模块部分用差分曼彻斯特编码实现时分命令响应式串行通讯，主要包括 A、B 通道编码器和解码器
2	主机信号接口模块	主机信号接口模块实现 1553 IP 核与 CPU 的接口，用来实现 CPU 对 OBT1553B IP 核的控制
3	配置寄存器模块	配置寄存器主要实现对 OBT1553 IP 核功能的配置，能够间接反映 1553 IP 核的功能
4	存储管理模块（4K*16BIT DPRAM）	存储管理为 CPU 和 1553 IP 核之间交互数据的管理方式，主要为 4K*16BIT 的双口 RAM
5	时钟管理与主控制模块	时钟管理与主控制模块实现对输入时钟的管理和对 OBT1553 IP 核的基本通讯功能的实现与控制，是该 IP 核的中心控制单元能配置成 BC 或 RT 控制器

表 24-2 S698PM 中 1553B 模块的端口信号说明

序号	信号名称	信号方向	默认状态	信号描述
1	AMBA APB2.0	I/O	均为 0	主机接口接 AMBA.APB2.0 信号，主要是地址线，数据线，读写控制线
2	RXA	I	0	通道 A 接收信号
3	RXA_N	I	0	通道 A 接收信号的反
4	RXA_EN	0	0	通道 A 接收使能信号，主要为外接 HI-1567PSI 芯片时的使能
5	TXA	0	0	通道 A 发送信号
6	TXA_N	0	0	通道 A 发送信号的反
7	TXA_EN*	0	1	通道 A 发送使能信号，主要为外接 HI-1567PSI 芯片时的使能
8	RXB	I	0	通道 B 接收信号
9	RXB_N	I	0	通道 B 接收信号的反
10	RXB_EN	0	0	通道 B 接收使能信号，主要为外接 HI-1567PSI 芯片时的使能
11	TXB	0	0	通道 B 发送信号
12	TXB_N	0	0	通道 B 发送信号的反
13	TXB_EN*	0	1	通道 B 发送使能信号，主要为外接 HI-1567PSI 芯片时的使能

序号	信号名称	信号方向	默认状态	信号描述
14	RESET_N	I	1	外部复位信号低电平有效
15	SYSCLK	I	外部确定	主机输入时钟
16	1553CLK	I	16MHz	1553 收发模块专用时钟
17	IRQ	O	0	中断信号输出，高电平有效

24.3 功能描述

24.3.1 总线控制器（BC）

当主控制器配置为 BC 总线控制器时，则实现 BC 总线控制器功能。

BC 总线控制器控制通讯数据流的传输，是数据发送和接收的发起者和总线网络的管理者。控制计算机将数据写入 BC 总线控制器的内部存储器，并通过 开始/启动（SSR）寄存器来启动 BC 总线控制器进行数据传输。对于每个消息，BC 总线控制器通过 BC 控制字初始化 BC 总线控制器的状态从而发起数据传输（发送或者接收），并通过 BC 命令字通知 RT 响应数据传输（接收或者发送）。BC 总线控制器还可以通过模式命令对 RT 进行控制，包括读取同步和状态字等内容。

BC 总线控制器一方面通过 BC 模块状态字判断接受到的数据是否正确（包括奇偶校验）、响应是否超时等，另一方面通过读回的 RT 状态字，判断 RT 接收的数据是否正确、响应是否超时等。BC 模块状态字和读回的 RT 状态字均正常，说明数据传输正常。

如果传输过程中出现错误（BC 状态字和 RT 状态字异常），BC 总线控制器通过中断通知控制计算机进行处理，如消息重发。如果 BC 总线控制器出现灾难性故障，控制计算机（指 BC 的控制计算机）对 BC 复位。

24.3.2 远程终端（RT）

当主控制器配置为 RT 远程终端时，则实现 RT 远程终端功能。

RT 能根据协议在规定的时间内响应 BC 总线控制器发出的命令，进行数据接收或发送。RT 对输入信号进行检测，当检测到跟该 RT 地址一致的命令字后，响

应数据传输。对于发送命令，RT 在发送数据之前将 RT 状态字通过 1553 总线发送给 BC；对于接收命令，RT 在接收完数据后将 RT 状态字通过 1553 总线发送给 BC。BC 通过 RT 状态字判断本次数据传输（发送/接收）是否有效。

当接受到模式命令后，RT 需要对接受到的模式命令进行响应。

24.3.3 总线监视器（BM）

BM 能够实时侦听总线上的数据流，可以将所有的数据流记录下来，也可以有选择地进行数据监听。并设有命令存储区半满、全满标志和数据存储区半满、全满标志。

24.4 地址空间分配

S698PM 芯片中集成了 2 通道的 1553B 总线控制器，它们不仅功能、工作方式和操作方式相同，而且寄存器和存储器的数量、格式、定义以及偏移地址等均相同，只是各自的寄存器/存储器的基地址不同。

表 24-3　S698PM 中 1553B 模块地址空间分配

偏移地址	基地址	寄存器的地址空间	存储器的地址空间
通道-1	0x80108000	0x80108000—0x8010BFFF	0x8010c000—0x8010FFFF
通道-2	0x80110000	0x80110000—0x80113FFF	0x80114000—0x80117FFF

1553B 模块中的存储器的容量为 4K*16bit，可以通过 APB 总线直接进行读写访问，且存储器的每 16bits 为一个被访问单位（即一个字），对应 APB 数据总线的低 16 位（此时，APB 数据总线的高 16 位未定义，读值总为 0）。

1553B 模块中的存储器的每一个字（16bits）占用 APB 的一个 32 位的地址空间，如 1553B 通道 1 的存储器的第 1 个字的地址为 0x80108000，第 2 个字的地址为 0x80108004，第 3 个字的地址为 0x80108008，第 4 个字的地址为 0x8010800C...以此类推。

24.5 寄存器定义及描述

表 24-4　S698PM 中 1553B 模块寄存器偏移地址分配

偏移地址	读/写	有效位宽	默认值(HEX)	寄存器描述
0x00	RD/WR	16	0000	中断屏蔽寄存器(IMR)
0x01	RD/WR	16	0000	配置寄存器 1(CFG1)
0x02	RD/WR	16	0000	配置寄存器 2(CFG2)
0x03	WR	16	0000	启动/复位寄存器(SRR)
0x03	RD	16	0000	BC/RT/BM 命令堆栈指针寄存器(STACK_ADDR)
0x04	RD/WR	16	0000	BM 初始命令堆栈指针寄存器
0x05	RD	16	0000	时间标签寄存器 0(TTR0)
0x06	RD	16	0000	中断状态寄存器(INT_STA)
0x07	RD/WR	16	0000	配置寄存器 3 (CFG3)
0x08	RD/WR	16	0000	配置寄存器 4(CFG4)
0x09	RD/WR	16	0000	配置寄存器 5(CFG5)
0x0A	RD	16	0000	BM 数据堆栈指针寄存器（BM_STACK_ADDR）
0x0B	RD	16	0000	1Mbps/10Mbps 配置寄存器
0x0C	RD	16	0000	保留
0x0D	RD	16	0000	RT 上一命令字寄存器(LAST_CMD)
0x0D	WR	16	0000	BC 帧时间寄存器
0x0E	RD	16	0000	RT 状态字寄存器（RT_STA）
0x0F	RD	16	0000	RT BIT 字寄存器(RT_BIT_REG)
0x10	RD	16	0000	时间标签寄存器 1(TTR1)
0x11	RD	16	0000	
0x12	RD/WR	16	0000	

表 24-5　S698PM 中 1553B 模块中断屏蔽寄存器（IMR）

位（BIT）	描述 (DESCRIPTION)
15	保留

位（BIT）	描述（DESCRIPTION）
14	RAM 奇偶校验错误（RAM PARITY ERROR）
13	BC/RT 传输器超时（BC/RT TRANSMITTER TIMEOUT）
12	BC/RT 命令堆栈溢出/ BM 命令堆栈半满溢出
11	BM 命令堆栈溢出（BM COMMAND STACK ROLLOVER）
10	BM 数据堆栈溢出（BM DATA STACK ROLLOVER）
9	保留
8	BC 重发/BM 数据半满溢出
7	RT 地址奇偶校验错误（RT ADDRESS PARITY ERROR）
6	时间标签寄存器溢出（TIME TAG ROLLOVER）
5	RT 循环缓冲溢出（RT CIRCULAR BUFFER ROLLOVER）
4	BC 消息消息结束（BC MSG EOM）
3	BC 帧结束（BC END OF FRAME）
2	格式错误(FORMAT ERROR)
1	BC 状态置位/RT 方式代码（BC STATUS SET/RT MODE CODE）
0	消息结束（END OF MESSAGE）

中断屏蔽寄存器中位如置 1 表示打开对应中断状态寄存器的中断，如置 0 表示关闭对应的中断状态寄存器的中断。

- BIT14： 当使能（置 1）该位则 RAM 数据奇偶校验出错时产生中断。
- BIT13： IP 核内置看门狗，当使能（置 1）该位则传输编码时间超过 668us 时产生中断。
- BIT12： IP 核命令堆栈大小为 256 字，当使能（置 1）该位则在 BC/RT 类型下命令堆栈指针超出 256 则产生中断；当在 BM 类型下则在命令堆栈半满时产生中断。
- BIT11：当使能（置 1）该位则 BM 命令堆栈溢出时产生中断。
- BIT10：当使能（置 1）该位则 BM 数据堆栈溢出时产生中断。
- BIT8：当使能（置 1）该位则在 BC 类型下 BC 重发消息前将产生中断；如果在 BM 类型下数据堆栈半满溢出将产生中断。
- BIT7： 在 RT 模式下当使能（置 1）该位那么如果 RTAD4-RTAD0 与 RTADP 共六位进行奇偶的结果是 0 就产生中断。
- BIT6： 当使能（置 1）该位那么当时标寄存器 TT2 溢出时产生中断。
- BIT5： 当使能（置 1）该位那么当作 RT 终端控制器时循环缓冲模式下超出设定值加 1 后，溢出时产生中断（建议在使用时采用查询模式，如果采用中断模式，需

要先将第一个地址数据取走，因为中断产生后会覆盖第一个数据）。

- **BIT4**：当使能（置 1）该位那么当作 BC 总线控制器时 BC 控制字中的 BIT4 位为 1 则消息结束产生中断。
- **BIT3**：当使能（置 1）该位那么 BC 帧发送结束产生中断。
- **BIT2**：当使能（置 1）该位那么格式错误时产生中断。
- **BIT1**：当使能（置 1）该位那么当作 BC 时，BC 收到的状态字中有置 1 的位，则产生中断；当作 RT 时子地址查找表中方式字对应位为 1 则产生中断。
- **BIT0**：当使能（置 1）该位那么当 BC/RT 发送/接收消息结束产生中断。

表 24-6　S698PM 中 1553B 模块 BC 配置寄存器 1(BC-CFG1)

位（BIT）	描述 (DESCRIPTION)
15(MSB)	BC/RT/BM 模式设置（RT/BM*-BC*）
14	BC/RT/BM 模式设置（BM/RT*- BC*）
13	A*/B 区域设置（CURRENT AREA A*/B）
12-9	保留
8	帧自动重复发送使能（FRAME AUTO-REPEAT）
7-6	保留
5	消息间隔时间使能（MESSAGE GAP TIMER ENABLED）
4	消息重发使能（RETRY ENABLED）
3	消息重发一次或二次选择（DOUBLE/SINGLE* RETRY）
2	BC 使能（BC ENABLED），该位只读
1	BC 帧信息忙指示（BC FRAME IN PROGRESS），该位只读
0 (LSB)	BC 消息忙指示（BC MESSAGE IN PROGRESS），该位只读

BC 配置寄存器 1 主要用作 1553 总线控制器工作模式的选择，还有是否使能消息重发、帧重复发送功能，以及 1553 总线控制器工作状态的指示等。

- **BIT15,BIT14**：此两位组合为 00 设置为 BC 模式，10 设置为 RT 模式,01 设置为 BM 模式，11 则保持为上电初始状态。
- **BIT13** ：该位为 0 则使用 RAM 的 A 区域，该位为 1 则使用 RAM 的 B 区域。
- **BIT8**：该位为 0 则 BC 发送完一帧数据就停止，若该位为 1 则帧重复发送直到启动/复位寄存器(SSR)中的 BIT0(RESET)、BIT5(STOP_ON_FRAME)，BIT6(STOP_ON_MESSAGE)中任意位为 1 才会停止。
- **BIT5**：该位为 0 则消息之间间隔时间固定为近似 8 到 11us,这位为 1 则消息之间

的间隔时间通过 BC 命令堆栈的第三个字指定,其指定范围为最小约 8us 到最大约 65535us，时间精度为 1us。当为 10Mbps 传输速度时则相应为以前的 0.2 倍。

- BIT4： 该位为 0，BC 对所有的消息都不重发， 该位为 1 且 BC 控制字的 BIT8 也为 1 那么该消息在返回状态字出错，响应时间超时则重发消息。
- BIT3： 在配置寄存器 1（CFG1）的 BIT4 为 1 的条件下，该位为 0 则该消息在返回状态字出错，响应时间超时则重发一次；该位为 1 则该消息在返回状态字出错，响应时间超时则重发消息两次。
- BIT2： 该位为只读位，含义同 BIT1。
- BIT1： 该位为只读位，在帧的第一个消息启动后到帧的最后一个消息结束一直被设为 1，在帧自动重复发送模式下则一直保持为 1 直到帧重复发送结束。
- BIT0： 该位在 BC 总线控制器每个消息开始传输时置为 1，在消息结束传输时清为 0。

表 24-7 S698PM 中 1553B 模块 RT 配置寄存器 1(RT- CFG1)

位（BIT）	描述 (DESCRIPTION)
15(MSB)	BC/RT/BM 模式设置（RT/BM*-BC*）
14	BC/RT/BM 模式设置（BM/RT*- BC*）
13-12	保留
11	动态总线控制接收*（DYNAMIC BUS CONTROL ACCEPTANCE*）
10	忙*（BUSY*）
9	服务请求*（SERVICE REQUEST*）
8	子系统标志*（SUBSYSTEM FLAG*）
7	RT 标志*（RTFLAG*）
6-1	保留
0	BC 消息忙指示（BC MESSAGE IN PROGRESS），该位只读

- BIT15,BIT14：此两位组合为 00 设置为 BC 模式，10 设置为 RT 模式,01 设置为 BM 模式,11 则保持为上电初始状态。
- BIT11： 该位为 0 则 RT 状态字寄存器的 BIT1 位为 1。
- BIT10： 该位为 0 则 RT 状态字寄存器的 BIT3 位为 1。
- BIT9： 该位为 0 则 RT 状态字寄存器的 BIT8 位为 1。
- BIT8： 该位为 0 则 RT 状态字寄存器的 BIT2 位为 1。
- BIT7： 该位为 0 则 RT 状态字寄存器的 BIT0 位为 1。
- BIT0： 该位在 BC 总线控制器每个消息开始传输时置为 1，在消息结束传输时清为 0。

表 24-8　S698PM 中 1553B 模块配置寄存器 2(CFG2)

位（BIT）	描述 （DESCRIPTION）
15-14	保留
13	忙查找表使能(BUSY LOOK UP TABLE ENABLE)
12-10	保留
9-7	时间标签最小精度设置（TIME TAG RESOLUTION2，1，0）
6	同步清除时标寄存器使能（CLEAR TIME TAG ON SYNCHRONIZE）
5	同步重载时标寄存器使能（LOAD TIME TAG ON SYNCHRONIZE）
4	中断状态自动清除（INTERRUPT STATUS AUTO CLEAR）
3	电平/脉冲中断(LEVEL/PULSE *INTERRUPT REQUEST)
2	清除服务请求(CLEAR SERVICE REQUEST)
1-0	保留（其中 BIT1 可进行读写，但没有实际意义）

- **BIT13**：该位为 1 则使能 RT 的忙位查找表。
- **BIT9，BIT8，BIT7**：000 则最小精度为 64us，001 则最小精度为 32us，010 则最小精度为 16us，011 则最小精度为 8us，100 则最小精度为 4us，101 则最小精度为 2us，110 则最小精度为 1us，111 则最小精度为 128us。当传输速率为 10Mbps 时则最小精度缩小 5 倍，也就是 000 则最小精度为 12.8us，001 则最小精度为 6.4us 依此类推。
- **BIT6**：该位为 1 则当 RT 收到同步方式字(方式代码为 00001)时 RT 的时间标签寄存器清 0。
- **BIT5**：该位为 1 则当 RT 收到同步方式字(方式代码为 10001)时 RT 的时间标签寄存器重新导入方式代码带的数据值。
- **BIT4**：该位为 1 则 CPU 读出中断状态寄存器的值后，中断状态字寄存器自动清 0。
- **BIT3**：该位为 0 产生脉冲中断信号，为 1 则产生电平中断信号，在该 IP 核中建议用电平中断。
- **BIT2**：该位为 1 则当 RT 收到方式字(方式代码为 10000)时，将自动将服务请求撤消。也就是将 RT 配置寄存器 1 的 BIT9 置 1， RT 状态寄存器的 BIT8 置 0。

表 24-9　S698PM 中 1553B 模块启动/复位寄存器（SRR）

位（BIT）	描述 (DESCRIPTION)
15-7	保留

位（BIT）	描述 （DESCRIPTION）
6	BC 停止消息发送（BC STOP-ON-MESSAGE）
5	BC 停止帧发送（BC STOP-ON-FRAME）
4	保留
3	时间标签寄存器清零（TIME TAG RESET）
2	中断状态寄存器清零（INTERRUPT RESET）
1	BC/BM 启动（BC/BM START）
0	系统软复位（RESET）

启动 / 复位寄存器(SSR)用作“命令”类型的功能，能实现软复位，BC 启动，中断状态寄存器复位，时间标签寄存器(TTR)复位，在帧自动重复发送时还可以停止帧的自动复重发送。

- **BIT6**： 置 1 则在一个正在发送的消息发送完毕后即停止 BC 工作，如果没有消息在处理则立即停止 BC 工作。
- **BIT5**： 置 1 则在一个正在发送的帧发送完毕后即停止 BC 工作，如果没有帧在处理则立即停止 BC 工作。
- **BIT3**： 置 1 清时间标签寄存器 0,1,2 均被清为 0。
- **BIT2**： 置 1 除了中断状态寄存器 的 BIT 7 位（RT 地址奇偶位错）不被清除其余位均被清除到 0。
- **BIT1**： 置 1 时在 BC 模式下启动帧传输;在 BM 模式下启动 BM 监视。
- **BIT0**： 置 1 则进行软复位，立即停止正在进行的处理。所有的寄存器和内部状态都被复位到上电时的初始态。

表 24-10 S698PM 中 1553B 模块 BC/RT 命令堆栈指针寄存器(STACK_ADDR)

位（BIT）	描述 （DESCRIPTION）
15-0	BC/RT/BM 命令堆栈指针

BC/RT/BM 命令堆栈寄存器主要寄存 BC/RT/BM 命令堆栈指针，当作 BC 时将消息数据读出后该指针递增 4；当作 RT 时 RT 接到新的消息时该指针递增 4； 当作 BM 时 BM 接到新的消息时该指针递增 4。

表 24-11 S698PM 中 1553B 模块 BM 初始命令堆栈指针寄存器（INIT_STACK_ADDR)

位（BIT）	描述 （DESCRIPTION）
15-0	BM 命令堆栈指针初始位置

BM 初始命令堆栈指针寄存器主要用于设置最初的命令堆栈指针,默认为 0X0000H 即从 RAM 的第一个单元开始保存接收到的数据。

表 24-12 S698PM 中 1553B 模块时间标签寄存器 0（TTR）

位（BIT）	描述 （DESCRIPTION）
15-0	时间计时标签位

时间标签寄存器 0 用于寄存 OBT1553 计时结果的 BIT15-BIT0 位。

表 24-13 S698PM 中 1553B 模块中断状态寄存器（INT_STA）

位（BIT）	描述 (DESCRIPTION)
15	中断请求（MASTER INTERRUPT）
14	保留
13	BC/RT 传输器超时（BC/RT TRANSMITTER TIMEOUT）
12	BC/RT 命令堆栈溢出/BM 命令堆栈半满溢出
11	BM 命令堆栈溢出（BM COMMAND STACK ROLLOVER）
10	BM 数据堆栈溢出（BM DATA STACK ROLLOVER）
9	保留
8	BC 重发（BC RETRY）/BM 数据半满溢出
7	RT 地址奇偶校验错误（RT ADDRESS PARITY ERROR）
6	时间标签寄存器溢出（TIME TAG ROLLOVER）
5	RT 循环缓冲溢出（RT CIRCULAR BUFFER ROLLOVER）
4	BC 消息结束（BC MSG EOM）
3	BC 帧结束（BC END OF FRAME）
1	BC 状态置位/RT 方式代码（BC STATUS SET/RT MODE CODE）
0	消息结束（END OF MESSAGE）

- **BIT15**： BIT14-BIT0 中的任意一位为 1 则该位为 1。
- **BIT13**： IP 核内置看门狗，当传输编码时间超过 668us 时该位置 1（即每次同步头加所有数据个数传输时间超过 668us 时则传输器超时）。
- **BIT12**： IP 核命令堆栈大小为 256 字，当在 BC/RT 类型下命令堆栈指针超出 256 时该位置 1；当在 BM 类型下则在命令堆栈半满时该位置 1。
- **BIT11**： BM 命令堆栈溢出时则该位为 1。
- **BIT10**： BM 数据堆栈溢出时则该位为 1。
- **BIT8**： 在 BC 类型下 BC 重发消息前将时该位置 1；如果在 BM 类型下数据堆栈半满溢出时该位置 1。

- **BIT7：** 在 RT 模式下那么如果 RTAD4-RTAD0 与 RTADP 共六位进行奇偶的结果是 0 就时该位置 1。
- **BIT6：** 当时标寄存器计时到 TTR2 溢出时该位置 1,也就是说这一位跟 TTR0、TTR1，TTR2 都有关系。
- **BIT5：**当作 RT 终端控制器时循环缓冲模式下超出设定值加 1 后，溢出时产生中断时该位置 1。(建议在使用时采用查询模式，如果采用中断模式，需要先将第一个地址数据取走，因为中断产生后会覆盖第一个数据)。
- **BIT4：** 当作在中断屏蔽寄存器相应位不使能的情况下如果为 BC 总线控制器时 BC 控制字中的 BIT4 位为 1 则消息结束时该位置 1。
- **BIT3：** BC 帧发送结束时该位置 1。
- **BIT2：** 格式错误时该位置 1，格式错误是指响应超时、奇偶校验错、编码错、计数错等。也就是说它包括了响应超时错和 BC 块状态字的格式错，所以中断状态寄存器的格式错置 1 了则有可能是 BC 块状态字的格式错位(BIT10)置 1 或 BC 块状态字的响应超时位（BIT9）置 1。
- **BIT1：** 当作 BC 时，BC 收到的状态字中有置 1 的位，则产生中断；当作 RT 时子地址查找表中方式字对应位为 1 时该位置 1。
- **BIT0：** 当 BC/RT 发送/接收消息结束时该位置 1。

表 24-14　S698PM 中 1553B 模块配置寄存器 3(CFG3)

<table>
<tr><th>位（BIT）</th><th colspan="3">描述 (DESCRIPTION)</th></tr>
<tr><td>15-13</td><td colspan="3">保留</td></tr>
<tr><td rowspan="5">12-11</td><td rowspan="5">BM 命令堆栈大小设置位 1,0</td><td>BIT12,BIT11</td><td>全满消息条数</td></tr>
<tr><td>00</td><td>20</td></tr>
<tr><td>01</td><td>40</td></tr>
<tr><td>10</td><td>80</td></tr>
<tr><td>11</td><td>160</td></tr>
<tr><td rowspan="6">10-8</td><td rowspan="6">BM 数据堆栈大小设置位 2-0</td><td>BIT10,BIT9,BIT8</td><td>全满字个数</td></tr>
<tr><td>000</td><td>3328</td></tr>
<tr><td>001</td><td>1664</td></tr>
<tr><td>010</td><td>832</td></tr>
<tr><td>011</td><td>416</td></tr>
<tr><td>100</td><td>208</td></tr>
<tr><td>101</td><td>624</td></tr>
</table>

位（BIT）	描述 (DESCRIPTION)		
		110	1248
		111	2496
7	非法命令查找表使能（ILLEGALIZATION DISABLED）		
4	接收非法命令屏蔽（ILLEGAL RX TRANSFER DISABLE）		
3	接收忙屏蔽(BUSY RX TRANSFER ENABLE)		
2-1	保留		
0	增强方式代码功能(ENHANCED MODE CODE HANDLING)		

- BIT12,BIT11： 这两位为 BM 命令堆栈大小设置位，“00”时表示收到 20 条消息时全满溢出，半满溢出则是收到 10 条消息；“01”时表示收到 40 条消息时全满溢出，半满溢出则是收到 20 条消息；“10”时表示收到 80 条消息时全满溢出，半满溢出则是收到 40 条消息；“11”时表示收到 160 条消息时全满溢出，半满溢出则是收到 80 条消息。
- BIT10-BIT8：这三位为 BM 数据堆栈大小设置位，当全满溢出时接收到的数据字个数如表中所示，半满溢出则少一半。如“000”时表示收到 3328 个数据字时全满溢出，半满溢出则是收到 1664 个数据字。
- BIT7： 该位为 1，使能 RT RAM 中的非法命令查找表。
- BIT4： 该位为 0，则在接收到非法命令时将接收到的数据写入 RAM 中，否则在接收到非法命令时不将接收到的数据写入 RAM 中。
- BIT3： 该位为 0，则在忙时将接收到的数据写入 RAM 中，否则在忙时不将接收到的数据写入 RAM 中。
- BIT0： 该位为 1，使能 RT RAM 中的方式代码查找表。

表 24-15 S698PM 中 1553B 模块配置寄存器 4(CFG4)

位（BIT）	描述 (DESCRIPTION)
15-9	保留
8	第一次重发通道选择（FIRST RETRY ALT/SAME* BUS）
7	第二次重发通道选择（SECOND RETRY ALT/SAME* BUS）
6-4	保留
3	RT 地址配置使能(LATCH RT ADDRESS WITH CFG REG #5)
2-0	保留

- BIT8： 置 0 则在最初发送的消息失败后第一次重发的消息与最初发送的消息在同一通道上传输。置 1 则在最初发送的消息失败后第一次重发的消息不再最初发送的消息的通道上传输。

- **BIT7：** 置 0 则在第一次重发的消息失败后第二次重发的消息与第一次重发的消息在同一通道上传输。置 1 则在第一次重发的消息失败后第二次重发的消息不再第一次重发的消息的通道上传输。此位只有在配置寄存器 1（CFG1）的 BIT3 位为 1 才有效。
- **BIT3：** 当该位为 1 时配置寄存器 5 的 BIT5-BIT0 才可写。

表 24-16 S698PM 中 1553B 模块配置寄存器 5(CFG5)

位（BIT）	描述（DESCRIPTION）
15-11	保留
10-9	超时响应时间设置(RESPONSE TIMEOUT SELECT1,0)
8-6	保留（其中 BIT6 可进行读写，但没有实际意义）
5-1	RT 地址位 4-0(RT ADDRESS4-ADDRESS0)
0	RT 地址奇偶位(RT ADDRESS PARITY)

- **BIT10,BIT9：** 超时响应时间设置,如为 00 是 19us，01 是 23us，10 是 51us，11 是 130us。当为 10Mbps 的传输速度时则均为 1M 的 0.2 倍，如 00 是 3.8us。
- **BIT5-BIT1：** 配置 RT 地址。
- **BIT0：** 配置 RT 校验位，该位与 BIT5-BIT1 的异或结果要为 1。

表 24-17 S698PM 中 1553B 模块 BM 数据堆栈指针寄存器（BM_STACK_ADDR）

位（BIT）	描述（DESCRIPTION）
15-0	BM 数据堆栈指针

BM 数据堆栈寄存器主要寄存 BM 数据堆栈指针，BM 接到新的数据时该指针递增 1。

表 24-18 S698PM 中 1553B 模块 1Mbps/10Mbps 配置寄存器（1M_10M_SEL）

位（BIT）	描述（DESCRIPTION）
15-1	保留
0	1Mbps/10Mbps 设置位

- **BIT0：** 该位为 0 选择的是 1Mbps 的传输率，该位为 1 选择的是 10Mbps 的传输率。

表 24-19 S698PM 中 1553B 模块 BC 帧时间/RT 上一命令字寄存器（LAST_CMD）

位（BIT）	描述（DESCRIPTION）
15-0	BC 帧时间/RT 上一命令字寄存器

该寄存器用作 BC 帧时间设置寄存器时为可写，RT 上一命令字时为可读。

表 24-20　S698PM 中 1553B 模块 RT 状态字寄存器(RT_STA)

位（BIT）	描述 (DESCRIPTION)
15-11	均为 0
10	消息错误(MESSAGE ERROR)
9	测试手段(INSTRUMENTATION)
8	服务请求(SERVICE REQUEST)
7-5	保留
4	广播指令接收(BROADCAST COMMAND RECEIVED)
3	忙(BUSY)
2	子系统标志(SYBSYSTEM FLAG)
1	动态总线控制接收(DYNAMIC BUS CONTROL ACCEPT)
0	终端标志(TERMINAL FLAG)

- BIT10：如该位为 1 则表明有消息错误。消息错误是指响应超时、奇偶校验错、编码错、计数错，非法命令等。
- BIT9：该位在 OBT1553B IP 中一直为 0。
- BIT8：如该位为 1 则表明 RT 有服务请求。
- BIT4：如该位为 1 则表明通讯方式是广播通讯方式。
- BIT3：如该位为 1 则表明系统正忙。
- BIT2：子系统标志位。
- BIT1：动态总线控制接收标志位。
- BIT0：终端标志位。

表 24-21　S698PM 中 1553B 模块 RT BIT 字寄存器(RT_BIT_REG)

位（BIT）	描述 (DESCRIPTION)
15	传输器超时（TRANSMITTER TIMEOUT）
14-12	保留
11	通道 B 发送器关闭（TRANSMITTER SHUTDOWN B）
10	通道 A 发送器关闭（TRANSMITTER SHUTDOWN A）
9	终端标志禁止(TERMINAL FLAG INHIBITED)
8	总线传输通道 B/A*(CHANNEL B/A*)
7	保留
6	字计数错（WORD COUNT ERROR）

位（BIT）	描述 (DESCRIPTION)
5	错误数据同步头（INCORRECT SYNC RECEIVED）
4	奇偶/位计数错(PARITY/BIT COUNT ERROR)
3	RT-RT 同步头/地址错(RT-RT SYNC/ADDRESS ERROR)
2	RT-RT 响应超时（RT-RT NO RESPONSE ERROR)
1	RT-RT 第二个命令字错(RT-RT 2ND COMMAND WORD ERROR)
0	命令字内容错(COMMAND WORD CONTENTS ERROR)

- BIT15：当每次同步头加所有数据个数传输时间超过 668us 时则传输器超时，此时该位置 1。
- BIT11：当接收到关闭通道方式代码时如果通道 B 发送器被关闭则该位置 1。
- BIT10：当接收到关闭通道方式代码时如果通道 A 发送器关闭则该位置 1。
- BIT9：当接收到终端标志禁止方式代码时则该位置 1。
- BIT8：消息传输在 A 通道进行为 0，消息传输在 B 通道进行为 1。
- BIT6：RT 接收到的字计数错则该位置 1。
- BIT5：RT 接收到的数据同步头出错时该位置 1。
- BIT4：RT 接收到的数据有奇偶校验错或位计数错则该位置 1。
- BIT3：RT-RT 同步头/地址错则该位置 1，包括了第二个命令字同步头错，RT 地址错。
- BIT2：RT-RT 通讯时响应超时则该位置 1。
- BIT1：RT-RT 通讯时第二个命令字错则该位置 1,包括了第二个命令字的位计数错、奇偶校验错。
- BIT0：RT-RT 第二个命令字内容出错则该位置 1，它指的是 RT 地址错。

表 24-22　S698PM 中 1553B 模块时间标签寄存器 1（TTR1）

位（BIT）	描述 （DESCRIPTION）
15-0	时间计时标签位

时间标签寄存器用于寄存 OBT1553 计时结果的 BIT31-BIT16 位。

表 24-23　S698PM 中 1553B 模块 BC 控制字（BC_CTRL）

位（BIT）	描述 (DESCRIPTION)
15	保留
14	消息格式错误屏蔽（M.E.MASK）
13	服务请求位屏蔽(SERVICE REQUEST BIT MASK)

位（BIT）	描述 (DESCRIPTION)
12	忙位屏蔽(SUBSYS BUSY BIT MASK)
11	子系统标志位屏蔽(SUBSYS FLAG BIT MASK)
10	终端标志位屏蔽(TERMINAL FLAG BIT MASK)
9	保留
8	重试使能(RETRY ENABLED)
7	总线通道选择 A/B*(bus channel a/b*)
6	保留
5	保留
4	EOM 中断使能(EOM INTERRUPT ENABLE)
3	保留
2	模式命令(MODE CODE FORMAT)
1	广播命令(BROADCAST FORMAT)
0	RT2RT(RT-TO-RT FORMAT)

- **BIT14-BIT10：** 这 5 位均是为 1 则屏蔽相应的 RT 状态字位，如果 RT 状态字位某位被屏蔽则该位不影响中断状态寄存器的（INT_STA）的 BIT1 位和 BC 块状态字的 BIT7 位。
- **BIT8：** 置 1 且配置寄存器 1（CFG1）的 bit4 为 1 则在响应超时和格式错误时消息重发。
- **BIT7：** 置 1 消息传输通过 A 通道，置 0 消息传输通过 B 通道。
- **BIT4：** 该位置 1 且中断屏蔽寄存器（IMR）的 BIT4 也置 1 那么则消息结束中断状态寄存器(INT_STA)的 BIT4 为 1。
- **BIT2,BIT1,BIT0：** 置为 000 且命令字的 T/R*位是 0 则是 BC-> RT 通讯方式，置为 000 且命令字的 T/R*位是 1 则是 RT->BC 的通讯方式；置为 001 是 RT-RT 通讯方式；置为 010 是 Broadcast 通讯方式；置为 100 是 Mode Code 通讯方式； 置为 110 是 Broadcast Mode Code 通讯方式。 其它两种组合没用到。

表 24-24 S698PM 中 1553B 模块 BC 命令字(BC_CMD)

位(BIT)	描述 (DESCRIPTION)
15-11	远程终端地址（REMOTE TERMINAL ADDRESS）
10	发送/接收* (T/R*)
9-5	子地址/方式(SUBADDRESS/MODE)
4-0	数据字计数/方式代码(DATA WORD COUNT/MODE CODE)

表 24-25　S698PM 中 1553B 模块 BC 块状态字(BC_BLK)

位（BIT）	描述 （DESCRIPTION）
15	消息传输结束标志位（EOM）
14	保留
13	传输通道指示(CHANNEL B/A*)
12	出错标志(ERROR FLAG)
11	状态设置（STATUS SET）
10	格式错误(FORMAT ERROR)
9	响应超时(NO RESPONSE TIMEOUT)
8	保留
7	屏蔽状态设置（MASKED STATUS SET）
6-5	重发消息次数(RETRY COUNT 1,0)
4	数据传输正常（GOOD DATA BLOCK TRANSFER）
3	错误的状态地址（WRONG STATUS ADDRESS）
2	字计数错误（WORD COUNT ERROR）
1	同步头出错(INCORRECT SYNC TYPE)
0	无效字（INVALID WORD）

该字主要用来说明消息发送/接收后的状态。该存储器字如果有重发消息，只表明的是最后一个消息的状态。

- BIT15：　消息转输结束该位置 1。
- BIT13：　消息传输在 A 通道进行为 0，消息传输在 B 通道进行为 1。
- BIT12：　有格式错误或响应超时产生该位为 1。
- BIT11：　接受的 RT 返回字中 BIT10-BIT0 中只要有一位为 1 则该位为 1。
- BIT10：　格式错误包括字计数个数错、同步头错、奇偶校验错，如果其中任意一位为 1 则该位为 1。
- BIT9：　RT 响应超时则该位置 1。
- BIT7：　在 BC 控制字中如果 BIT14-BIT10 中任意一位为 0（不屏蔽），则该位对应的 RT 状态字为 1 则该位置 1。
- BIT6,5：　记录 BC 重发消息的个数，00 表示没有重发，01 表示重发了一次，11 表示重发了两次。

- **BIT4：** 当 RT2BC,RT2RT,或者传输带数据方式代码，没有消息格式错则为 1，有消息格式错为 0；当 BC2RT，带数据方式代码收和不带数据方式代码，为 0。
- **BIT3：** RT 返回的状态字中 RT 地址有错则该位为 1。
- **BIT2：** 当 RT2BC,RT2RT,或者传输带数据方式代码，字计数有错则为 1，没错为 0；当 BC2RT，带数据方式代码收和不带数据方式代码，为 0。
- **BIT1：** 同步头出错该位置 1。
- **BIT0：** 当数据传输中有奇偶错、位计数错和同步头错则该位置 1。

表 24-26 S698PM 中 1553B 模块 RT 子地址控制字(RT_SUB_CTRL)

位（BIT）	描述 (DESCRIPTION)
15	RX：接收双缓存使能（DOUBLE BUFFER ENABLE）
14	TX：发送消息结束中断使能（EOM INT）
13	TX：发送循环缓存溢出使能(CIRC BUF INT)
12-10	TX：发送存储器管理设置（MEMORY MANAGEMENT2,1,0）
9	RX：接收消息结束中断使能（EOM INT）
8	RX：接收循环缓存溢出使能(CIRC BUF INT)
7-5	RX：接收存储器管理设置（MEMORY MANAGEMENT2,1,0）
4	BCST：广播消息结束中断使能（EOM INT）
3	BCST：广播循环缓存溢 256 出使能(CIRC BUF INT)
2-0	BCST：广播存储器管理设置（MEMORY MANAGEMENT2,1,0）

- **BIT15：** 该位为 1 则选择 RT 为双缓冲存储器管理方式，为 0 则为单缓冲或循环缓冲存储器管理方式。
- **BIT14：** 置 1 发送消息结束中断使能。
- **BIT13：** 置 1 发送循环缓存溢出使能。
- **BIT12-BIT10：** 发送存储器管理设置,000 是单消息模式，001 是在循环缓存中大小为 128 字，010 是 256 字依此类推。(循环缓冲模式下数据块指针只有在溢出时回到初始值)
- **BIT9：** 置 1 接收消息结束中断使能。
- **BIT8：** 置 1 接收循环缓存溢出使能。
- **BIT7-BIT5：** 接收存储器管理设置，000 是单消息模式，001 是在循环缓存中大小为 128 字，010 是 256 字依此类推。循环缓冲模式下数据块指针只有在溢出时回到初始值）

- **BIT4：** 置 1 广播消息结束中断使能。
- **BIT3：** 置 1 广播循环缓存溢出使能。
- **BIT2-BIT0：** 广播存储器管理设置，000 是单消息模式，001 是在循环缓存中大小为 128 字，010 是 256 字依此类推。循环缓冲模式下数据块指针只有在溢出时回到初始值）

表 24-27　S698PM 中 1553B 模块 RT 块状态字(RT_BLK)

位（BIT）	描述 (DESCRIPTION)
15	消息传输结束标志（EOM）
14	消息传输开始标志（SOM）
13	传输通道指示（CHANNEL B/A*）
12	出错标志(ERROR FLAG)
11	RT-RT 通讯方式标志(RT-RT FORMAT)
10	格式错误标志(FORMAT ERROR)
9	响应超时标志(NO RESPONSE TIMEOUT)
8	保留
7	保留
6	非法命令字(ILLEGAL COMMAND WORD)
5	字计数个数错(WORD COUNT ERROR)
4	数据同步头出错(INCORRECT DATA SYNC)
3	无效字（INVALID WORD）
2	RT-RT 同步头/地址错（RT-RT SYNCH/ADDRESS ERROR）
1	RT-RT 第二个命令字错（RT-RT 2ND COMMAND ERROR）
0	命令字内容错（COMMAND WORD CONTENTS ERROR）

- **BIT15：** 消息传输结束该位置 1。
- **BIT14：** 消息传输开始该位置 1。
- **BIT13：** 消息传输在 A 通道进行为 0，消息传输在 B 通道进行为 1。
- **BIT12：** 有格式错误或响应超时产生该位为 1。
- **BIT11：** 在 RT-RT 通讯时接收 RT 时被设置为 1，发送 RT 时与该位无关。
- **BIT10：** 格式错误包括表中的 BIT6-BIT0 中任何一种错,如果 BIT6-BIT0 中出现其中任何一种错误则该位为 1。
- **BIT9：** RT-RT 通讯时响应超时则该位置 1。
- **BIT6：** RT 接收到非法命令字则该位置 1。
- **BIT5：** RT 接收到的字计数个数错时该位置 1。

- **BIT4：** RT 接收到的数据同步头出错时该位置 1。
- **BIT3：** 当数据传输中有奇偶错、位计数错则该位置 1。
- **BIT2：** RT-RT 同步头/地址错则该位置 1，包括了第二个命令字同步头错，RT 地址错。
- **BIT1：** RT-RT 通讯时第二个命令字错则该位置 1，包括了第二个命令字的位计数错、奇偶校验错。
- **BIT0：** RT-RT 第二个命令字内容出错则该位置 1，它指的是 RT 地址错。

表 24-28 S698PM 中 1553B 模块 BM 块状态字(BM_BLK)

位（BIT）	描述 (DESCRIPTION)
15	消息传输结束标志（EOM）
14	消息传输开始标志（SOM）
13	传输通道指示（CHANNEL B/A*）
12	出错标志(ERROR FLAG)
11	RT-RT 通讯方式标志(RT-RT FORMAT)
10	格式错误标志(FORMAT ERROR)
9	响应超时标志(NO RESPONSE TIMEOUT)
8	数据没有错（GOOD DATA BLOCK TRANSFER）
7	保留
6	保留
5	字计数个数错(WORD COUNT ERROR)
4	数据同步头出错(INCORRECT DATA SYNC)
3	无效字（INVALID WORD）
2	RT-RT 同步头/地址错（RT-RT SYNCH/ADDRESS ERROR）
1	RT-RT 第二个命令字错（RT-RT 2ND COMMAND ERROR）
0	命令字内容错（COMMAND WORD CONTENTS ERROR）

- **BIT15：** 消息传输结束该位置 1。
- **BIT14：** 消息传输开始该位置 1。
- **BIT13：** 消息传输在 A 通道进行为 0，消息传输在 B 通道进行为 1。
- **BIT12：** 有格式错误或响应超时产生该位为 1。
- **BIT11：** 在 RT-RT 通讯时接收 RT 时被设置为 1，发送 RT 时与该位无关。
- **BIT10：** 格式错误包括表中的 BIT5-BIT0 中任何一种错,如果 BIT5-BIT0 中出现其

中任何一种错误则该位为 1。

- BIT9： RT-RT 通讯时响应超时则该位置 1。
- BIT8： 接收到的数据字中没有格式错则该位置 1，有格式错则该位置 0，如是不带数据的方式命令字则该位一直为 0。
- BIT5： RT 接收到的字计数个数错时该位置 1。
- BIT4： RT 接收到的数据同步头出错时该位置 1。
- BIT3： 当数据传输中有奇偶错、位计数错则该位置 1。
- BIT2： RT-RT 同步头/地址错则该位置 1，包括了第二个命令字同步头错，RT 地址错。
- BIT1： RT-RT 通讯时第二个命令字错则该位置 1，包括了第二个命令字的位计数错、奇偶校验错。
- BIT0： RT-RT 第二个命令字内容出错则该位置 1，它指的是 RT 地址错。

24.6 模块工作方式描述

24.6.1 BC 总线控制器工作方式

24.6.1.1 BC 存储器地址分配

表 24-29 S698PM 中 1553B 模块 BC 存储器地址分配(4K 双口 RAM)

地址（HEX）	描述
0000-00FF	堆栈 A（STACK A）
0100	堆栈指针 A (STACK POINTER A)
0101	消息个数设置 A (MESSAGE COUNT A)
0102-0103	保留
0104	堆栈指针 B (STACK POINTER B)
0105	消息个数设置 B (MESSAGE COUNT B)
0106-0107	保留
0108-012D	消息块 0(MESSAGE BLOCK0)
012E-0153	消息块 1(MESSAGE BLOCK1)
…	…
0ED6-0EFB	消息块 93(MESSAGE BLOCK 93)

地址（HEX）	描述
…	…
0F00-0FFF	堆栈 B（STACK B）

24.6.1.2 BC 存储器管理

BC 存储器管理如图 24-2 所示。该图说明了命令堆栈区包含四个描述符，即块状态字，时间标签字，消息间隔时间字和消息块地址字。块状态字包括消息状态、完成、有效性及总线通道信息；时间标签字寄存了当前消息结束时时间标签寄存器的值；消息间隔时间字存储的是设定的消息间隔时间；消息块地址字寄存的是指向消息块第一个字的地址。程序通过 RAM 的 0X0100H 地址取命令堆栈指针，0X0101 地址取消息个数值。

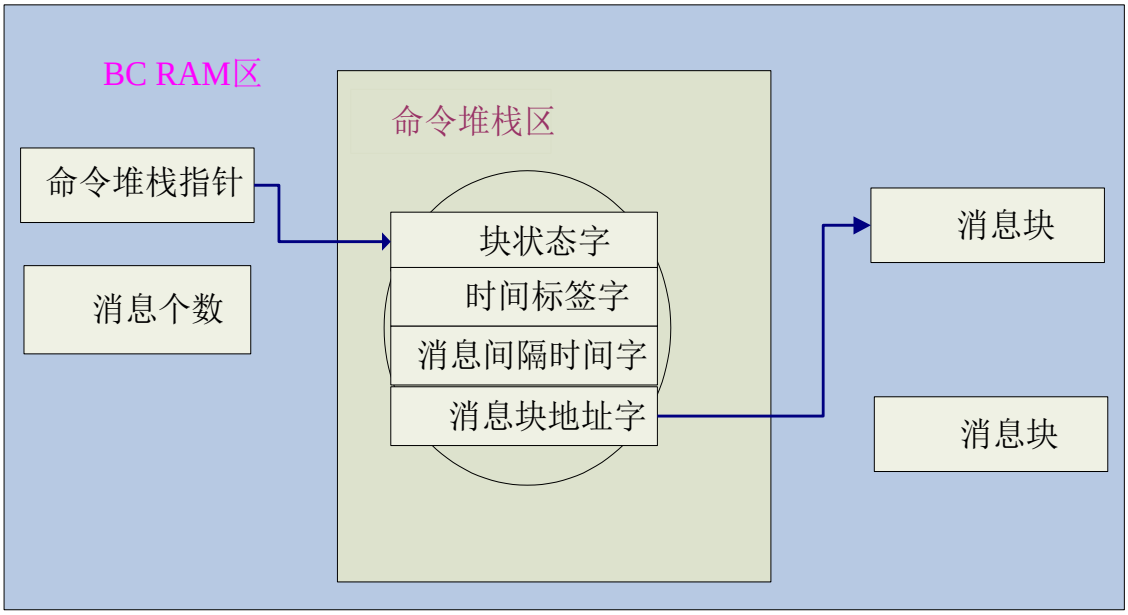


图 24-2　S698PM 中 1553B 模块 BC 存储器管理

24.6.1.3 BC 消息格式

表 24-30　S698PM 中 1553B 模块 BC 消息格式

BC 到 RT 的传输	RT 到 BC 的传输	RT 到 RT 的传输	不带字的方式命令
控制字	控制字	控制字	控制字
接收命令字	发送命令字	接收命令字	方式命令字

数据字 1	发送命令字 的回应字	发送命令字	方式回应字
数据字 2	状态字	发送命令字的回应字	状态字
…	数据字 1	发送终端的状态字	
	数据字 2	数据字 1	
最后一个数据字	…	…	
最后数据字的回应字		最后一个数据字	
状态字	最后一个数据字	接收终端的状态字	

表 24-31　S698PM 中 1553B 模块 BC 消息格式（接上表）

带字的发送 方式命令	带字的接收 方式命令	广播命令	不带字的广播 方式命令	带字的广播 方式命令
控制字	控制字	控制字	控制字	控制字
发送方式命令字	接收方式命令字	广播命令字	广播方式命令字	广播方式命令字
方式命令回应字	数据字	数据字 1	广播方式命令字的 回应字	数据字
接收状态字	接收命令字的回应 字	数据字 2 …		最后数据字的回 应字
数据字	接收状态字	最后的数据回应字		
*注：　不支持RT到RT的广播传输模式（RT-to-RTs　Broadcast Transfer）。				

24.6.2 RT 远程终端工作方式

24.6.2.1 RT 存储器地址分配

表 24-32　S698PM 中 1553B 模块 RT 存储器地址分配(4K 双口 RAM)

地址（HEX）	描述
0000-00FF	堆栈 (STACK)
0100	堆栈指针(STACK POINTER)
0101-0107	保留

地址（HEX）	描述
0108-010F	方式代码选择中断表（MODE CODE SELECTIVE INTERRUPT TABLE）
0110-013F	方式代码数据(MODE CODE DATA)
0140-01BF	查找表(LOOKUP TABLE)
01C0-023F	保留
0240-0247	忙位查找表（BUSY BIT LOOKUP TABLE）
0248-025F	（没有使用）
0260-027F	数据块 0 (DATA BLOCK 0)
0280-02FF	数据块 1-4 (DATA BLOCK 1-4)
0300-03FF	非法命令表 (CINNABD UKKEGAKUZUBG TABKE)
0400-041F	数据块 5 (DATA BLOCK 5)
0420-043F	数据块 6 (DATA BLOCK 6)
…	…
0FE0-0FFF	数据块 100 (DATA BLOCK 100)

24.6.2.2 RT 存储器查找表

表 24-33 S698PM 中 1553B 模块 RT 存储器查找表(LOOK_UP TABLE)

地址（HEX）	对应子地址	描述
0140 … 015F	Rx_SA0 … Rx _SA31	接收查找表
0160 … 017F	Tx_SA0 … Tx _SA31	发送查找表
0180 … 19F	Bcst_SA0 … Bcst _SA31	广播查找表
01A0 … 01BF	SACW_SA0 … SACW_SA31	子地址控制字查找表

24.6.2.3 RT 存储器非法命令表地址分配

表 24-34 S698PM 中 1553B 模块 RT 存储器非法命令地址分配表(COMMAND ILLEGALIZING TABLE)

位（BIT）	描述 (DESCRIPTION)

位（BIT）	描述 (DESCRIPTION)
15-10	均为逻辑 0
9-8	均为逻辑 1
7	广播*/本身地址（BROADCAST*/OWN ADDRESS）
6	发送/接收*（T/R*）
5-1	子地址 4－子地址 0（SA4-SA0）
0	子计数 4/方式字 4（WC4/MC4）

RT 非法命令表，在 RT 中占用 0x300～0x3FF 的地址空间。当 RT 接收到命令字后，如果使能（为 1）非法化命令检测。通过广播/RT 地址、T/R*、SA4～SA0 和 WC4/MC4 共 8 位在 0x300～0x3FF 中，查找 WC3～WC0（MC3~MC0）收到的给 RT 某一子地址、某些个数的命令字是否非法。

24.6.2.4 RT 存储器忙位查找表地址分配

表 24-35　S698PM 中 1553B 模块 RT 存储器忙位查找表地址分配表(BUSY BIT LOOKUP TABLE)

位（BIT）	描述 (DESCRIPTION)
15-10	均为逻辑 0
9	逻辑 1
8	逻辑 0
7	逻辑 0
6	逻辑 1
5-3	均为逻辑 0
2	广播/本身地址*（BROADCAST/OWN ADDRESS*）
1	发送/接收*（T/R*）
0	子地址 4（SA4）

RT 忙位查找表，在 RT 中占用 0x240～0x247 的地址空间。当 RT 接收到命令字后，如果使能（为 1）忙位查找表检测。通过广播/RT 地址、T/R*、SA4 共 3 位在 0x240～0x247 中，查找 SA3～SA0 收到的给 RT 某一子地址的命令字是否忙。

24.6.2.5 RT 存储器方式代码选择中断表

表 24-36　S698PM 中 1553B 模块 RT 存储器方式代码选择中断表

地址（HEX）	描述 (DESCRIPTION)

地址（HEX）	描述 (DESCRIPTION)
0108	接收方式命令 0-15(undefined)
0109	发送方式命令 16-31(WITH DATA)
010A	发送方式命令 0-15(WITHOUT DATA)
010B	发送方式命令 16-31(WITH DATA)
010C	广播接收方式命令 0-15(undefined)
010D	广播接收方式命令 16-31(WITH DATA)
010E	广播发送方式命令 0-15(WITHOUT DATA)
010F	广播发送方式命令 16-31(UNDEFINED)

24.6.2.6 RT 存储器方式代码选择中断地址分配

表 24-37　S698PM 中 1553B 模块 RT 存储器方式代码选择中断表地址分配表

位（BIT）	描述 (DESCRIPTION)
15-9	均为逻辑 0
8	逻辑 1
7	逻辑 0
6	逻辑 0
5	逻辑 0
4	逻辑 0
3	逻辑 1
2	广播/本身地址*（BROADCAST/OWN ADDRESS*）
1	发送/接收*（T/R*）
0	方式代码 4（MC4）

RT 方式代码选择中断表，在 RT 中占用 0x108～0x10F 的地址空间。当 RT 接收到命令字后，如果使能（为 1）式代码选择中断表检测。通过广播/RT 地址、T/R*、MC4 共 3 位在 0x108～0x10F 中，查找 MC3～MC0 收到的给 RT 某一方式代码是否有中断。

24.6.2.7 RT 方式代码数据表

表 24-38　S698PM 中 1553B 模块 RT 存储器方式代码数据表

地址（HEX）	方式代码（MODE CODE）
0110	没有定义

地址（HEX）	方式代码（MODE CODE）
0111	同步带数据
0112-11F	没有定义
0120	发送矢量字
0121-13F	没有定义

24.6.2.8 已实现的方式代码

表 24-39　S698PM 中 1553B 模块已实现的方式代码

发/收*	方式代码	功能	是否带数据字	是否允许广播指令
1	00000	动态总线控制	否	否
1	00001	同步	否	是
1	00010	发送上一状态字	否	否
1	00011	启动自测试[1]	否	是
1	00100	发送器关闭	否	是
1	00101	取消发送器关闭	否	是
1	00110	禁止终端标志位	否	是
1	00111	取消禁止终端标志位	否	是
1	01000	复位远程终端[2]	否	是
1	01001	备用	否	待定
…	…	…	…	…
1	01111	备用	否	待定
1	10000	发送矢量字	是	否
0	10001	同步[3]	是	是
1	10010	发送上一指令字	是	否
1	10011	发送自检测字	是	否

备注:

【1】启动自测试执行的操作是:

当 RT 接受到该命令后,软件进行相应的测试， 并判断 RT BIT 字如果没有异常则认为自测试 OK。

【2】复位远程终端执行的操作是：

1） 对 RT 状态字将清 BIT10,BIT4 这两位；

2） 对 RT 位字寄存器将清 BIT15，BIT11，BIT10，BIT9；

3） 如果使用了方式命令 00110(禁止终端标志位)或 00100（发送器关闭）哪么在执行完复位远程终端这一方式命令后，就将方式命令 00110,00100 的结果予以清除；

4） 在 RT 循环缓冲模式下，RT 所有子地址的广播接收、发送和接收的循环缓冲计数器清为 0，即 RAM 区中的命令堆栈区的数据块指针恢复到初始值。

【3】带数据的同步执行的操作是：

TAG REG0,接收最新的重载值，TAG REG1 TAG REG2 被清为 0。

【4】不带数据的同步执行的操作是：

TAG REG0，TAG REG1 TAG REG2 均被清为 0。

【5】当接收到的方式字是发送上一命令字或发送状态字时 RT 的状态字不会被改变。

【6】当接收到的方式字是发送自检测字时 RT 的位状态字不会被改变。

24.6.2.9 RT 单缓冲存储器管理

RT 单缓冲存储器管理如图 24-3 所示。该图说明了命令堆栈区包含四个描述符，即块状态字，时间标签字，数据块指针字和接收命令字。块状态字包括消息状态、完成、有效性及总线通道信息；时间标签字寄存了当前消息结束时时间标签寄存器的值；数据块指针字存储指向数据块的起始地址；接收命令字存储 RT 接收到的命令字。程序通过 RAM 的 0X0100H 地址取命令堆栈指针。

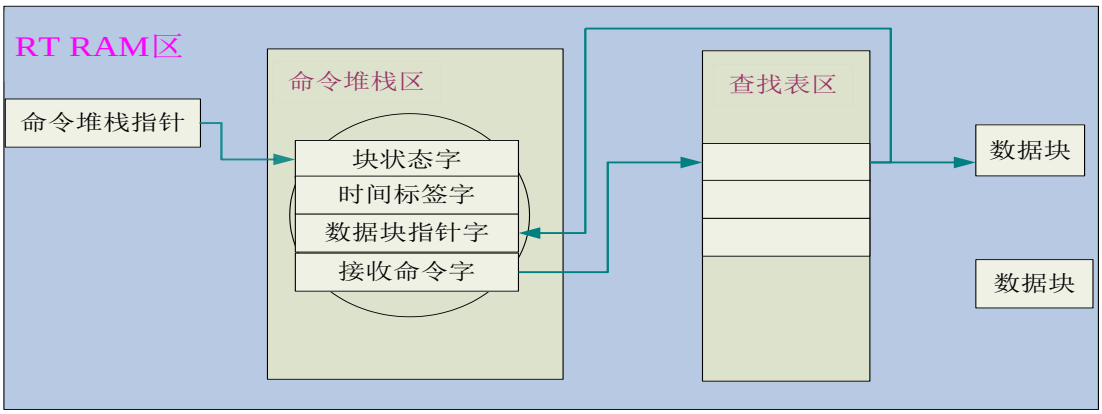


图 24-3 S698PM 中 1553B 模块 RT 单缓冲存储器管理

24.6.2.10 RT 循环缓冲存储器管理

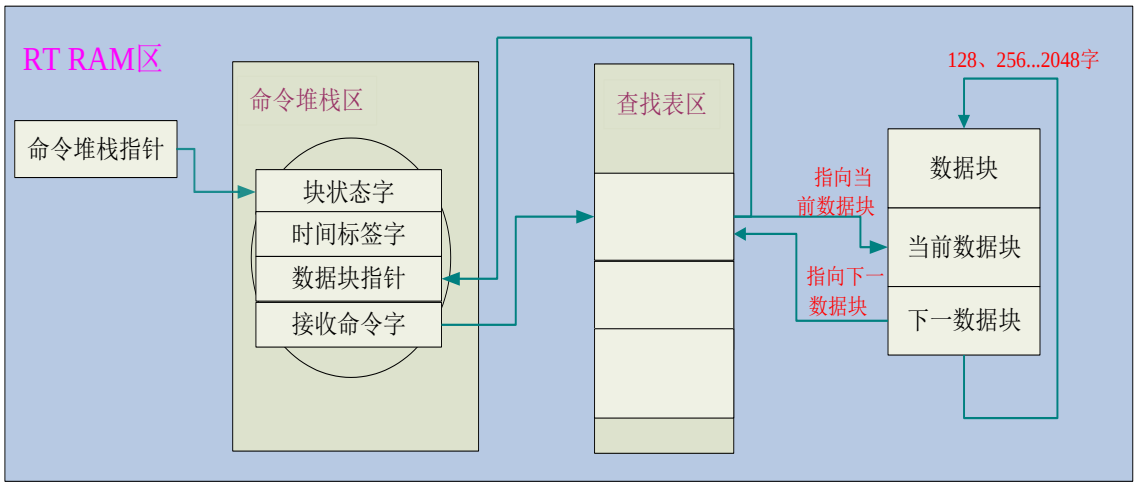


图 24-4 S698PM 中 1553B 模块 RT 循环缓冲存储器管理

注： 循环缓冲模式下，不支持写堆栈指针清 0 操作，只有在溢出时堆栈指针才清 0。溢出后在下一个数据到来产生中断，建议用查询模式，不用中断模式。

24.6.2.11 RT 双缓冲存储器管理

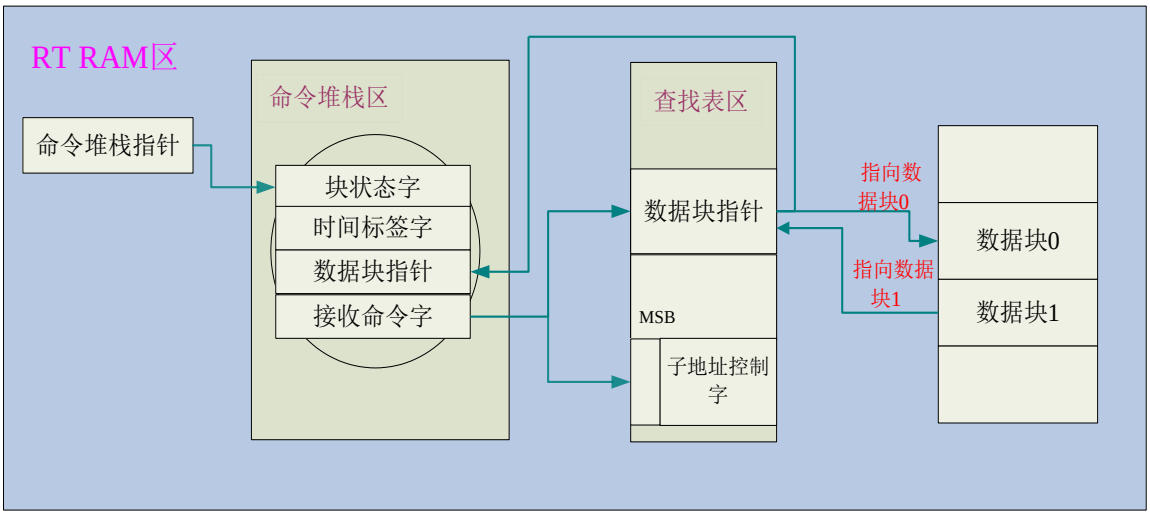


图 24-5 S698PM 中 1553B 模块 RT 双缓冲存储器管理

24.6.3 BM 总线监视器工作方式

24.6.3.1 BM 存储器地址分配

表 24-40 S698PM 中 1553B 模块 BM 存储器地址分配

地址（HEX）	描述
0000-027F	命令堆栈区域（STACK AREA）

地址（HEX）	描述
0280-02FF	子地址选择设置区域(SUBADDRESS SELECT AREA)
0300-0FFF	数据块区域(DATA BLOCK AREA)

24.6.3.2 BM 存储器管理

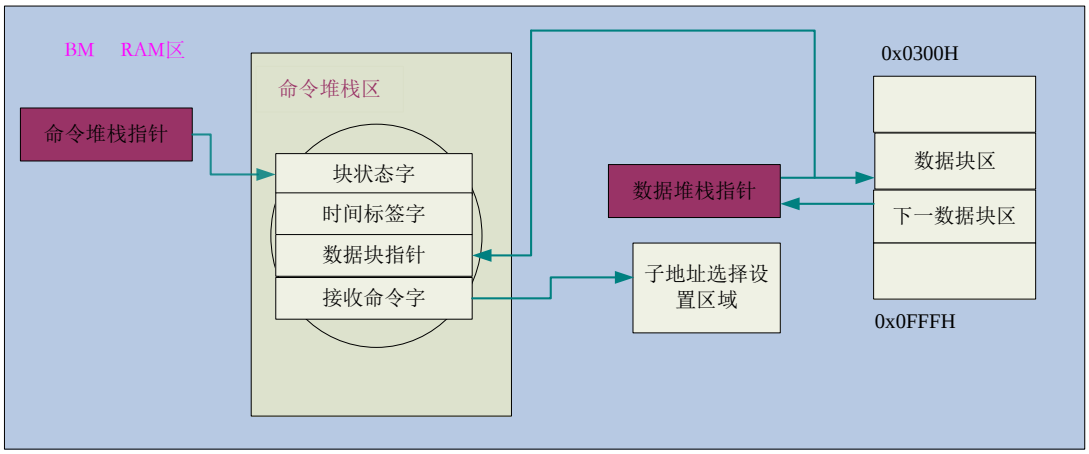


图 24-6 S698PM 中 1553B 模块 BM 存储器管理

24.6.3.3 BM 子地址选择设置区地址分配

表 24-41 S698PM 中 1553B 模块 BM 子地址分配表

位（BIT）	描述 (DESCRIPTION)
15-11	逻辑 0
10	逻辑 0
9	逻辑 1
8	逻辑 0
7	逻辑 1
6	RT 地址 4（RT ADDRESS 4）
5	RT 地址 3（RT ADDRESS 3）
4	RT 地址 2（RT ADDRESS 2）
3	RT 地址 1（RT ADDRESS 1）
2	RT 地址 0（RT ADDRESS 0）
1	发送/接收*（T/R*）
0	子地址 4（SA4）

BM 子地址选择设置区地址分配表，在 BM 中占用 0x280～0x2FF 的地址空间。当 BM 接收到命令字后，如果使能（为 1）子地址选择设置检测。通过 RT 地址、T/R*、SA4 共 7 位在 0x280～0x2FF 中，查找 SA3～SA0 收到的给 BM 某一子地址

的内容接收，否则不做接收。

24.7 时序图

发送波形如图 24-7 所示，接收波形如图 24-8 所示，数据频率编码关系如图 24-9 所示：

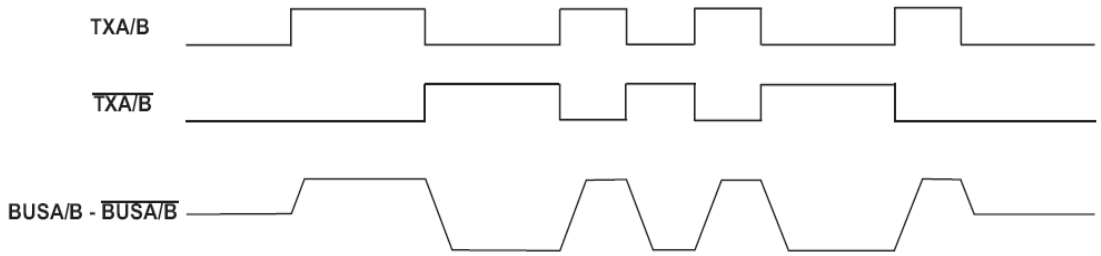


图 24-7 S698PM 中 1553B 模块发送波形

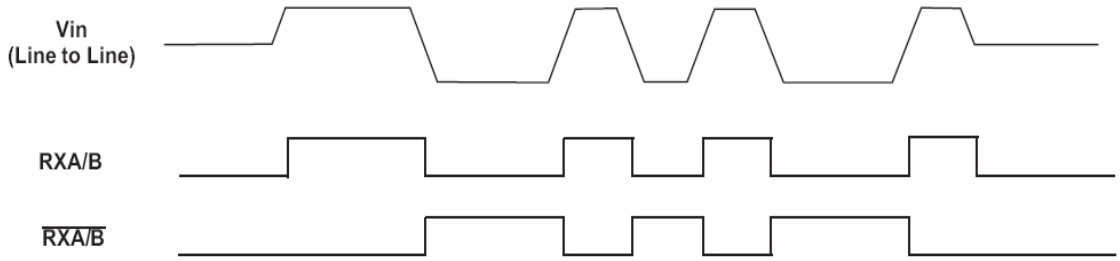


图 24-8 S698PM 中 1553B 模块接收波形

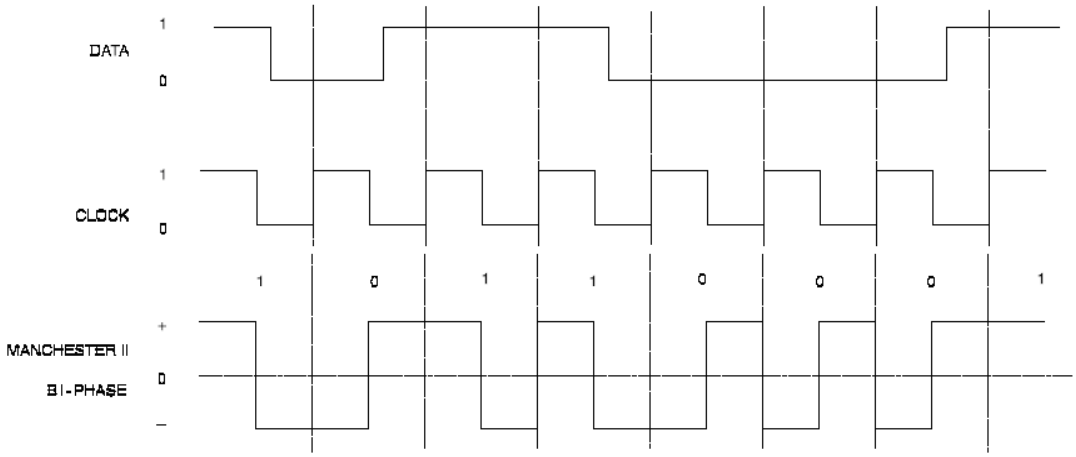


图 24-9 S698PM 中 1553B 模块数据频率编码之间的关系

24.8 应用说明

24.8.1 1Mbps 外围接口

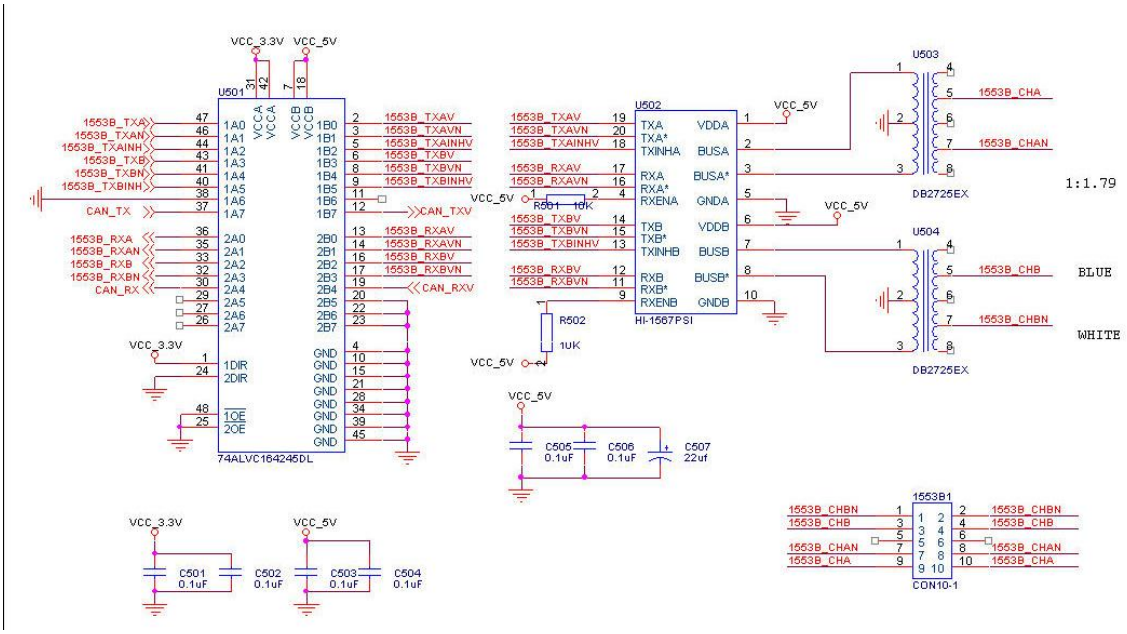


图 24-10 S698PM 中 1553B 模块 1M 外围接口原理图

S698PM 中 1553B 模块 1M 外围接口原理图主要说明 1553 总线外部接线关系。由于 S698PM 输出电平为 CMOS 电平，而 1553B 电平驱动芯片 HI-1567 芯片为 TTL 电平，中间需要通过一个电平转换芯片如 74ALVC164245DL 芯片进行电平转换。HI-1567 芯片在连接 1553B 变压器。

24.8.2 10Mbps 外围接口

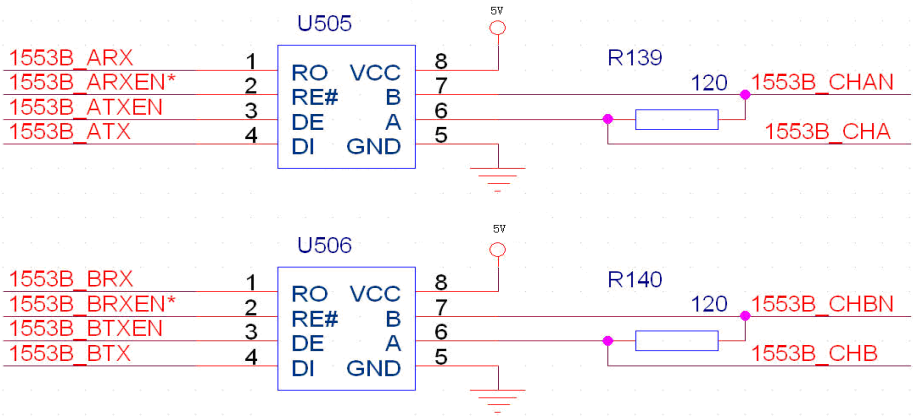


图 24-11 S698PM 中 1553B 模块 10M 接口原理图

S698PM 中 1553B 模块 10M 接口原理图主要说明 1553-10M 总线外部接线关系。通过外接 RS485 芯片（图中的 U505，U506），进行差分信号传输。1553-10M 对

外接口不接变压器。

24.8.3 BC 总线控制器应用案例

对于 BC 编程，首先要初始化相应的寄存器以及堆栈指针、消息计数器；然后定义消息的控制字、命令字等；最后启动 BC。需要注意的是 BC 控制字不会在 1553 总线上传输。BC 的消息格式通过编程 BC 控制字的最低 3 位来控制。

BC 消息帧可以通过查询和中断来进行处理。如果采用查询模式，那么可以查询配置寄存器 1、中断状态寄存器、堆栈指针和消息计数器寄存器。另外，每一条 BC 消息结束后堆栈指针加 4。在嵌入式系统软件处理中，我们应尽量采用中断方式。

流程图如图 22-11 所示。程序把 OBT1553 设置成 BC 总线控制器类型，并且设置消息类型为 BC-RT，RT-BC；一帧两条消息，第一条消息为 BC 往地址为 0，子地址为 5 发送 32 个数据；第二条消息为地址 0，子地址 4 往 BC 发送 32 个数据。

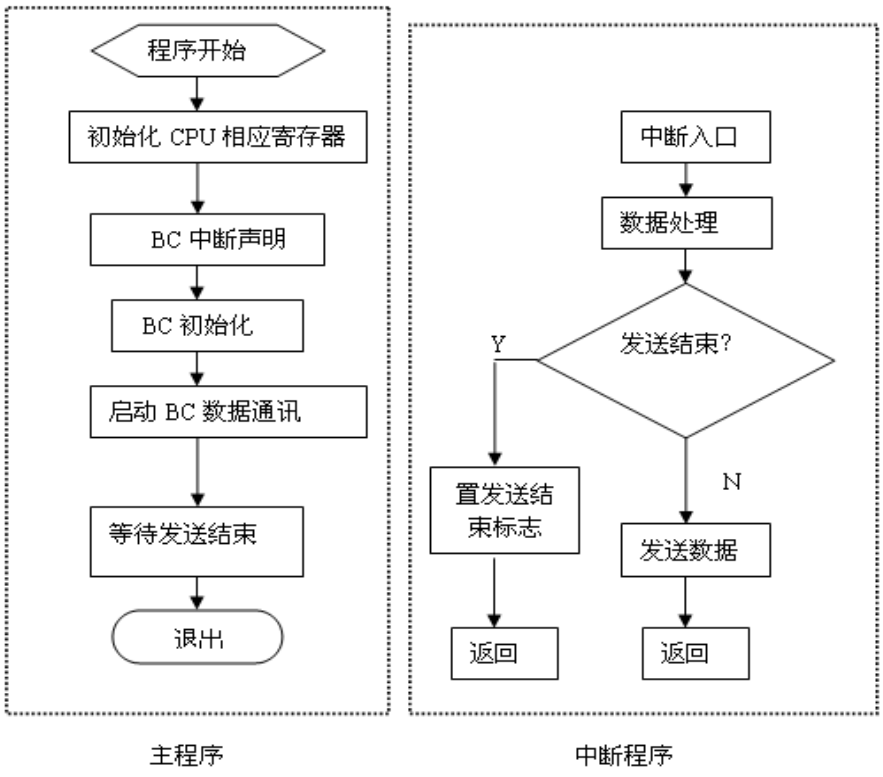


图 24-12 S698PM 中 1553B 模块 BC 程序流程图

24.8.4 RT 远程终端应用案例

对于 RT 编程，首先初始化相应的寄存器；然后设置非法区、初始化相应子地址的查询表及子地址控制字；最后设置配置寄存器 1 使设备处于 RT 模式。此后该设备就处于在线，只要 BC 发送一条消息命令与该设备相关，那么该设备就会做出反映。处理 RT 消息时，这里也有四个字的块描述符，即块状态字、时间标志字、数据块起始地址指针和接收到的 16 位命令字。与 BC 模式一样，要读取接收到的消息，我们应该首先从堆栈指针中读取当前消息的堆栈指针，来分别读出块状态字、时间标志字、上一条消息的块地址和命令字。

流程图如图 22-12 所示。程序把 OBT1553 设置成 RT 远程终端类型，并且设置消息类型为 BC-RT；BC 往 RT 地址 0，子地址为 1，MC32 发送消息，消息的数据长度为 1 个，数据为互为反码的一组数：0x0000 和 0xffff。

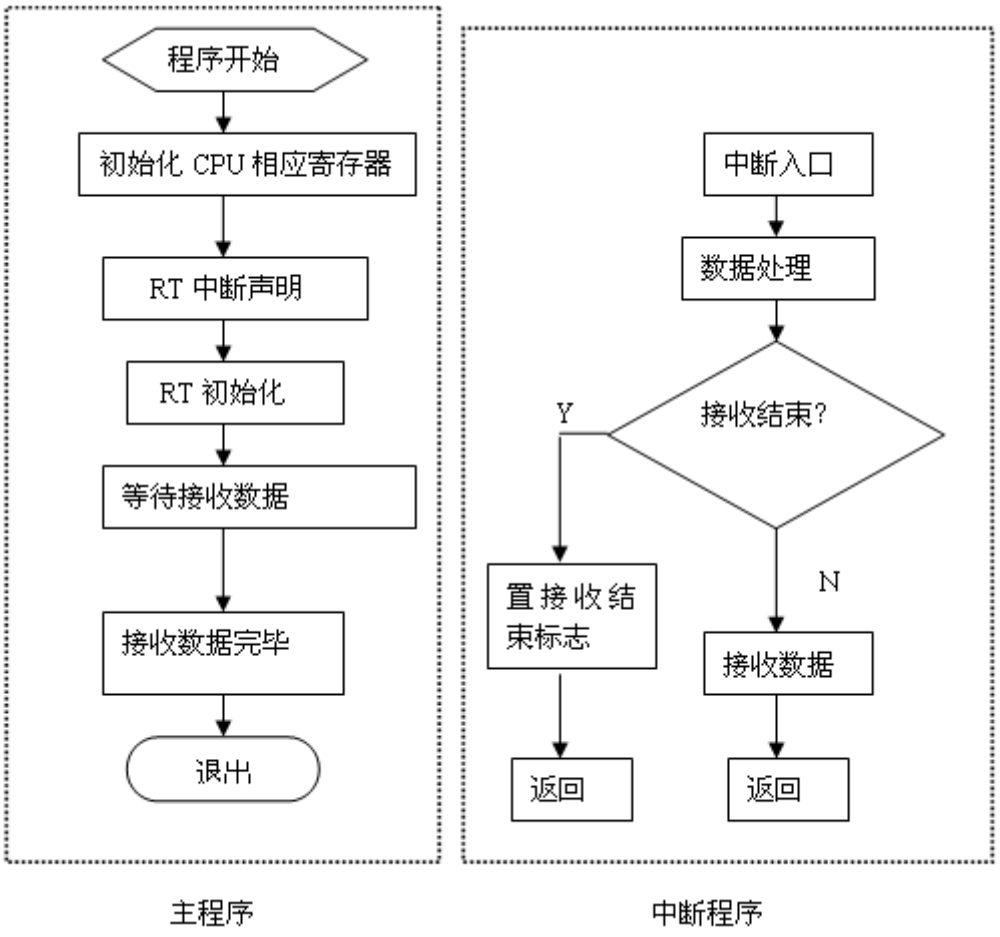


图 24-13　S698PM 中 1553B 模块 RT 程序流程图

24.8.5 BM 总线监视器应用案例

对于 BM 编程，首先初始化相应的寄存器；然后设置子地址选择设置区；最后设置启动/复位寄存器启动 BM。此后该设备就处于在线。接收到的数据里也有四个字的块描述符，即块状态字、时间标志字、数据块起始地址指针和接收到的 16 位命令字。与 RT 模式一样，要读取接收到的消息，我们应该首先从堆栈指针中读取当前消息的堆栈指针，来分别读出块状态字、时间标志字、上一条消息的块地址和命令字；从数据堆栈指针中读取接收到的数据。

流程图如图 22-13 所示。程序把 OBT1553B 设置成 BM 类型，接收消息类型 BC→RTO SA1 MC32 ，判断 BM 接收的数据是否是 BC 发送的数据。

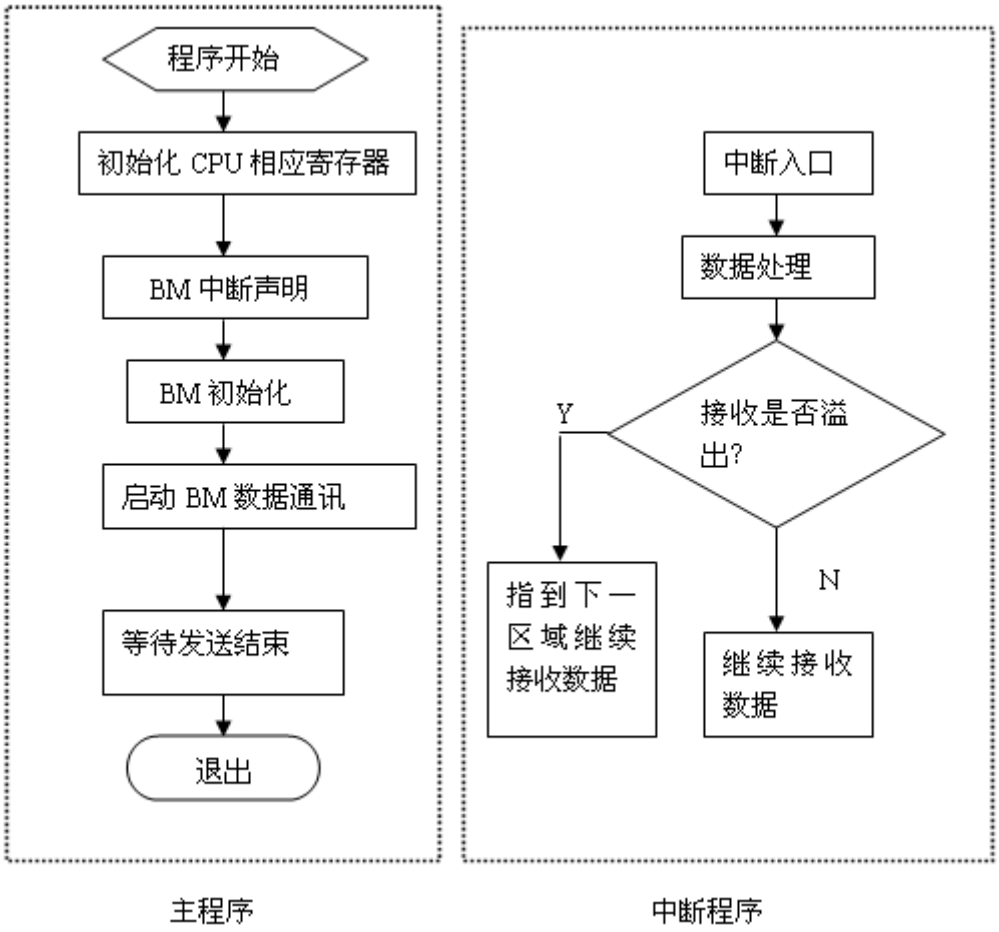


图 24-14 S698PM 中 1553B 模块 BM 程序流程图

25. 封装和信号定义

25.1 塑封球栅阵列

S698PM 芯片采用 BGA784 形式的封装，其外形尺寸如图 25-1, 25-2 所示。外形尺寸为 37.5mm*37.5mm，球间距为 1.27mm。

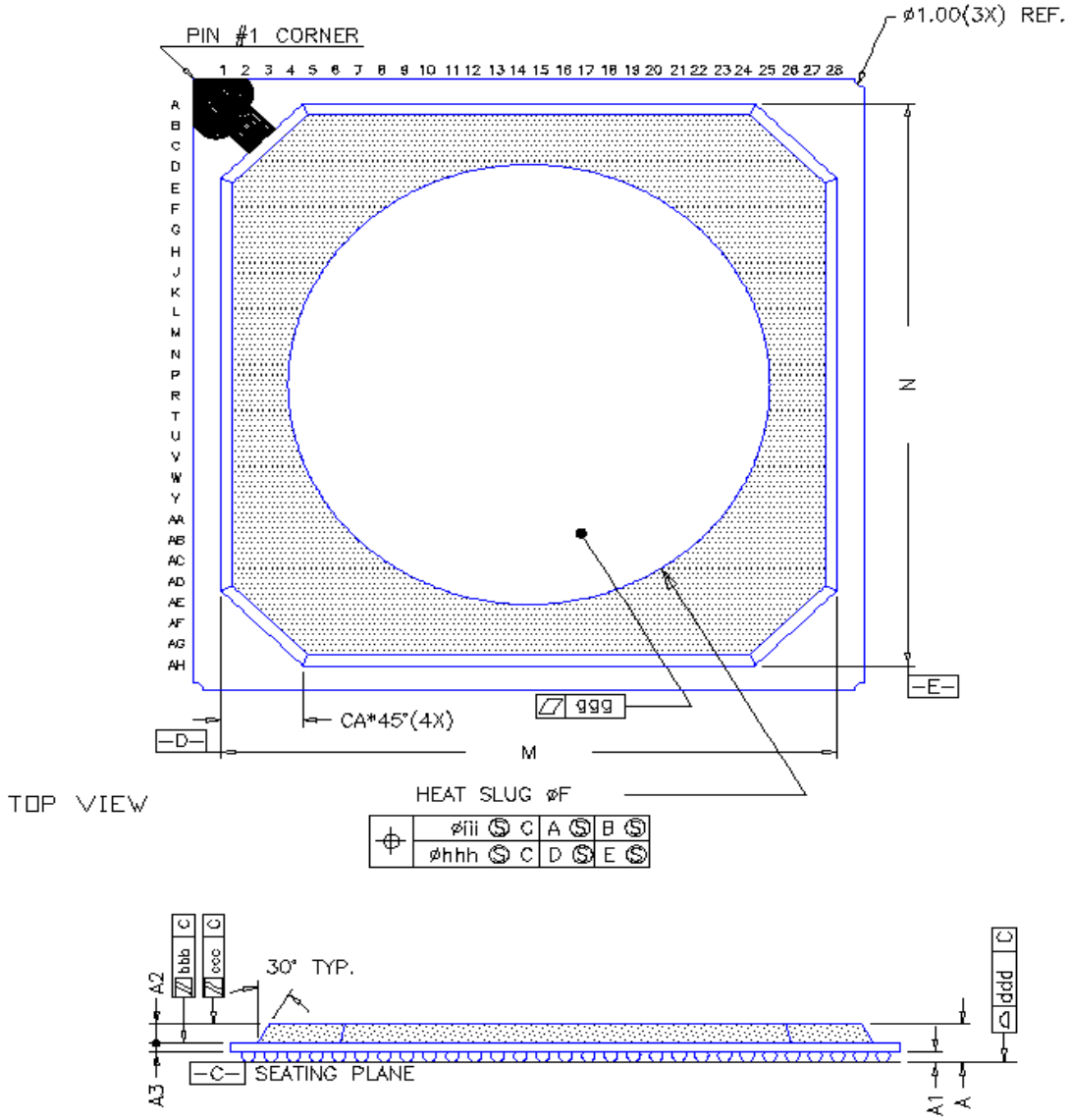


图 25-1 S698PM 芯片 BGA784 封装外形图

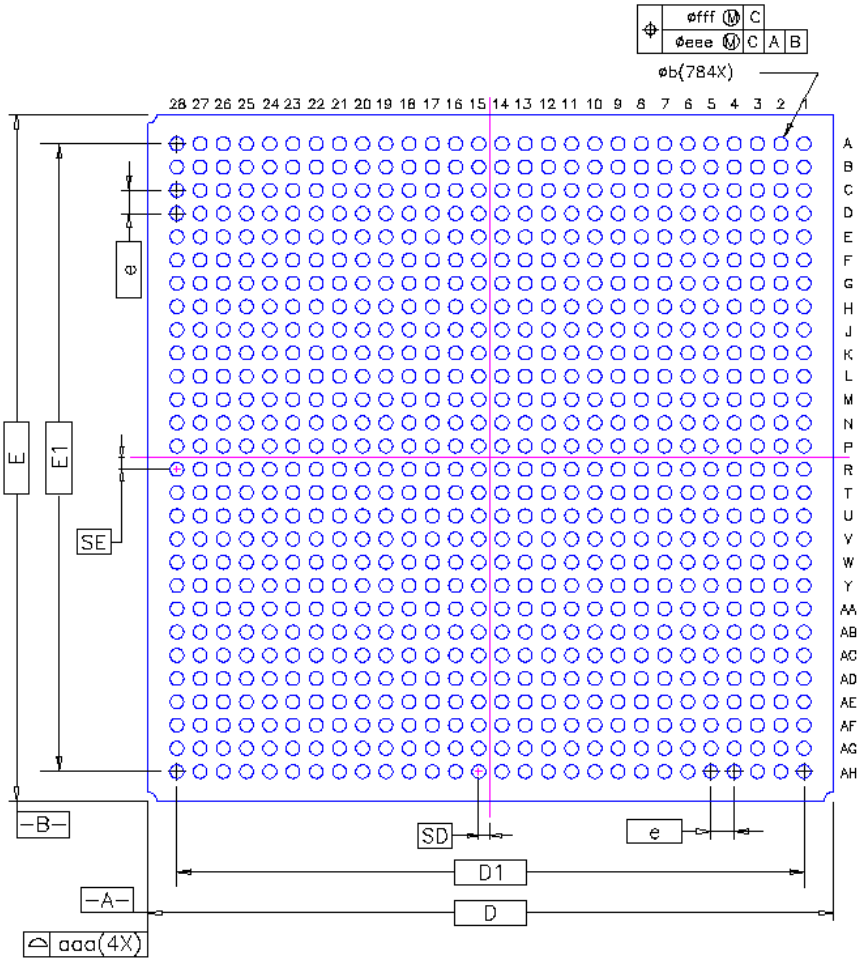


图 25-2 S698PM 芯片 BGA784 封装外形图

FOR CUSTOMER ONLY				
PACKAGE TYPE	EDHSBGA			
PIN COUNT	784			
DESCRIPTION	SYMBOL	MILLIMETER		
		MIN	NOM	MAX
TOTAL THICKNESS	A	NA	2.33	2.46
STAND OFF	A1	0.50	0.60	0.70
MOLD THICKNESS	A2	–	1.17 BSC	–
MATERIAL THICKNESS	A3	–	0.56 REF	–
PACKAGE SIZE	D	37.30	37.50	37.70
	E	37.30	37.50	37.70
MOLD AREA	M	34.40	34.50	34.60
	N	34.40	34.50	34.60
CHAMFER	CA	–	4.6 REF	–
EP SIZE	øF	26.50	27.00	27.50
	øF	26.50	27.00	27.50
BALL PITCH	e	1.27 BSC		
BALL SIZE	b	0.60	0.76	0.90
EDGE BALL CENTER TO CENTER	D1	–	34.29 BSC	–
	E1	–	34.29 BSC	–
PACKAGE EDGE PROFILE	aaa	0.20		
SUBSTRATE FLATNESS	bbb	0.25		
MOLD FLATNESS	ccc	0.25		
BALL COPLANARITY	ddd	0.20		
BALL POSITION OFFSET (PACKAGE)	eee	0.30		
BALL POSITION OFFSET (BALL)	fff	0.15		
HS FLATNESS	ggg	0.06		
HS SHIFT WITH MOLD AREA	hhh	0.50		
HS SHIFT WITH SUBSTRATE EDGE	iii	0.30		
	SD	0.635		
	SE	0.635		

图 25-3 S698PM 芯片 BGA784 封装外形图

25.1.1 塑料封装信号引脚定义

表 25-1 塑料封装信号引脚定义

#	引脚名	方向	引脚号	信号说明	有效电平

#	引脚名	方向	引脚号	信号说明	有效电平
1	ADDRESS[0]	OUT	AC9	ram&rom 的地址信号	-
2	ADDRESS[1]	OUT	AE8	ram&rom 的地址信号	-
3	ADDRESS[10]	OUT	AB11	ram&rom 的地址信号	-
4	ADDRESS[11]	OUT	AE10	ram&rom 的地址信号	-
5	ADDRESS[12]	OUT	AC11	ram&rom 的地址信号	-
6	ADDRESS[13]	OUT	AD11	ram&rom 的地址信号	-
7	ADDRESS[14]	OUT	AH10	ram&rom 的地址信号	-
8	ADDRESS[15]	OUT	AE11	ram&rom 的地址信号	-
9	ADDRESS[16]	OUT	AB12	ram&rom 的地址信号	-
10	ADDRESS[2]	OUT	AB10	ram&rom 的地址信号	-
11	ADDRESS[3]	OUT	AD9	ram&rom 的地址信号	-
12	ADDRESS[4]	OUT	AH7	ram&rom 的地址信号	-
13	ADDRESS[5]	OUT	AC10	ram&rom 的地址信号	-
14	ADDRESS[6]	OUT	AE9	ram&rom 的地址信号	-
15	ADDRESS[7]	OUT	AG8	ram&rom 的地址信号	-
16	ADDRESS[8]	OUT	AH8	ram&rom 的地址信号	-
17	ADDRESS[9]	OUT	AD10	ram&rom 的地址信号	-
18	BEXCN	IN	AF22	系统总线操作异常	L
19	BRDYN	IN	AE21	系统总线操作就绪	L
20	CAN_RX[0]	IN	K2	CAN0 接收信号	-
21	CAN_TX[0]	OUT	K1	CAN0 发送信号	-
22	CB[0]	IN/OUT	Y22	SRAM 校验数据	-
23	CB[1]	IN/OUT	AB25	SRAM 校验数据	-
24	CB[2]	IN/OUT	AA24	SRAM 校验数据	-
25	CB[3]	IN/OUT	Y23	SRAM 校验数据	-
26	CB[4]	IN/OUT	W22	SRAM 校验数据	-
27	CB[5]	IN/OUT	Y24	SRAM 校验数据	-
28	CB[6]	IN/OUT	W23	SRAM 校验数据	-
29	CB[7]	IN/OUT	V22	SRAM 校验数据	-
30	CLOCK1	IN	AH13	系统时钟输入	
31	CLOCK2	IN	AH15	spacewire 时钟	
32	DATA[0]	IN/OUT	AG15	ram&rom 的数据信号	-
33	DATA[1]	IN/OUT	AF15	ram&rom 的数据信号	-
34	DATA[10]	IN/OUT	AG17	ram&rom 的数据信号	-
35	DATA[11]	IN/OUT	AF17	ram&rom 的数据信号	-
36	DATA[12]	IN/OUT	AE17	ram&rom 的数据信号	-
37	DATA[13]	IN/OUT	AH18	ram&rom 的数据信号	-
38	DATA[14]	IN/OUT	AD17	ram&rom 的数据信号	-
39	DATA[15]	IN/OUT	AG18	ram&rom 的数据信号	-
40	DATA[16]	IN/OUT	AC17	ram&rom 的数据信号	-
41	DATA[17]	IN/OUT	AF18	ram&rom 的数据信号	-
42	DATA[18]	IN/OUT	AE18	ram&rom 的数据信号	-
43	DATA[19]	IN/OUT	AH19	ram&rom 的数据信号	-
44	DATA[2]	IN/OUT	AD15	ram&rom 的数据信号	-

#	引脚名	方向	引脚号	信号说明	有效电平
45	DATA[20]	IN/OUT	AG19	ram&rom 的数据信号	-
46	DATA[21]	IN/OUT	AD18	ram&rom 的数据信号	-
47	DATA[22]	IN/OUT	AH20	ram&rom 的数据信号	-
48	DATA[23]	IN/OUT	AF19	ram&rom 的数据信号	-
49	DATA[24]	IN/OUT	AE19	ram&rom 的数据信号	-
50	DATA[25]	IN/OUT	AG20	ram&rom 的数据信号	-
51	DATA[26]	IN/OUT	AF20	ram&rom 的数据信号	-
52	DATA[27]	IN/OUT	AD19	ram&rom 的数据信号	-
53	DATA[28]	IN/OUT	AG21	ram&rom 的数据信号	-
54	DATA[29]	IN/OUT	AE20	ram&rom 的数据信号	-
55	DATA[3]	IN/OUT	AC15	ram&rom 的数据信号	-
56	DATA[30]	IN/OUT	AD20	ram&rom 的数据信号	-
57	DATA[31]	IN/OUT	AF21	ram&rom 的数据信号	-
58	DATA[4]	IN/OUT	AH16	ram&rom 的数据信号	-
59	DATA[5]	IN/OUT	AG16	ram&rom 的数据信号	-
60	DATA[6]	IN/OUT	AF16	ram&rom 的数据信号	-
61	DATA[7]	IN/OUT	AE16	ram&rom 的数据信号	-
62	DATA[8]	IN/OUT	AD16	ram&rom 的数据信号	-
63	DATA[9]	IN/OUT	AH17	ram&rom 的数据信号	-
64	DDR_AD[0]	OUT	G22	DDR2 SDRAM 地址信号	-
65	DDR_AD[1]	OUT	F23	DDR2 SDRAM 地址信号	-
66	DDR_AD[10]	OUT	E20	DDR2 SDRAM 地址信号	-
67	DDR_AD[11]	OUT	F19	DDR2 SDRAM 地址信号	-
68	DDR_AD[12]	OUT	G18	DDR2 SDRAM 地址信号	-
69	DDR_AD[13]	OUT	F18	DDR2 SDRAM 地址信号	-
70	DDR_AD[2]	OUT	E24	DDR2 SDRAM 地址信号	-
71	DDR_AD[3]	OUT	G21	DDR2 SDRAM 地址信号	-
72	DDR_AD[4]	OUT	F22	DDR2 SDRAM 地址信号	-
73	DDR_AD[5]	OUT	E23	DDR2 SDRAM 地址信号	-
74	DDR_AD[6]	OUT	E22	DDR2 SDRAM 地址信号	-
75	DDR_AD[7]	OUT	F21	DDR2 SDRAM 地址信号	-
76	DDR_AD[8]	OUT	E21	DDR2 SDRAM 地址信号	-
77	DDR_AD[9]	OUT	F20	DDR2 SDRAM 地址信号	-
78	DDR_BA[0]	OUT	F25	DDR2 SDRAM bank 地址信号	-
79	DDR_BA[1]	OUT	F24	DDR2 SDRAM bank 地址信号	-
80	DDR_BA[2]	OUT	E25	DDR2 SDRAM bank 地址信号	-
81	DDR_CASB	OUT	L23	DDR2 SDRAM 例选通信号	H
82	DDR_CKE[0]	OUT	H22	DDR2 SDRAM 时钟使能信号	H

#	引脚名	方向	引脚号	信号说明	有效电平
83	DDR_CKE[1]	OUT	G23	DDR2 SDRAM 时钟使能信号	H
84	DDR_CLKN[0]	OUT	K22	DDR2 SDRAM 差分时钟输出信号	
85	DDR_CLKN[1]	OUT	J22	DDR2 SDRAM 差分时钟输出信号	
86	DDR_CLKP[0]	OUT	K23	DDR2 SDRAM 差分时钟输出信号	
87	DDR_CLKP[1]	OUT	J23	DDR2 SDRAM 差分时钟输出信号	
88	DDR_CSB[0]	OUT	H23	DDR2 SDRAM 片选信号	L
89	DDR_CSB[1]	OUT	G24	DDR2 SDRAM 片选信号	L
90	DDR_DM[0]	OUT	Y27	输入数据屏蔽信号	H
91	DDR_DM[1]	OUT	N28	输入数据屏蔽信号	H
92	DDR_DM[2]	OUT	H27	输入数据屏蔽信号	H
93	DDR_DM[3]	OUT	A23	输入数据屏蔽信号	H
94	DDR_DM[4]	OUT	B17	输入数据屏蔽信号	H
95	DDR_DM[5]	OUT	B11	输入数据屏蔽信号	H
96	DDR_DQ[0]	IN/OUT	AB27	DDR2 SDRAM 数据信号	-
97	DDR_DQ[1]	IN/OUT	AB28	DDR2 SDRAM 数据信号	-
98	DDR_DQ[10]	IN/OUT	R27	DDR2 SDRAM 数据信号	-
99	DDR_DQ[11]	IN/OUT	R28	DDR2 SDRAM 数据信号	-
100	DDR_DQ[12]	IN/OUT	N27	DDR2 SDRAM 数据信号	-
101	DDR_DQ[13]	IN/OUT	M28	DDR2 SDRAM 数据信号	-
102	DDR_DQ[14]	IN/OUT	M27	DDR2 SDRAM 数据信号	-
103	DDR_DQ[15]	IN/OUT	L28	DDR2 SDRAM 数据信号	-
104	DDR_DQ[16]	IN/OUT	L27	DDR2 SDRAM 数据信号	-
105	DDR_DQ[17]	IN/OUT	K28	DDR2 SDRAM 数据信号	-
106	DDR_DQ[18]	IN/OUT	K27	DDR2 SDRAM 数据信号	-
107	DDR_DQ[19]	IN/OUT	J27	DDR2 SDRAM 数据信号	-
108	DDR_DQ[2]	IN/OUT	AA27	DDR2 SDRAM 数据信号	-
109	DDR_DQ[20]	IN/OUT	G28	DDR2 SDRAM 数据信号	-
110	DDR_DQ[21]	IN/OUT	G27	DDR2 SDRAM 数据信号	-
111	DDR_DQ[22]	IN/OUT	F28	DDR2 SDRAM 数据信号	-
112	DDR_DQ[23]	IN/OUT	F27	DDR2 SDRAM 数据信号	-
113	DDR_DQ[24]	IN/OUT	B26	DDR2 SDRAM 数据信号	-
114	DDR_DQ[25]	IN/OUT	C24	DDR2 SDRAM 数据信号	-
115	DDR_DQ[26]	IN/OUT	B25	DDR2 SDRAM 数据信号	-
116	DDR_DQ[27]	IN/OUT	B24	DDR2 SDRAM 数据信号	-
117	DDR_DQ[28]	IN/OUT	B22	DDR2 SDRAM 数据信号	-
118	DDR_DQ[29]	IN/OUT	A22	DDR2 SDRAM 数据信号	-
119	DDR_DQ[3]	IN/OUT	AA28	DDR2 SDRAM 数据信号	-
120	DDR_DQ[30]	IN/OUT	B21	DDR2 SDRAM 数据信号	-
121	DDR_DQ[31]	IN/OUT	A21	DDR2 SDRAM 数据信号	-

#	引脚名	方向	引脚号	信号说明	有效电平
122	DDR_DQ[32]	IN/OUT	B20	DDR2 SDRAM 数据信号	-
123	DDR_DQ[33]	IN/OUT	A20	DDR2 SDRAM 数据信号	-
124	DDR_DQ[34]	IN/OUT	B19	DDR2 SDRAM 数据信号	-
125	DDR_DQ[35]	IN/OUT	A19	DDR2 SDRAM 数据信号	-
126	DDR_DQ[36]	IN/OUT	A17	DDR2 SDRAM 数据信号	-
127	DDR_DQ[37]	IN/OUT	B16	DDR2 SDRAM 数据信号	-
128	DDR_DQ[38]	IN/OUT	A16	DDR2 SDRAM 数据信号	-
129	DDR_DQ[39]	IN/OUT	B15	DDR2 SDRAM 数据信号	-
130	DDR_DQ[4]	IN/OUT	W27	DDR2 SDRAM 数据信号	-
131	DDR_DQ[40]	IN/OUT	A15	DDR2 SDRAM 数据信号	-
132	DDR_DQ[41]	IN/OUT	B14	DDR2 SDRAM 数据信号	-
133	DDR_DQ[42]	IN/OUT	A14	DDR2 SDRAM 数据信号	-
134	DDR_DQ[43]	IN/OUT	B13	DDR2 SDRAM 数据信号	-
135	DDR_DQ[44]	IN/OUT	A10	DDR2 SDRAM 数据信号	-
136	DDR_DQ[45]	IN/OUT	B10	DDR2 SDRAM 数据信号	-
137	DDR_DQ[46]	IN/OUT	A9	DDR2 SDRAM 数据信号	-
138	DDR_DQ[47]	IN/OUT	B9	DDR2 SDRAM 数据信号	-
139	DDR_DQ[5]	IN/OUT	V27	DDR2 SDRAM 数据信号	-
140	DDR_DQ[6]	IN/OUT	V28	DDR2 SDRAM 数据信号	-
141	DDR_DQ[7]	IN/OUT	U27	DDR2 SDRAM 数据信号	-
142	DDR_DQ[8]	IN/OUT	T27	DDR2 SDRAM 数据信号	-
143	DDR_DQ[9]	IN/OUT	T28	DDR2 SDRAM 数据信号	-
144	DDR_DQSN[0]	IN/OUT	W28	DDR2 SDRAM 数据采用信号	
145	DDR_DQSN[1]	IN/OUT	P27	DDR2 SDRAM 数据采用信号	
146	DDR_DQSN[2]	IN/OUT	H28	DDR2 SDRAM 数据采用信号	-
147	DDR_DQSN[3]	IN/OUT	A24	DDR2 SDRAM 数据采用信号	-
148	DDR_DQSN[4]	IN/OUT	A18	DDR2 SDRAM 数据采用信号	
149	DDR_DQSN[5]	IN/OUT	A11	DDR2 SDRAM 数据采用信号	
150	DDR_DQSP[0]	IN/OUT	Y28	DDR2 SDRAM 数据采用信号	
151	DDR_DQSP[1]	IN/OUT	P28	DDR2 SDRAM 数据采用信号	
152	DDR_DQSP[2]	IN/OUT	J28	DDR2 SDRAM 数据采用信号	-
153	DDR_DQSP[3]	IN/OUT	A25	DDR2 SDRAM 数据采用信号	-
154	DDR_DQSP[4]	IN/OUT	B18	DDR2 SDRAM 数据采用信号	

#	引脚名	方向	引脚号	信号说明	有效电平
155	DDR_DQSP[5]	IN/OUT	A12	DDR2 SDRAM 数据采用信号	
156	DDR_ODT[0]	OUT	H24	DDR2 SDRAM 传输中断阻抗匹配控制信号	H
157	DDR_ODT[1]	OUT	J24	DDR2 SDRAM 传输中断阻抗匹配控制信号	H
158	DDR_RASB	OUT	K24	DDR2 SDRAM 行选通信号	H
159	DDR_WEB	OUT	L22	DDR2 SDRAM 读写控制信号	-
160	DSUACT	OUT	AE22	DSU 有效状态	H
161	DSUBRE	IN	AD21	DSU Break 输入信号： 当此信号由 0 变为 1 时，将使得处理器进入调试模式； 平时情况下，需将此信号需保持低电平；	H
162	DSUEN	IN	AH25	DSU 使能信号,Debug 模式下为高，Normal 模式下为低	H
163	DSURX	IN	AB20	DSU 数据接收信号	-
164	DSUTX	OUT	AG25	DSU 数据发送信号	-
165	ERRORN	OUT	AF4	内部处理错误状态信号,该脚为漏极开路（open drain）引脚	L
166	ETH_MII_COL	IN	D1	以太网模式冲突检测信号	H
167	ETH_MII_CRS	IN	G7	以太网模式载体检测信号	H
168	ETH_MII_DV	IN	C2	以太网接收数据有效信号	H
169	ETH_MII_MDC	OUT	D2	以太网配置 PHY 时钟信号	
170	ETH_MII_MDIO	IN/OUT	C1	以太网配置 PHY 数据信号	H
171	ETH_MII_RX_CLK	IN	G4	以太网接收时钟	
172	ETH_MII_RX_ER	IN	F2	以太网接收数据错误状态信号	H
173	ETH_MII_RXD[0]	IN	B4	以太网接收数据信号	-
174	ETH_MII_RXD[1]	IN	E6	以太网接收数据信号	-
175	ETH_MII_RXD[2]	IN	B3	以太网接收数据信号	-
176	ETH_MII_RXD[3]	IN	D5	以太网接收数据信号	-
177	ETH_MII_TX_CLK	IN	G5	以太网发送时钟	
178	ETH_MII_TX_ER	OUT	F1	以太网发送数据错误状态信号	H
179	ETH_MII_TXD[0]	OUT	C7	以太网发送数据信号	-
180	ETH_MII_TXD[1]	OUT	E8	以太网发送数据信号	-
181	ETH_MII_TXD[2]	OUT	C6	以太网发送数据信号	-
182	ETH_MII_TXD[3]	OUT	D6	以太网发送数据信号	-
183	ETH_MII_TXEN	OUT	E5	以太网发送数据有效信号	H
184	GPIO[0]	IN/OUT	AD25	通用 IO 接口	-
185	GPIO[1]	IN/OUT	AB22	通用 IO 接口	-
186	GPIO[2]	IN/OUT	AC24	通用 IO 接口	-
187	GPIO[3]	IN/OUT	AC23	通用 IO 接口	-

#	引脚名		方向	引脚号	信号说明	有效电平
188	GPIO[4]		IN/OUT	AB23	通用 IO 接口	-
189	IOSN		OUT	AF7	IO 区域片选信号	L
190	JTAG_TCK		IN	AE25	JTAG 扫描时钟	
191	JTAG_TDI		IN	AD22	JTAG 扫描数据输入	-
192	JTAG_TDO		OUT	AB21	JTAG 扫描数据输出	-
193	JTAG_TMS		IN	AH26	JTAG 扫描控制信号	H
194	JTAG_TRST		IN	AD23	JTAG 扫描复位信号	L
195	M1553_CLK[0]		IN	M7	1553B 时钟输入	
196	M1553_RXA[0]		IN	L4	1553B-0 通道 A 接收信号	-
197	M1553_RXAN[0]		IN	L3	1553B-0 通道 A 接收信号	-
198	M1553_RXB[0]		IN	L2	1553B-0 通道 B 接收信号	-
199	M1553_RXBN[0]		IN	L1	1553B-0 通道 B 接收信号	-
200	M1553_TXA[0]		OUT	M5	1553B-0 通道 A 发送信号	-
201	M1553_TXA_INH[0]		OUT	M3	1553B-0 通道 A 发送禁止信号	H
202	M1553_TXAN[0]		OUT	M4	1553B-0 通道 A 发送信号	-
203	M1553_TXB[0]		OUT	M2	1553B-0 通道 B 发送信号	-
204	M1553_TXB_INH[0]		OUT	N5	1553B-0 通道 B 发送禁止信号	H
205	M1553_TXBN[0]		OUT	M1	1553B-0 通道 B 发送信号	-
206	OEN		OUT	AD7	外部存储器输出使能信号	L
207	RAMSN[0]		OUT	AG6	ram 片选信号 0	L
208	RAMSN[1]		OUT	AD8	ram 片选信号 1	L
209	READ		OUT	AF6	外部存储器读状态信号	H
210	RESETN		IN	AB7	外部复位输入信号 注：欲将系统可靠复位，需给该引脚一个宽度不低于 3 个外部时钟周期的低电平，否则，将无法保证系统被可靠复位。	L
211	RESETO		OUT	AD5	内部复位信号	
212	ROMSN[0]		OUT	AE7	rom 片选信号 0	L
213	ROMSN[1]		OUT	AB9	rom 片选信号 1	L
214	SCAN_MSEL_0		IN	K4	接地	
215	SCAN_MSEL_1		IN	L6	接地	
216	SCAN_MSEL_2		IN	K3	接地	
217	SP[0] **	pllbyps1	in	AG13	PLL1 旁路使能信号	H
		address[27]	out		ROM, SRAM, IO memory 地址信号线 addresst[27]	-
218	SP[1] **	pllbyps2	in	AF13	PLL2 旁路使能信号	H
		address[26]	out		ROM, SRAM, IO memory 地址信号线 addresst[26]	-
219	SP[2] **	pllmlt[3]	in	AE13	PLL1 倍频参数配置 bit[3]	-
		address[25]	out		ROM, SRAM, IO memory 地址信号线 addresst[25]	-
220	SP[3] **	pllmlt[2]	in	AC13	PLL1 倍频参数配置 bit[2]	-

#	引脚名		方向	引脚号	信号说明	有效电平
		address[24]	out		ROM, SRAM, IO memory 地址信号线 addresst[24]	-
221	SP[4] **	pllmlt[1]	in	AB13	PLL1 倍频参数配置 bit[1]	-
		address[23]	out		ROM, SRAM, IO memory 地址信号线 addresst[23]	-
222	SP[5] **	pllmlt[0]	in	AF12	PLL1 倍频参数配置 bit[0]	-
		address[22]	out		ROM, SRAM, IO memory 地址信号线 addresst[22]	-
223	SP[6] **	plldiv[1]	in	AE12	PLL1 分频参数配置 bit[1]	-
		address[21]	out		ROM, SRAM, IO memory 地址信号线 addresst[21]	-
224	SP[7] **	plldiv[0]	in	AH11	PLL1 分频参数配置 bit[0]	-
		address[20]	out		ROM, SRAM, IO memory 地址信号线 addresst[20]	-
225	SP[8] **	promwidth[0]	in	AD12	PROM 数据位宽选择信号 bit[0]	-
		address[19]	out		ROM, SRAM, IO memory 地址信号线 addresst[19]	-
226	SP[9] **	promwidth[1]	in	AG11	PROM 数据位宽选择信号 bit[1]	-
		address[18]	out		ROM, SRAM, IO memory 地址信号线 addresst[18]	-
227	SP[10] **	promedac_en	in	AC12	PROM EDAC 使能信号	-
		address[17]	out		ROM, SRAM, IO memory 地址信号线 addresst[17]	-
228	SP[11] **	pllmlt2[3]	in	AG14	PLL2 倍频参数配置 bit[3]	-
		gpio[63]	inout		通用输入/输出口 63	-
229	SP[12] **	pllmlt2[2]	in	AH14	PLL2 倍频参数配置 bit[2]	-
		gpio[62]	inout		通用输入/输出口 62	-
230	SP[13] **	pllmlt2[1]	in	AF14	PLL2 倍频参数配置 bit[1]	-
		gpio[61]	inout		通用输入/输出口 61	-
231	SP[14] **	pllmlt2[0]	in	AC14	PLL2 倍频参数配置 bit[0]	-
		gpio[60]	inout		通用输入/输出口 60	-
232	SP[15] **	Ddrclk_div	in	E9	Ddr_clk 频率选择，‘H’选择 Ddr_clk 是 Iuclk 的 2 分频，‘L’选择 Ddr_clk 与 Iuclk 同频	-
		EDCL_dis	in		以太网调试功能屏蔽，“1” 表示以太网接口不用做调试口	
		gpio[59]	inout		通用输入/输出口 59	-
233	SP[16] **	Usb_clk_sel	in	C8	Usb 输入时钟选择，‘H’外接晶振为 24MHz，‘L’外接晶振为	-

#	引脚名		方向	引脚号	信号说明	有效电平
					12MHz。	
		gpio[58]	inout		通用输入/输出口 58	-
234	SP[17]***	Edclip[3]	in	F10	设置以太网调试模式 IP 地址(Bit3)	-
		uart_rxd[3]	in		UART3 RX	-
		gpio[57]	inout		通用输入/输出口 57	-
235	SP[18]***	Edclip[2]	in	C9	设置以太网调试模式 IP 地址(Bit2)	-
		uart_txd[3]	out		UART3 TX	-
		gpio[56]	inout		通用输入/输出口 56	-
236	SP[19]***	Edclip[1]	in	E10	设置以太网调试模式 IP 地址(Bit1)	-
		uart_txd[2]	out		UART2 TX	-
		gpio[55]	inout		通用输入/输出口 55	-
237	SP[20]***	Edclip[0]	in	C10	设置以太网调试模式 IP 地址(Bit0)	
		uart_rxd[2]	in		UART2 RX	-
		gpio[54]	inout		通用输入/输出口 54,只作输入用，不作输出使用	-
238	SP[21]*	m1553_clk[1]	in	R6	1553B-1 时钟信号，外部输入（注：如果 m1553_clk[0]接 16MHz 时钟,则要求该引脚也接时钟信号输入，不能用作 gpio[53]功能）	
		gpio[53]	inout		通用输入/输出口 53	-
239	SP[22]*	m1553_rxa[1]	in	R3	1553B-1 通道 A 接收正端	-
		gpio[52]	inout		通用输入/输出口 52	-
240	SP[23]*	m1553_rxan[1]	in	R2	1553B-1 通道 A 接收负端	-
		gpio[51]	inout		通用输入/输出口 51	-
241	SP[24]*	m1553_rxb[1]	in	P3	1553B-1 通道 B 接收正端	-
		gpio[50]	inout		通用输入/输出口 50	-
242	SP[25]*	m1553_rxbn[1]	in	P2	1553B-1 通道 B 接收负端	-
		gpio[49]	inout		通用输入/输出口 49	-
243	SP[26]*	m1553_txa[1]	out	P4	1553B-1 通道 A 发送正端	-
		gpio[48]	inout		通用输入/输出口 48	-
244	SP[27]*	m1553_txan[1]	out	P5	1553B-1 通道 A 发送负端	-
		gpio[47]	inout		通用输入/输出口 47	-
245	SP[28]*	m1553_txa_inh[1]	out	P6	1553B-1 通道 A 发送禁止	-
		gpio[46]	inout		通用输入/输出口 46	-
246	SP[29]*	m1553_txb[1]	out	N1	1553B-1 通道 B 发送正端	-
		gpio[45]	inout		通用输入/输出口 45	-
247	SP[30]*	m1553_txbn[1]	out	N2	1553B-1 通道 B 发送负端	-
		gpio[44]	inout		通用输入/输出口 44	-
248	SP[31]*	m1553_txb_inh[1]	out	N3	1553B-1 通道 B 发送禁止	-
		gpio[43]	inout		通用输入/输出口 43	-

#	引脚名		方向	引脚号	信号说明	有效电平
249	SP[32]*	can_rx[1]	in	U6	CAN-1 接收	-
		gpio[42]	inout		通用输入/输出口 42	-
250	SP[33]*	can_tx[1]	out	U7	CAN-1 发送	-
		gpio[41]	inout		通用输入/输出口 41	-
251	SP[34]*	i2c_clk	inout	T6	I2C 时钟	-
		gpio[40]	inout		通用输入/输出口 40	-
252	SP[35]*	i2c_data	inout	U5	I2C 数据	-
		gpio[39]	inout		通用输入/输出口 39	-
253	SP[36]*	spi_clk	out	R5	SPI 时钟	-
		gpio[38]	inout		通用输入/输出口 38	-
254	SP[37]*	spi_mosi	out	T5	SPI 主出从入	-
		gpio[37]	inout		通用输入/输出口 37	-
255	SP[38]*	spi_miso	in	R7	SPI 主入从出	-
		gpio[36]	inout		通用输入/输出口 36	-
256	SP[39]*	spw_rxd[3]	in	AE4	SpaceWire-3 接收数据信号	-
		gpio[35]	inout		通用输入/输出口 35	-
257	SP[40]*	spw_rxs[3]	in	AE3	SpaceWire-3 接收数据选通信号	-
		gpio[34]	inout		通用输入/输出口 34	-
258	SP[41]*	spw_txd[3]	out	AF3	SpaceWire-3 发送数据信号	-
		gpio[33]	inout		通用输入/输出口 33	-
259	SP[42]*	spw_txs[3]	out	AB6	SpaceWire-3 发送选通信号	-
		gpio[32]	inout		通用输入/输出口 32	-
260	SP[43]*	spw_rxd[2]	in	AC5	SpaceWire-2 接收数据信号	-
		gpio[31]	inout		通用输入/输出口 31	-
261	SP[44]*	spw_rxs[2]	in	AE2	SpaceWire-2 接收数据选通信号	-
		gpio[30]	inout		通用输入/输出口 30	-
262	SP[45]*	spw_txd[2]	out	AA7	SpaceWire-2 发送数据信号	-
		gpio[29]	inout		通用输入/输出口 29	-
263	SP[46]*	spw_txs[2]	out	AD3	SpaceWire-2 发送选通信号	-
		gpio[28]	inout		通用输入/输出口 28	-
264	SP[47]*	tm_clki	in	AC4	遥测时钟输入	-
		gpio[27]	inout		通用输入/输出口 27	-
265	SP[48]*	tm_clko	out	Y7	遥测时钟输出	-
		gpio[26]	inout		通用输入/输出口 26	-
266	SP[49]*	tm_do	out	AA6	遥测数据输出	-
		gpio[25]	inout		通用输入/输出口 25	-

#	引脚名		方向	引脚号	信号说明	有效电平
267	SP[50]*	tc_act[4]	in	AA5	遥控激活输入位 4	-
		gpio[24]	inout		通用输入/输出口 24	-
268	SP[51]*	tc_act[3]	in	AB4	遥控激活输入位 3	-
		gpio[23]	inout		通用输入/输出口 23	-
269	SP[52]*	tc_act[2]	in	Y6	遥控激活输入位 2	-
		gpio[22]	inout		通用输入/输出口 22	-
270	SP[53]*	tc_act[1]	in	AC2	遥控激活输入位 1	-
		gpio[21]	inout		通用输入/输出口 22	-
271	SP[54]*	tc_act[0]	in	AA4	遥控激活输入位 0	-
		gpio[20]	inout		通用输入/输出口 20	-
272	SP[55]*	tc_clk[0]	in	AB3	遥控时钟位 0	-
		gpio[19]	inout		通用输入/输出口 19	-
273	SP[56]*	tc_clk[1]	in	AB2	遥控时钟位 1	-
		gpio[18]	inout		通用输入/输出口 18	-
274	SP[57]*	tc_clk[2]	in	W7	遥控时钟位 2	-
		gpio[17]	inout		通用输入/输出口 17	-
275	SP[58]*	tc_clk[3]	in	AA3	遥控时钟位 3	-
		gpio[16]	inout		通用输入/输出口 16	-
276	SP[59]*	tc_clk[4]	in	Y5	遥控时钟位 4	-
		gpio[15]	inout		通用输入/输出口 15	-
277	SP[60]*	tc_data[0]	in	AB1	遥控数据位 0	-
		gpio[14]	inout		通用输入/输出口 14	-
278	SP[61]*	tc_data[1]	in	W6	遥控数据位 1	-
		gpio[13]	inout		通用输入/输出口 13	-
279	SP[62]*	tc_data[2]	in	V7	遥控数据位 2	-
		gpio[12]	inout		通用输入/输出口 12	-
280	SP[63]*	tc_data[3]	in	Y4	遥控数据位 3	-
		gpio[11]	inout		通用输入/输出口 11	-
281	SP[64]*	tc_data[4]	in	AA2	遥控数据位 4	-
		gpio[10]	inout		通用输入/输出口 10	-
282	SP[65]*	tc_rfavl[0]	in	W5	遥测 RF 有效位 0	-
		gpio[9]	inout		通用输入/输出口 9	-
283	SP[66]*	tc_rfavl[1]	in	Y3	遥测 RF 有效位 1	-
		gpio[8]	inout		通用输入/输出口 8	-
284	SP[67]*	tc_rfavl[2]	in	AA1	遥测 RF 有效位 2	-
		gpio[7]	inout		通用输入/输出口 7	-
285	SP[68]*	tc_rfavl[3]	in	Y2	遥测 RF 有效位 3	-
		gpio[6]	inout		通用输入/输出口 6	-
286	SP[69]*	tc_rfavl[4]	in	Y1	遥测 RF 有效位 4	-
		gpio[5]	inout		通用输入/输出口 5	-

#	引脚名	方向	引脚号	信号说明	有效电平
287	SPW_RXD_N[0]	IN	G1	spacewire0 DS 编码中接收数据差分信号	
288	SPW_RXD_N[1]	IN	H5	spacewire1 DS 编码中接收数据差分信号	
289	SPW_RXD_P[0]	IN	G2	spacewire0 DS 编码中接收数据差分信号	
290	SPW_RXD_P[1]	IN	H6	spacewire1 DS 编码中接收数据差分信号	
291	SPW_RXS_N[0]	IN	H3	spacewire0 DS 编码中接收选通差分信号	
292	SPW_RXS_N[1]	IN	J5	spacewire1 DS 编码中接收选通差分信号	
293	SPW_RXS_P[0]	IN	H4	spacewire0 DS 编码中接收选通差分信号	
294	SPW_RXS_P[1]	IN	J6	spacewire1 DS 编码中接收选通差分信号	
295	SPW_TXD_N[0]	OUT	K5	spacewire0 DS 编码中发送数据差分信号	
296	SPW_TXD_N[1]	OUT	H1	spacewire1 DS 编码中发送数据差分信号	
297	SPW_TXD_P[0]	OUT	K6	spacewire0 DS 编码中发送数据差分信号	
298	SPW_TXD_P[1]	OUT	H2	spacewire1 DS 编码中发送数据差分信号	
299	SPW_TXS_N[0]	OUT	J1	spacewire0 DS 编码中发送选通差分信号	
300	SPW_TXS_N[1]	OUT	J3	spacewire1 DS 编码中发送选通差分信号	
301	SPW_TXS_P[0]	OUT	J2	spacewire0 DS 编码中发送选通差分信号	
302	SPW_TXS_P[1]	OUT	J4	spacewire1 DS 编码中发送选通差分信号	
303	SYSCLK	OUT	AE14	系统时钟输出	
304	UART_RXD[0]	IN	AC25	UART 数据接收	-
305	UART_RXD[1]	IN	AC26	UART 数据接收	-
306	UART_TXD[0]	OUT	AB24	UART 数据发送	-
307	UART_TXD[1]	OUT	AA23	UART 数据发送	-
308	USB_DATAN	IN/OUT	V2	USB 数据差分信号	
309	USB_DATAP	IN/OUT	V1	USB 数据差分信号	
310	USB_RES	IN/OUT	T1	该引脚在悬空	
311	USB_XTALIN	IN	U3	USB 外部时钟输入，24Mhz	
312	USB_XTALOUT	OUT	U4	USB 24Mhz 时钟输出	
313	WDOGN	OUT	AB8	看门狗信号	L
314	WRITEN	OUT	AF5	外部存储器(flash、sram)读写控制信号	L

备注：

1) NC 表示此脚只能悬空，外面禁止接其它信号；

2) * 标识信号为功能复用引脚，可通过 GPREG 寄存器选择该 pin 工作在功能模块引脚或者 GPIO，详见第 11 节通用寄存器 GPREG 介绍；

3) ** 标识信号在芯片初始化阶段，作为内部模块配置信号使用，要求接 10K 欧姆的上拉或下拉电阻，初始化完成后，用作第二功能，初始化配置请参考 2.2 节“复位需预配置的外部信号”；第二功能是：Sp[10:0]用作 ROM，SRAM，IO memory 地址信号 addresst[27:17]，sp[15:11] 作为 GPIO 使用。

4) *** 标识信号在芯片初始化阶段，作为内部模块配置信号使用，要求接 10K 欧姆的上拉或下拉电阻，初始化完成后，用作第二、三功能，初始化配置请参考 2.2 节“复位需预配置的外部信号”；第二、三功能详见第 11 节通用寄存器 GPREG 介绍。

5) 所有 I/O 引脚在上电后默认为 INPUT 脚，所有多功能脚在上电后默认作 GPIO 脚。

25.1.2 塑料封装电源引脚定义

表 25-2 塑料封装电源引脚定义

#	引脚名	方向	引脚号	信号说明
1	DVDD_1	IN	V5，V6，W4，AE5，AF11，AG12	IO 电压输入，3.3V
2	DVDD_3	IN	AD14	IO 电压输入，3.3V
3	DVDD_5	IN	AC21，AC22，AE23，AE24，T22 AE26，AF27，AG22，AH23	IO 电压输入，3.3V
4	DVDD_6	IN	D7，D8，E7，F7，G10，	IO 电压输入，3.3V
5	DVDD_7	IN	C3，D3，D4	spacewire 差分 pad 驱动电压输入，2.5V
6	DVDD_8	IN	H7，J7，M6，AF1	IO 电压输入，3.3V
7	DVDD_DDR	IN	A13，A26，B8，B12，C15 C16，C17，C20，C23，C25 C26，D15，D20，D21，E19 E26，E27，F12，F13，F14 F15，F17，G15，G25，H25 J26，L25，M25，N24，N25 N26，P25，P26，R24，AC27 AE28，AF28，AG27，AG28	DDR 内部数字电压，1.8V
8	DVSS_1	IN	T3，V4，AC6，AD4，AE6，AF9	数字 IO 地
9	DVSS_3	IN	AH2，AH3，AH4	数字 IO 地
10	DVSS_5	IN	T24，U24，AA22，AB15，AB16 AB19，AF25，AG23，AH24	数字 IO 地
11	DVSS_6	IN	F8，F9，G8，G9	数字 IO 地
12	DVSS_7	IN	E4，F5，F6	spacewire 差分 pad 数字地
13	DVSS_8	IN	E1，E2，F4，G6，AG1	数字 IO 地
14	DVSS_DDR	IN	A8，B23，C18，C19，C21 C22，C28，D14，D16，D17 D18，D22，D23，D24，D28 E14，E28，F11，F16，F26 G11，G14，G16，G17，G19 G20，G26，J25，K25，K26 L26，M26，R25，R26，U28	DDR 数字地

#	引脚名	方向	引脚号	信号说明
			AD27，AD28，AE27	
15	VDD	IN	B5， B6， B7， C4， C5 C11， C12， C13， C14， D11 D12， D13， E3， E16， E17 E18， F3， G3， G12， G13 K7， L5， L7， M22， N22 P22， P23， P24， R1， R4 R22， T4， T7， V24， V26 W3， W24， W26， Y25， Y26 AA25，AA26，AB14，AB17，AB18 AB26，AC1， AC3， AC7， AC18 AC28，AD1， AD13，AF8， AF23 AH12，AH21	内部核心电压，1.0v
16	VREF_ADD	IN	A27， E15， H26	DDR 内部模拟电压，0.9v
17	VSS	IN	A1， A2， A3， A4， A5， A6， A7， A28 B1， B2， B27，B28，C27，D9， D10，D19 D25，D26，D27，E11，E12，E13，H8， H9 H10，H11，H12，H13，H14，H15，H16，H17 H18，H19，H20，H21，J8， J9， J10，J11 J12，J13，J14，J15，J16，J17，J18，J19 J20，J21，K8， K9， K10，K11，K12，K13 K14，K15，K16，K17，K18，K19，K20，K21 L8， L9， L10，L11，L12，L13，L14，L15 L16，L17，L18，L19，L20，L21，L24，M8 M9， M10，M11，M12，M13，M14，M15，M16 M17，M18，M19，M20，M21，M23，M24，N4 N6， N7， N8， N9， N10，N11，N12，N13 N14，N15，N16，N17，N18，N19，N20，N21 N23，P1， P7， P8， P9， P10，P11，P12 P13，P14，P15，P16，P17，P18，P19，P20 P21，R8， R9， R10，R11，R12，R13，R14 R15，R16，R17，R18，R19，R20，R21，R23 T8， T9， T10，T11，T12，T13，T14，T15 T16，T17，T18，T19，T20，T21，T23，T25 T26，U8， U9， U10，U11，U12，U13，U14 U15，U16，U17，U18，U19，U20，U21，U22 U23，U25，U26，V8， V9， V10，V11，V12 V13，V14，V15，V16，V17，V18，V19，V20 V21，V23，V25，W8， W9， W10，W11，W12 W13，W14，W15，W16，W17，W18，W19，W20 W21，W25，Y8， Y9， Y10，Y11，Y12，Y13 Y14，Y15，Y16，Y17，Y18，Y19，Y20，Y21 AA8，AA9，AA10，AA11，AA12，AA13，AA14 AA15，AA16，AA17，AA18，AA19，AA20，AA21 AB5， AC8， AC16，AC19，AC20，AD2， AD6 AD24，AD26，AE1， AE15，AF2， AF24，AF26 AG2， AG3， AG4， AG5， AG7， AG24，AG26 AH1， AH5， AH6， AH22，AH27，AH28	内核数字地
18	PLL1_AVDD	IN	AG9	锁相环输入电压，2.5v
19	PLL1_AVSS	IN	AG10	锁相环模拟地
20	PLL2_AVDD	IN	AH9	锁相环输入电压，2.5v
21	PLL2_AVSS	IN	AF10	锁相环模拟地
22	USB_DVDD25	IN	U2	USB 数字电压，2.5v

#	引脚名	方向	引脚号	信号说明
23	USB_AVDD25	IN	U1	USB 模拟电压，2.5v
24	USB_AVDD33	IN	W1，W2	USB 模拟电压，3.3v
25	USB_AVSS	IN	T2，V3	USB 模拟地

25.2 陶封柱栅阵列

S698PM 芯片采用 CCGA576 形式的陶封封装，其外形尺寸如图 25-4 **错误！未找到引用源。**

外形尺寸为 37.5mm*37.5mm，球间距为 1.27mm。

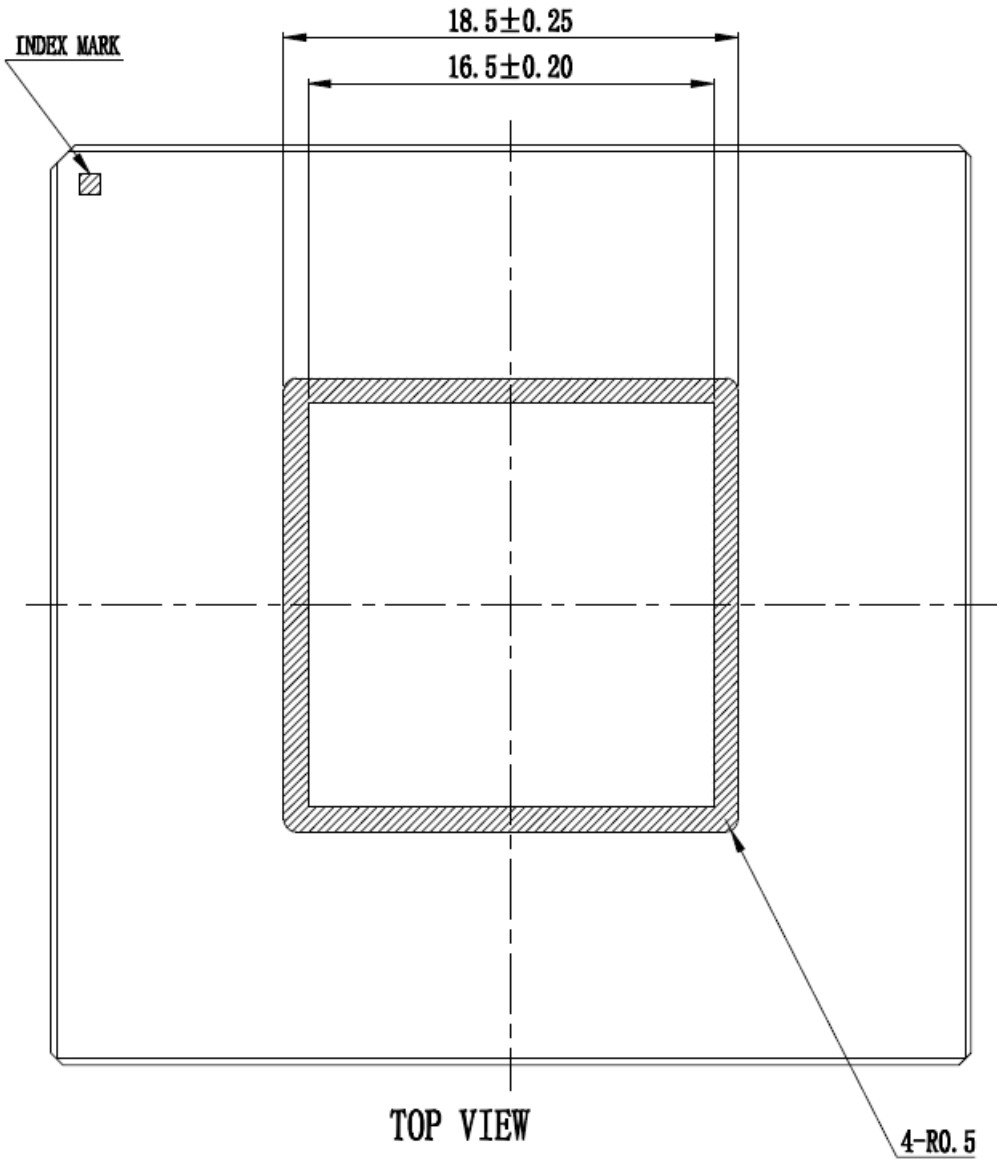


图 25-4 S698PM 芯片 CCGA576 陶封封装外形图

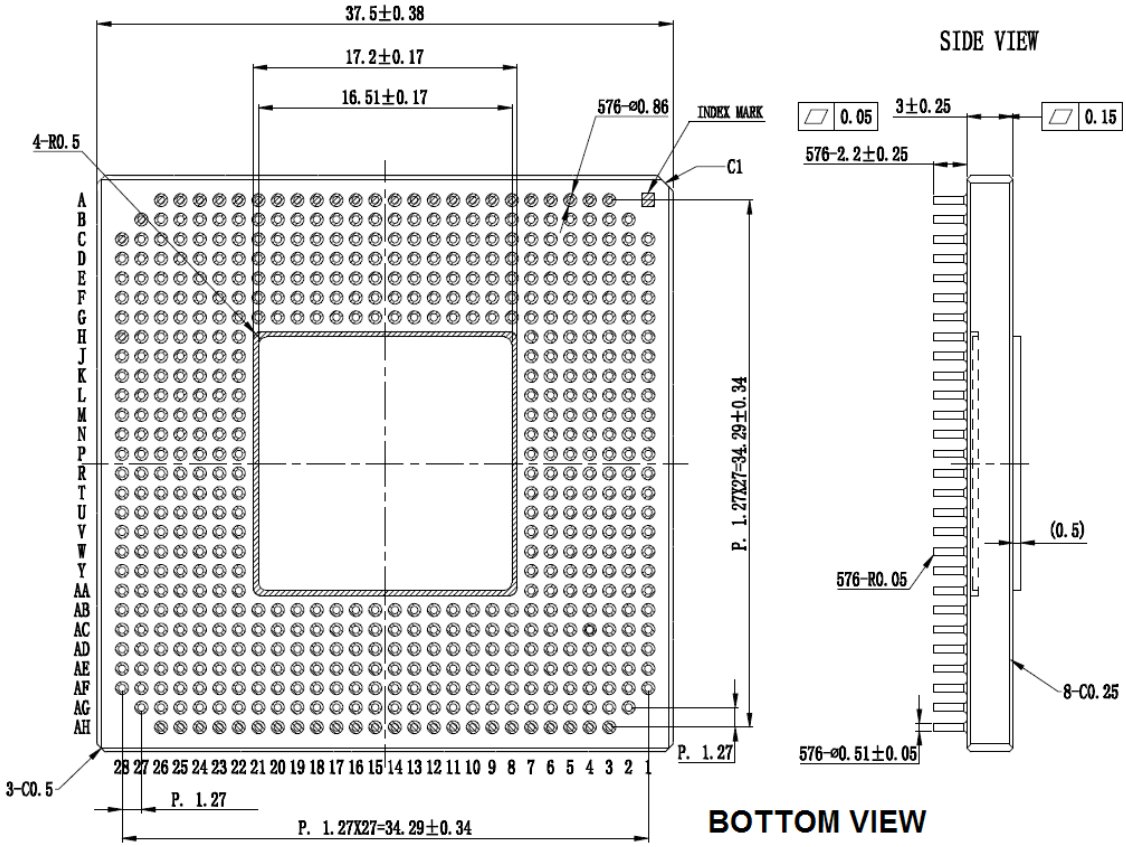


图 25-5 S698PM 芯片 CCGA576 陶封封装外形图

25.2.1 陶瓷封装信号引脚定义

表 25-3 陶瓷封装信号引脚定义

#	引脚名	方向	引脚号	信号说明	有效电平
1	ADDRESS[0]	OUT	AC20	ram&rom 的地址信号	-
2	ADDRESS[1]	OUT	AE21	ram&rom 的地址信号	-
3	ADDRESS[10]	OUT	AB18	ram&rom 的地址信号	-
4	ADDRESS[11]	OUT	AE19	ram&rom 的地址信号	-
5	ADDRESS[12]	OUT	AC18	ram&rom 的地址信号	-
6	ADDRESS[13]	OUT	AD18	ram&rom 的地址信号	-
7	ADDRESS[14]	OUT	AH19	ram&rom 的地址信号	-
8	ADDRESS[15]	OUT	AE18	ram&rom 的地址信号	-
9	ADDRESS[16]	OUT	AB17	ram&rom 的地址信号	-
10	ADDRESS[2]	OUT	AB19	ram&rom 的地址信号	-
11	ADDRESS[3]	OUT	AD20	ram&rom 的地址信号	-
12	ADDRESS[4]	OUT	AH22	ram&rom 的地址信号	-
13	ADDRESS[5]	OUT	AC19	ram&rom 的地址信号	-
14	ADDRESS[6]	OUT	AE20	ram&rom 的地址信号	-
15	ADDRESS[7]	OUT	AG21	ram&rom 的地址信号	-

#	引脚名	方向	引脚号	信号说明	有效电平
16	ADDRESS[8]	OUT	AH21	ram&rom 的地址信号	-
17	ADDRESS[9]	OUT	AD19	ram&rom 的地址信号	-
18	BEXCN	IN	AF7	系统总线操作异常	L
19	BRDYN	IN	AE8	系统总线操作就绪	L
20	CAN_RX[0]	IN	K27	CAN0 接收信号	-
21	CAN_TX[0]	OUT	K28	CAN0 发送信号	-
22	CB[0]	IN/OUT	Y7	SRAM 校验数据	-
23	CB[1]	IN/OUT	AB4	SRAM 校验数据	-
24	CB[2]	IN/OUT	AA5	SRAM 校验数据	-
25	CB[3]	IN/OUT	Y6	SRAM 校验数据	-
26	CB[4]	IN/OUT	W7	SRAM 校验数据	-
27	CB[5]	IN/OUT	Y5	SRAM 校验数据	-
28	CB[6]	IN/OUT	W6	SRAM 校验数据	-
29	CB[7]	IN/OUT	V7	SRAM 校验数据	-
30	CLOCK1	IN	AH16	系统时钟输入	
31	CLOCK2	IN	AH14	spacewire 时钟	
32	DATA[0]	IN/OUT	AG14	ram&rom 的数据信号	-
33	DATA[1]	IN/OUT	AF14	ram&rom 的数据信号	-
34	DATA[10]	IN/OUT	AG12	ram&rom 的数据信号	-
35	DATA[11]	IN/OUT	AF12	ram&rom 的数据信号	-
36	DATA[12]	IN/OUT	AE12	ram&rom 的数据信号	-
37	DATA[13]	IN/OUT	AH11	ram&rom 的数据信号	-
38	DATA[14]	IN/OUT	AD12	ram&rom 的数据信号	-
39	DATA[15]	IN/OUT	AG11	ram&rom 的数据信号	-
40	DATA[16]	IN/OUT	AC12	ram&rom 的数据信号	-
41	DATA[17]	IN/OUT	AF11	ram&rom 的数据信号	-
42	DATA[18]	IN/OUT	AE11	ram&rom 的数据信号	-
43	DATA[19]	IN/OUT	AH10	ram&rom 的数据信号	-
44	DATA[2]	IN/OUT	AD14	ram&rom 的数据信号	-
45	DATA[20]	IN/OUT	AG10	ram&rom 的数据信号	-
46	DATA[21]	IN/OUT	AD11	ram&rom 的数据信号	-
47	DATA[22]	IN/OUT	AH9	ram&rom 的数据信号	-
48	DATA[23]	IN/OUT	AF10	ram&rom 的数据信号	-
49	DATA[24]	IN/OUT	AE10	ram&rom 的数据信号	-
50	DATA[25]	IN/OUT	AG9	ram&rom 的数据信号	-
51	DATA[26]	IN/OUT	AF9	ram&rom 的数据信号	-
52	DATA[27]	IN/OUT	AD10	ram&rom 的数据信号	-
53	DATA[28]	IN/OUT	AG8	ram&rom 的数据信号	-
54	DATA[29]	IN/OUT	AE9	ram&rom 的数据信号	-
55	DATA[3]	IN/OUT	AC14	ram&rom 的数据信号	-
56	DATA[30]	IN/OUT	AD9	ram&rom 的数据信号	-
57	DATA[31]	IN/OUT	AF8	ram&rom 的数据信号	-
58	DATA[4]	IN/OUT	AH13	ram&rom 的数据信号	-
59	DATA[5]	IN/OUT	AG13	ram&rom 的数据信号	-

#	引脚名	方向	引脚号	信号说明	有效电平
60	DATA[6]	IN/OUT	AF13	ram&rom 的数据信号	-
61	DATA[7]	IN/OUT	AE13	ram&rom 的数据信号	-
62	DATA[8]	IN/OUT	AD13	ram&rom 的数据信号	-
63	DATA[9]	IN/OUT	AH12	ram&rom 的数据信号	-
64	DDR_AD[0]	OUT	G7	DDR2 SDRAM 地址信号	-
65	DDR_AD[1]	OUT	F6	DDR2 SDRAM 地址信号	-
66	DDR_AD[10]	OUT	E9	DDR2 SDRAM 地址信号	-
67	DDR_AD[11]	OUT	F10	DDR2 SDRAM 地址信号	-
68	DDR_AD[12]	OUT	G11	DDR2 SDRAM 地址信号	-
69	DDR_AD[13]	OUT	F11	DDR2 SDRAM 地址信号	-
70	DDR_AD[2]	OUT	E5	DDR2 SDRAM 地址信号	-
71	DDR_AD[3]	OUT	G8	DDR2 SDRAM 地址信号	-
72	DDR_AD[4]	OUT	F7	DDR2 SDRAM 地址信号	-
73	DDR_AD[5]	OUT	E6	DDR2 SDRAM 地址信号	-
74	DDR_AD[6]	OUT	E7	DDR2 SDRAM 地址信号	-
75	DDR_AD[7]	OUT	F8	DDR2 SDRAM 地址信号	-
76	DDR_AD[8]	OUT	E8	DDR2 SDRAM 地址信号	-
77	DDR_AD[9]	OUT	F9	DDR2 SDRAM 地址信号	-
78	DDR_BA[0]	OUT	F4	DDR2 SDRAM bank 地址信号	-
79	DDR_BA[1]	OUT	F5	DDR2 SDRAM bank 地址信号	-
80	DDR_BA[2]	OUT	E4	DDR2 SDRAM bank 地址信号	-
81	DDR_CASB	OUT	L6	DDR2 SDRAM 例选通信号	H
82	DDR_CKE[0]	OUT	H7	DDR2 SDRAM 时钟使能信号	H
83	DDR_CKE[1]	OUT	G6	DDR2 SDRAM 时钟使能信号	H
84	DDR_CLKN[0]	OUT	K7	DDR2 SDRAM 差分时钟输出信号	
85	DDR_CLKN[1]	OUT	J7	DDR2 SDRAM 差分时钟输出信号	
86	DDR_CLKP[0]	OUT	K6	DDR2 SDRAM 差分时钟输出信号	
87	DDR_CLKP[1]	OUT	J6	DDR2 SDRAM 差分时钟输出信号	
88	DDR_CSB[0]	OUT	H6	DDR2 SDRAM 片选信号	L
89	DDR_CSB[1]	OUT	G5	DDR2 SDRAM 片选信号	L
90	DDR_DM[0]	OUT	Y2	输入数据屏蔽信号	H
91	DDR_DM[1]	OUT	N1	输入数据屏蔽信号	H
92	DDR_DM[2]	OUT	H2	输入数据屏蔽信号	H
93	DDR_DM[3]	OUT	A6	输入数据屏蔽信号	H

#	引脚名	方向	引脚号	信号说明	有效电平
94	DDR_DM[4]	OUT	B12	输入数据屏蔽信号	H
95	DDR_DM[5]	OUT	B18	输入数据屏蔽信号	H
96	DDR_DQ[0]	IN/OUT	AB2	DDR2 SDRAM 数据信号	-
97	DDR_DQ[1]	IN/OUT	AB1	DDR2 SDRAM 数据信号	-
98	DDR_DQ[10]	IN/OUT	R2	DDR2 SDRAM 数据信号	-
99	DDR_DQ[11]	IN/OUT	R1	DDR2 SDRAM 数据信号	-
100	DDR_DQ[12]	IN/OUT	N2	DDR2 SDRAM 数据信号	-
101	DDR_DQ[13]	IN/OUT	M1	DDR2 SDRAM 数据信号	-
102	DDR_DQ[14]	IN/OUT	M2	DDR2 SDRAM 数据信号	-
103	DDR_DQ[15]	IN/OUT	L1	DDR2 SDRAM 数据信号	-
104	DDR_DQ[16]	IN/OUT	L2	DDR2 SDRAM 数据信号	-
105	DDR_DQ[17]	IN/OUT	K1	DDR2 SDRAM 数据信号	-
106	DDR_DQ[18]	IN/OUT	K2	DDR2 SDRAM 数据信号	-
107	DDR_DQ[19]	IN/OUT	J2	DDR2 SDRAM 数据信号	-
108	DDR_DQ[2]	IN/OUT	AA2	DDR2 SDRAM 数据信号	-
109	DDR_DQ[20]	IN/OUT	G1	DDR2 SDRAM 数据信号	-
110	DDR_DQ[21]	IN/OUT	G2	DDR2 SDRAM 数据信号	-
111	DDR_DQ[22]	IN/OUT	F1	DDR2 SDRAM 数据信号	-
112	DDR_DQ[23]	IN/OUT	F2	DDR2 SDRAM 数据信号	-
113	DDR_DQ[24]	IN/OUT	B3	DDR2 SDRAM 数据信号	-
114	DDR_DQ[25]	IN/OUT	C5	DDR2 SDRAM 数据信号	-
115	DDR_DQ[26]	IN/OUT	B4	DDR2 SDRAM 数据信号	-
116	DDR_DQ[27]	IN/OUT	B5	DDR2 SDRAM 数据信号	-
117	DDR_DQ[28]	IN/OUT	B7	DDR2 SDRAM 数据信号	-
118	DDR_DQ[29]	IN/OUT	A7	DDR2 SDRAM 数据信号	-
119	DDR_DQ[3]	IN/OUT	AA1	DDR2 SDRAM 数据信号	-
120	DDR_DQ[30]	IN/OUT	B8	DDR2 SDRAM 数据信号	-
121	DDR_DQ[31]	IN/OUT	A8	DDR2 SDRAM 数据信号	-
122	DDR_DQ[32]	IN/OUT	B9	DDR2 SDRAM 数据信号	-
123	DDR_DQ[33]	IN/OUT	A9	DDR2 SDRAM 数据信号	-
124	DDR_DQ[34]	IN/OUT	B10	DDR2 SDRAM 数据信号	-
125	DDR_DQ[35]	IN/OUT	A10	DDR2 SDRAM 数据信号	-
126	DDR_DQ[36]	IN/OUT	A12	DDR2 SDRAM 数据信号	-
127	DDR_DQ[37]	IN/OUT	B13	DDR2 SDRAM 数据信号	-
128	DDR_DQ[38]	IN/OUT	A13	DDR2 SDRAM 数据信号	-
129	DDR_DQ[39]	IN/OUT	B14	DDR2 SDRAM 数据信号	-
130	DDR_DQ[4]	IN/OUT	W2	DDR2 SDRAM 数据信号	-
131	DDR_DQ[40]	IN/OUT	A14	DDR2 SDRAM 数据信号	-
132	DDR_DQ[41]	IN/OUT	B15	DDR2 SDRAM 数据信号	-
133	DDR_DQ[42]	IN/OUT	A15	DDR2 SDRAM 数据信号	-
134	DDR_DQ[43]	IN/OUT	B16	DDR2 SDRAM 数据信号	-
135	DDR_DQ[44]	IN/OUT	A19	DDR2 SDRAM 数据信号	-
136	DDR_DQ[45]	IN/OUT	B19	DDR2 SDRAM 数据信号	-
137	DDR_DQ[46]	IN/OUT	A20	DDR2 SDRAM 数据信号	-

#	引脚名	方向	引脚号	信号说明	有效电平
138	DDR_DQ[47]	IN/OUT	B20	DDR2 SDRAM 数据信号	-
139	DDR_DQ[5]	IN/OUT	V2	DDR2 SDRAM 数据信号	-
140	DDR_DQ[6]	IN/OUT	V1	DDR2 SDRAM 数据信号	-
141	DDR_DQ[7]	IN/OUT	U2	DDR2 SDRAM 数据信号	-
142	DDR_DQ[8]	IN/OUT	T2	DDR2 SDRAM 数据信号	-
143	DDR_DQ[9]	IN/OUT	T1	DDR2 SDRAM 数据信号	-
144	DDR_DQSN[0]	IN/OUT	W1	DDR2 SDRAM 数据采用信号	
145	DDR_DQSN[1]	IN/OUT	P2	DDR2 SDRAM 数据采用信号	
146	DDR_DQSN[2]	IN/OUT	H1	DDR2 SDRAM 数据采用信号	-
147	DDR_DQSN[3]	IN/OUT	A5	DDR2 SDRAM 数据采用信号	-
148	DDR_DQSN[4]	IN/OUT	A11	DDR2 SDRAM 数据采用信号	
149	DDR_DQSN[5]	IN/OUT	A18	DDR2 SDRAM 数据采用信号	
150	DDR_DQSP[0]	IN/OUT	Y1	DDR2 SDRAM 数据采用信号	
151	DDR_DQSP[1]	IN/OUT	P1	DDR2 SDRAM 数据采用信号	
152	DDR_DQSP[2]	IN/OUT	J1	DDR2 SDRAM 数据采用信号	-
153	DDR_DQSP[3]	IN/OUT	A4	DDR2 SDRAM 数据采用信号	-
154	DDR_DQSP[4]	IN/OUT	B11	DDR2 SDRAM 数据采用信号	
155	DDR_DQSP[5]	IN/OUT	A17	DDR2 SDRAM 数据采用信号	
156	DDR_ODT[0]	OUT	H5	DDR2 SDRAM 传输中断阻抗匹配控制信号	H
157	DDR_ODT[1]	OUT	J5	DDR2 SDRAM 传输中断阻抗匹配控制信号	H
158	DDR_RASB	OUT	K5	DDR2 SDRAM 行选通信号	H
159	DDR_WEB	OUT	L7	DDR2 SDRAM 读写控制信号	-
160	DSUACT	OUT	AE7	DSU 有效状态	H
161	DSUBRE	IN	AD8	DSU Break 输入信号： 当此信号由 0 变为 1 时，将使得处理器进入调试模式； 平时情况下，需将此信号需保持低电平；	H
162	DSUEN	IN	AH4	DSU 使能信号,Debug 模式下为高，Normal 模式下为	H

#	引脚名	方向	引脚号	信号说明	有效电平
				低	
163	DSURX	IN	AB9	DSU 数据接收信号	-
164	DSUTX	OUT	AG4	DSU 数据发送信号	-
165	ERRORN	OUT	AF25	内部处理错误状态信号,该脚为漏极开路（open drain）引脚	L
166	ETH_MII_COL	IN	D28	以太网模式冲突检测信号	H
167	ETH_MII_CRS	IN	G22	以太网模式载体检测信号	H
168	ETH_MII_DV	IN	C27	以太网接收数据有效信号	H
169	ETH_MII_MDC	OUT	D27	以太网配置 PHY 时钟信号	
170	ETH_MII_MDIO	IN/OUT	C28	以太网配置 PHY 数据信号	H
171	ETH_MII_RX_CLK	IN	G25	以太网接收时钟	
172	ETH_MII_RX_ER	IN	F27	以太网接收数据错误状态信号	H
173	ETH_MII_RXD[0]	IN	B25	以太网接收数据信号	-
174	ETH_MII_RXD[1]	IN	E23	以太网接收数据信号	-
175	ETH_MII_RXD[2]	IN	B26	以太网接收数据信号	-
176	ETH_MII_RXD[3]	IN	D24	以太网接收数据信号	-
177	ETH_MII_TX_CLK	IN	G24	以太网发送时钟	
178	ETH_MII_TX_ER	OUT	F28	以太网发送数据错误状态信号	H
179	ETH_MII_TXD[0]	OUT	C22	以太网发送数据信号	-
180	ETH_MII_TXD[1]	OUT	E21	以太网发送数据信号	-
181	ETH_MII_TXD[2]	OUT	C23	以太网发送数据信号	-
182	ETH_MII_TXD[3]	OUT	D23	以太网发送数据信号	-
183	ETH_MII_TXEN	OUT	E24	以太网发送数据有效信号	H
184	GPIO[0]	IN/OUT	AD4	通用 IO 接口	-
185	GPIO[1]	IN/OUT	AB7	通用 IO 接口	-
186	GPIO[2]	IN/OUT	AC5	通用 IO 接口	-
187	GPIO[3]	IN/OUT	AC6	通用 IO 接口	-
188	GPIO[4]	IN/OUT	AB6	通用 IO 接口	-
189	IOSN	OUT	AF22	IO 区域片选信号	L
190	JTAG_TCK	IN	AE4	JTAG 扫描时钟	
191	JTAG_TDI	IN	AD7	JTAG 扫描数据输入	-
192	JTAG_TDO	OUT	AB8	JTAG 扫描数据输出	-
193	JTAG_TMS	IN	AH3	JTAG 扫描控制信号	H
194	JTAG_TRST	IN	AD6	JTAG 扫描复位信号	L
195	M1553_CLK[0]	IN	M22	1553B 时钟输入	
196	M1553_RXA[0]	IN	L25	1553B-0 通道 A 接收信号	-
197	M1553_RXAN[0]	IN	L26	1553B-0 通道 A 接收信号	-
198	M1553_RXB[0]	IN	L27	1553B-0 通道 B 接收信号	-
199	M1553_RXBN[0]	IN	L28	1553B-0 通道 B 接收信号	-
200	M1553_TXA[0]	OUT	M24	1553B-0 通道 A 发送信号	-
201	M1553_TXA_INH[0]	OUT	M26	1553B-0 通道 A 发送禁止信号	H
202	M1553_TXAN[0]	OUT	M25	1553B-0 通道 A 发送信号	-
203	M1553_TXB[0]	OUT	M27	1553B-0 通道 B 发送信号	-
204	M1553_TXB_INH[0]	OUT	N24	1553B-0 通道 B 发送禁止	H

#	引脚名		方向	引脚号	信号说明	有效电平
					信号	
205	M1553_TXBN[0]		OUT	M28	1553B-0 通道 B 发送信号	-
206	OEN		OUT	AD22	外部存储器输出使能信号	L
207	RAMSN[0]		OUT	AG23	ram 片选信号 0	L
208	RAMSN[1]		OUT	AD21	ram 片选信号 1	L
209	READ		OUT	AF23	外部存储器读状态信号	H
210	RESETN		IN	AB22	外部复位输入信号 注：欲将系统可靠复位，需给该引脚一个宽度不低于 3 个外部时钟周期的低电平，否则，将无法保证系统被可靠复位。	L
211	RESETO		OUT	AD24	内部复位信号	
212	ROMSN[0]		OUT	AE22	rom 片选信号 0	L
213	ROMSN[1]		OUT	AB20	rom 片选信号 1	L
214	SCAN_MSEL_0		IN	K25	接地	
215	SCAN_MSEL_1		IN	L23	接地	
216	SCAN_MSEL_2		IN	K26	接地	
217	SP[0] **	pllbyps1	in	AG16	PLL1 旁路使能信号	H
		address[27]	out		ROM, SRAM, IO memory 地址信号线 addresst[27]	-
218	SP[1] **	pllbyps2	in	AF16	PLL2 旁路使能信号	H
		address[26]	out		ROM, SRAM, IO memory 地址信号线 addresst[26]	-
219	SP[2] **	pllmlt[3]	in	AE16	PLL1 倍频参数配置 bit[3]	-
		address[25]	out		ROM, SRAM, IO memory 地址信号线 addresst[25]	-
220	SP[3] **	pllmlt[2]	in	AC16	PLL1 倍频参数配置 bit[2]	-
		address[24]	out		ROM, SRAM, IO memory 地址信号线 addresst[24]	-
221	SP[4] **	pllmlt[1]	in	AB16	PLL1 倍频参数配置 bit[1]	-
		address[23]	out		ROM, SRAM, IO memory 地址信号线 addresst[23]	-
222	SP[5] **	pllmlt[0]	in	AF17	PLL1 倍频参数配置 bit[0]	-
		address[22]	out		ROM, SRAM, IO memory 地址信号线 addresst[22]	-
223	SP[6] **	plldiv[1]	in	AE17	PLL1 分频参数配置 bit[1]	-
		address[21]	out		ROM, SRAM, IO memory 地址信号线 addresst[21]	-
224	SP[7] **	plldiv[0]	in	AH18	PLL1 分频参数配置 bit[0]	-
		address[20]	out		ROM, SRAM, IO memory 地址信号线 addresst[20]	-
225	SP[8] **	promwidth[0]	in	AD17	PROM 数据位宽选择信号 bit[0]	-

#	引脚名		方向	引脚号	信号说明	有效电平
		address[19]	out		ROM, SRAM, IO memory 地址信号线 addresst[19]	-
226	SP[9] **	promwidth[1]	in	AG18	PROM 数据位宽选择信号 bit[1]	-
		address[18]	out		ROM, SRAM, IO memory 地址信号线 addresst[18]	-
227	SP[10] **	promedac_en	in	AC17	PROM EDAC 使能信号	-
		address[17]	out		ROM, SRAM, IO memory 地址信号线 addresst[17]	-
228	SP[11] **	pllmlt2[3]	in	AG15	PLL2 倍频参数配置 bit[3]	-
		gpio[63]	inout		通用输入/输出口 63	-
229	SP[12] **	pllmlt2[2]	in	AH15	PLL2 倍频参数配置 bit[2]	-
		gpio[62]	inout		通用输入/输出口 62	-
230	SP[13] **	pllmlt2[1]	in	AF15	PLL2 倍频参数配置 bit[1]	-
		gpio[61]	inout		通用输入/输出口 61	-
231	SP[14] **	pllmlt2[0]	in	AC15	PLL2 倍频参数配置 bit[0]	-
		gpio[60]	inout		通用输入/输出口 60	-
232	SP[15] **	Ddrclk_div	in	E20	Ddr_clk 频率选择，‘H’选择 Ddr_clk 是 Iuclk 的 2 分频，‘L’选择 Ddr_clk 与 Iuclk 同频	-
		EDCL_dis	in		以太网调试功能屏蔽，“1” 表示以太网接口不用做调试口	
		gpio[59]	inout		通用输入/输出口 59	-
233	SP[16] **	Usb_clk_sel	in	C21	Usb 输入时钟选择，‘H’外接晶振为 24MHz，‘L’外接晶振为 12MHz。	-
		gpio[58]	inout		通用输入/输出口 58	-
234	SP[17]***	Edclip[3]	in	F19	设置以太网调试模式 IP 地址(Bit3)	-
		uart_rxd[3]	in		UART3 RX	-
		gpio[57]	inout		通用输入/输出口 57	-
235	SP[18]***	Edclip[2]	in	C20	设置以太网调试模式 IP 地址(Bit2)	-
		uart_txd[3]	out		UART3 TX	-
		gpio[56]	inout		通用输入/输出口 56	-
236	SP[19]***	Edclip[1]	in	E19	设置以太网调试模式 IP 地址(Bit1)	-
		uart_txd[2]	out		UART2 TX	-
		gpio[55]	inout		通用输入/输出口 55	-
237	SP[20]***	Edclip[0]	in	C19	设置以太网调试模式 IP 地址(Bit0)	
		uart_rxd[2]	in		UART2 RX	-
		gpio[54]	inout		通用输入/输出口 54,只作	-

#	引脚名		方向	引脚号	信号说明	有效电平
					输入用，不作输出使用	
238	SP[21]*	m1553_clk[1]	in	R23	1553B-1 时钟信号，外部输入（注：如果 m1553_clk[0]接 16MHz 时钟，则要求该引脚也接时钟信号输入，不能用作 gpio[53]功能）	
		gpio[53]	inout		通用输入/输出口 53	-
239	SP[22]*	m1553_rxa[1]	in	R26	1553B-1 通道 A 接收正端	-
		gpio[52]	inout		通用输入/输出口 52	-
240	SP[23]*	m1553_rxan[1]	in	R27	1553B-1 通道 A 接收负端	-
		gpio[51]	inout		通用输入/输出口 51	-
241	SP[24]*	m1553_rxb[1]	in	P26	1553B-1 通道 B 接收正端	-
		gpio[50]	inout		通用输入/输出口 50	-
242	SP[25]*	m1553_rxbn[1]	in	P27	1553B-1 通道 B 接收负端	-
		gpio[49]	inout		通用输入/输出口 49	-
243	SP[26]*	m1553_txa[1]	out	P25	1553B-1 通道 A 发送正端	-
		gpio[48]	inout		通用输入/输出口 48	-
244	SP[27]*	m1553_txan[1]	out	P24	1553B-1 通道 A 发送负端	-
		gpio[47]	inout		通用输入/输出口 47	-
245	SP[28]*	m1553_txa_inh[1]	out	P23	1553B-1 通道 A 发送禁止	-
		gpio[46]	inout		通用输入/输出口 46	-
246	SP[29]*	m1553_txb[1]	out	N28	1553B-1 通道 B 发送正端	-
		gpio[45]	inout		通用输入/输出口 45	-
247	SP[30]*	m1553_txbn[1]	out	N27	1553B-1 通道 B 发送负端	-
		gpio[44]	inout		通用输入/输出口 44	-
248	SP[31]*	m1553_txb_inh[1]	out	N26	1553B-1 通道 B 发送禁止	-
		gpio[43]	inout		通用输入/输出口 43	-
249	SP[32]*	can_rx[1]	in	U23	CAN-1 接收	-
		gpio[42]	inout		通用输入/输出口 42	-
250	SP[33]*	can_tx[1]	out	U22	CAN-1 发送	-
		gpio[41]	inout		通用输入/输出口 41	-
251	SP[34]*	i2c_clk	inout	T23	I2C 时钟	-
		gpio[40]	inout		通用输入/输出口 40	-
252	SP[35]*	i2c_data	inout	U24	I2C 数据	-
		gpio[39]	inout		通用输入/输出口 39	-
253	SP[36]*	spi_clk	out	R24	SPI 时钟	-
		gpio[38]	inout		通用输入/输出口 38	-
254	SP[37]*	spi_mosi	out	T24	SPI 主出从入	-
		gpio[37]	inout		通用输入/输出口 37	-
255	SP[38]*	spi_miso	in	R22	SPI 主入从出	-
		gpio[36]	inout		通用输入/输出口 36	-
256	SP[39]*	spw_rxd[3]	in	AE25	SpaceWire-3 接收数据信号	-
		gpio[35]	inout		通用输入/输出口 35	-

#	引脚名		方向	引脚号	信号说明	有效电平
257	SP[40]*	spw_rxs[3]	in	AE26	SpaceWire-3 接收数据选通信号	-
		gpio[34]	inout		通用输入/输出口 34	-
258	SP[41]*	spw_txd[3]	out	AF26	SpaceWire-3 发送数据信号	-
		gpio[33]	inout		通用输入/输出口 33	-
259	SP[42]*	spw_txs[3]	out	AB23	SpaceWire-3 发送选通信号	-
		gpio[32]	inout		通用输入/输出口 32	-
260	SP[43]*	spw_rxd[2]	in	AC24	SpaceWire-2 接收数据信号	-
		gpio[31]	inout		通用输入/输出口 31	-
261	SP[44]*	spw_rxs[2]	in	AE27	SpaceWire-2 接收数据选通信号	-
		gpio[30]	inout		通用输入/输出口 30	-
262	SP[45]*	spw_txd[2]	out	AA22	SpaceWire-2 发送数据信号	-
		gpio[29]	inout		通用输入/输出口 29	-
263	SP[46]*	spw_txs[2]	out	AD26	SpaceWire-2 发送选通信号	-
		gpio[28]	inout		通用输入/输出口 28	-
264	SP[47]*	tm_clki	in	AC25	遥测时钟输入	-
		gpio[27]	inout		通用输入/输出口 27	-
265	SP[48]*	tm_clko	out	Y22	遥测时钟输出	-
		gpio[26]	inout		通用输入/输出口 26	-
266	SP[49]*	tm_do	out	AA23	遥测数据输出	-
		gpio[25]	inout		通用输入/输出口 25	-
267	SP[50]*	tc_act[4]	in	AA24	遥控激活输入位 4	-
		gpio[24]	inout		通用输入/输出口 24	-
268	SP[51]*	tc_act[3]	in	AB25	遥控激活输入位 3	-
		gpio[23]	inout		通用输入/输出口 23	-
269	SP[52]*	tc_act[2]	in	Y23	遥控激活输入位 2	-
		gpio[22]	inout		通用输入/输出口 22	-
270	SP[53]*	tc_act[1]	in	AC27	遥控激活输入位 1	-
		gpio[21]	inout		通用输入/输出口 22	-
271	SP[54]*	tc_act[0]	in	AA25	遥控激活输入位 0	-
		gpio[20]	inout		通用输入/输出口 20	-
272	SP[55]*	tc_clk[0]	in	AB26	遥控时钟位 0	-
		gpio[19]	inout		通用输入/输出口 19	-
273	SP[56]*	tc_clk[1]	in	AB27	遥控时钟位 1	-

#	引脚名		方向	引脚号	信号说明	有效电平
		gpio[18]	inout		通用输入/输出口 18	-
274	SP[57]*	tc_clk[2]	in	W22	遥控时钟位 2	-
		gpio[17]	inout		通用输入/输出口 17	-
275	SP[58]*	tc_clk[3]	in	AA26	遥控时钟位 3	-
		gpio[16]	inout		通用输入/输出口 16	-
276	SP[59]*	tc_clk[4]	in	Y24	遥控时钟位 4	-
		gpio[15]	inout		通用输入/输出口 15	-
277	SP[60]*	tc_data[0]	in	AB28	遥控数据位 0	-
		gpio[14]	inout		通用输入/输出口 14	-
278	SP[61]*	tc_data[1]	in	W23	遥控数据位 1	-
		gpio[13]	inout		通用输入/输出口 13	-
279	SP[62]*	tc_data[2]	in	V22	遥控数据位 2	-
		gpio[12]	inout		通用输入/输出口 12	-
280	SP[63]*	tc_data[3]	in	Y25	遥控数据位 3	-
		gpio[11]	inout		通用输入/输出口 11	-
281	SP[64]*	tc_data[4]	in	AA27	遥控数据位 4	-
		gpio[10]	inout		通用输入/输出口 10	-
282	SP[65]*	tc_rfavl[0]	in	W24	遥测 RF 有效位 0	-
		gpio[9]	inout		通用输入/输出口 9	-
283	SP[66]*	tc_rfavl[1]	in	Y26	遥测 RF 有效位 1	-
		gpio[8]	inout		通用输入/输出口 8	-
284	SP[67]*	tc_rfavl[2]	in	AA28	遥测 RF 有效位 2	-
		gpio[7]	inout		通用输入/输出口 7	-
285	SP[68]*	tc_rfavl[3]	in	Y27	遥测 RF 有效位 3	-
		gpio[6]	inout		通用输入/输出口 6	-
286	SP[69]*	tc_rfavl[4]	in	Y28	遥测 RF 有效位 4	-
		gpio[5]	inout		通用输入/输出口 5	-
287	SPW_RXD_N[0]		IN	G28	spacewire0 DS 编码中接收数据差分信号	
288	SPW_RXD_N[1]		IN	H24	spacewire1 DS 编码中接收数据差分信号	
289	SPW_RXD_P[0]		IN	G27	spacewire0 DS 编码中接收数据差分信号	
290	SPW_RXD_P[1]		IN	H23	spacewire1 DS 编码中接收数据差分信号	
291	SPW_RXS_N[0]		IN	H26	spacewire0 DS 编码中接收选通差分信号	
292	SPW_RXS_N[1]		IN	J24	spacewire1 DS 编码中接收选通差分信号	
293	SPW_RXS_P[0]		IN	H25	spacewire0 DS 编码中接收选通差分信号	
294	SPW_RXS_P[1]		IN	J23	spacewire1 DS 编码中接收选通差分信号	

#	引脚名	方向	引脚号	信号说明	有效电平
295	SPW_TXD_N[0]	OUT	K24	spacewire0 DS 编码中发送数据差分信号	
296	SPW_TXD_N[1]	OUT	H28	spacewire1 DS 编码中发送数据差分信号	
297	SPW_TXD_P[0]	OUT	K23	spacewire0 DS 编码中发送数据差分信号	
298	SPW_TXD_P[1]	OUT	H27	spacewire1 DS 编码中发送数据差分信号	
299	SPW_TXS_N[0]	OUT	J28	spacewire0 DS 编码中发送选通差分信号	
300	SPW_TXS_N[1]	OUT	J26	spacewire1 DS 编码中发送选通差分信号	
301	SPW_TXS_P[0]	OUT	J27	spacewire0 DS 编码中发送选通差分信号	
302	SPW_TXS_P[1]	OUT	J25	spacewire1 DS 编码中发送选通差分信号	
303	SYSCLK	OUT	AE15	系统时钟输出	
304	UART_RXD[0]	IN	AC4	UART 数据接收	-
305	UART_RXD[1]	IN	AC3	UART 数据接收	-
306	UART_TXD[0]	OUT	AB5	UART 数据发送	-
307	UART_TXD[1]	OUT	AA6	UART 数据发送	-
308	USB_DATAN	IN/OUT	V27	USB 数据差分信号	
309	USB_DATAP	IN/OUT	V28	USB 数据差分信号	
310	USB_RES	IN/OUT	T28	该引脚在悬空	
311	USB_XTALIN	IN	U26	USB 外部时钟输入，24Mhz	
312	USB_XTALOUT	OUT	U25	USB 24Mhz 时钟输出	
313	WDOGN	OUT	AB21	看门狗信号	L
314	WRITEN	OUT	AF24	外部存储器(flash、sram)读写控制信号	L

备注：

1) NC 表示此脚只能悬空，外面禁止接其它信号；

2) * 标识信号为功能复用引脚，可通过 GPREG 寄存器选择该 pin 工作在功能模块引脚或者 GPIO，详见第 11 节通用寄存器 GPREG 介绍；

3) ** 标识信号在芯片初始化阶段，作为内部模块配置信号使用，要求接 10K 欧姆的上拉或下拉电阻，初始化完成后，用作第二功能，初始化配置请参考 2.2 节“复位需预配置的外部信号”；第二功能是：Sp[10:0]用作 ROM，SRAM，IO memory 地址信号 addresst[27:17]，sp[15:11] 作为 GPIO 使用。

4) *** 标识信号在芯片初始化阶段，作为内部模块配置信号使用，要求接 10K 欧姆的上拉或下拉电阻，初始化完成后，用作第二、三功能，初始化配置请参考 2.2 节“复位需预配置的外部信号”；第二、三功能详见第 11 节通用寄存器 GPREG 介绍。

5) 所有 I/O 引脚在上电后默认为 INPUT 脚，所有多功能脚在上电后默认作 GPIO 脚。

25.2.2 陶瓷封装电源引脚定义

表 25-4 陶瓷封装电源引脚定义

#	引脚名	方向	引脚号	信号说明
1	DVDD_1	IN	V24，V23，W25，AE24，AF18，AG17	IO 电压输入，3.3V
2	DVDD_3	IN	AD15	IO 电压输入，3.3V
3	DVDD_5	IN	AC8，AC7，AE6，AE5，T7 AE3，AF2，AG7，AH6	IO 电压输入，3.3V
4	DVDD_6	IN	D22，D21，E22，F22，G19，	IO 电压输入，3.3V
5	DVDD_7	IN	C26，D26，D25	spacewire 差分 pad 驱动电压输入，2.5V
6	DVDD_8	IN	H22，J22，M23，AF28	IO 电压输入，3.3V
7	DVDD_DDR	IN	A16， A3， B21 ， B17， C14 C13， C12， C9， C6， C4 C3， D14， D9， D8， E10 E3， E2， F17， F16， F15 F14， F12， G14， G4， H4 J3， L4， M4， N5， N4 N3， P4， P3， R5， AC2 AE1， AF1， AG2	DDR 内部数字电压，1.8V
8	DVSS_1	IN	T26 ， V25 ， AC23， AD25， AE23， AF20	数字 IO 地
9	DVSS_3	IN	AH26， AH25	数字 IO 地
10	DVSS_5	IN	T5， U5， AA7，AB14， AB13 AB10， AF4， AG6， AH5	数字 IO 地
11	DVSS_6	IN	F21， F20， G21， G20	数字 IO 地
12	DVSS_7	IN	E25， F24， F23	spacewire 差分 pad 数字地
13	DVSS_8	IN	E28， E27， F25， G23	数字 IO 地
14	DVSS_DDR	IN	A21， B6， C11， C10， C8 C7， C1， D15， D13， D12 D11， D7， D6， D5， D1 E15， E1， F18， F13， F3 G18， G15，G13， G12， G10 G9， G3， J4， K4， K3 L3， M3， R4， R3， U1 AD2， AD1，AE2	DDR 数字地
15	VDD	IN	B24， B23， B22， C25， C24 C18， C17， C16， C15， D18 D17， D16， E26， E13， E12 E11， F26， G26， G17， G16 K22， L24， L22， M7， N7 P7， P6， P5， R28， R25 R7， T25， T22， V5， V3 W26，W5， W3， Y4， Y3 AA4， AA3， AB15，AB12，AB11 AB3， AC28，AC26，AC22，AC11 AC1， AD28，AD16，AF21，AF6 AH17，AH8	内部核心电压，1.0v
16	VREF_ADD	IN	E14， H3	DDR 内部模拟电压，0.9v
17	VSS	IN	A26，A25，A24，A23，A22，B27 B2， C2， D20，D19，D10，D4 D3， D2， E18，E17，E16，L5 M6， M5， N25，N23，N22，N6	内核数字地

#	引脚名	方向	引脚号	信号说明
			P28，P22，R6， T6， T4， T3 U7， U6， U4， U3， V6， V4 W4， AB24，AC21，AC13，AC10 AC9，AD27，AD23，AD5， AD3 AE28，AE14，AF27，AF5，AF3 AG27，AG26，AG25，AG24，AG22 AG5， AG3， AH24，AH23，AH7	
18	PLL1_AVDD	IN	AG20	锁相环输入电压，2.5v
19	PLL1_AVSS	IN	AG19	锁相环模拟地
20	PLL2_AVDD	IN	AH20	锁相环输入电压，2.5v
21	PLL2_AVSS	IN	AF19	锁相环模拟地
22	USB_DVDD25	IN	U27	USB 数字电压，2.5v
23	USB_AVDD25	IN	U28	USB 模拟电压，2.5v
24	USB_AVDD33	IN	W28，W27	USB 模拟电压，3.3v
25	USB_AVSS	IN	T27，V26	USB 模拟地

26. 工作条件及电气特性

表 26-1 S698PM 芯片关键参数极限范围

#	关键参数	极限范围
1	工作环境温度	-40℃ ～ +85℃（S698PM-PI） -55℃ ～ +125℃（S698PM-CMM,S698PM-CMS）
2	储存环境温度	-65℃ ～ +150℃
3	VDD 对 VSS 的电压差（VDD）	-0.5V ～ +1.32V
4	PLL1_AVDD,PLL2_AVDD 对 PLL1_AVSS,PLL2_AVSS 的电压差(VDD_25)	-0.5V ～ +2.8V
5	DVDD_1,3,5,6,8 对 DVSS_1,3,5,6,8 的电压差 USB_AVDD33 对 USB_AVSS(VDD_33)	-0.5V ～ +3.6V
6	DVDD_7 对 DVSS_7 的电压差 USB_AVDD25,USB_DVDD25 对 USB_AVSS(VDD_25)	-0.5 V ～ +2.8V
7	DVDD_DDR 对 DVSS_DDR 的电压差(VDD_18)	-0.5V ～ +2.3V
8	VREF_add 对 DVSS_DDR 的电压差(VDD_09)	-0.5V ～ +1.2V
9	SPW 差分信号引脚(VDD_25)	-0.5V ～ +3.0V
10	IO 引脚的输入电平	-0.5V ～ +5.5V
11	引脚的驱动能力	-8mA ～ +8mA
12	ESD 等级	2000VHM/200VMM/500VCDM
13	引线耐压焊接温度（T_h）	300℃（≤10s）
14	最高结点温度（T_J）	150℃/500MHz
15	耗散功率（P_D）	3.5W
16	热阻（*Rth(J-C)*）	（9.5℃/W,陶封），（7.5℃/W,塑封）

【注意】：若在实际的应用当中，S698PM 芯片的上述关键参数超出了上表中的相应范围，则很可能会造成芯片的永久性损坏。

表 26-2 S698PM 芯片直流（DC）特性参数

特性	符号	测试条件：除另有规定外 -55℃ ≤ Tc ≤125℃， 3.0V≤VDD_33≤3.6V； 0.9V≤VDD ≤1.1V； 2.3V≤VDD_25≤2.7V； 1.6V≤VDD_18≤2.0V； 0.8V≤VDD_09≤1.1V；	极限值		单位
			最小	最大	
动态内核 1.0V 电流	Idd 1/	+25℃≤ Tc ≤ +125℃ VDD_33=3.6V VDD= 1.1V VDD_25= 2.7V VDD_18= 2.0V VDD_09= 1.1V iuclk=500MHz sysclk=250MHz ddrclk=800MHz	—	2.4	A
动态 DDR 1.8V 电流	Iddrs 1/	+25℃≤ Tc ≤ +125℃ VDD_33=3.6V VDD= 1.1V VDD_25= 2.7V VDD_18= 2.0V VDD_09= 1.1V iuclk=500MHz sysclk=250MHz ddrclk=800MHz	—	800	m A
静态内核 1.0V 电流	Idds	+25℃≤ Tc ≤ +125℃ VDD_33=3.6V VDD= 1.1V VDD_25= 2.7V VDD_18= 2.0V VDD_09= 1.1V Fclk = 0MHz Fspwclk = 0MHz	—	500	mA
静态 SPW 2.5V 电流	Ispws	+25℃≤ Tc ≤ +125℃ VDD_33=3.6V VDD= 1.1V VDD_25= 2.7V VDD_18= 2.0V VDD_09= 1.1V Fclk = 0MHz Fspwclk = 0MHz	—	100	mA
静态 DDR 1.8V 电流	Iddrs	+25℃≤ Tc ≤ +125℃ VDD_33=3.6V VDD= 1.1V VDD_25= 2.7V VDD_18= 2.0V VDD_09= 1.1V Fclk = 0MHz Fspwclk = 0MHz	—	200	mA
静态 IO 3.3V 电流	Iddio	+25℃≤ Tc ≤ +125℃ VDD_33=3.6V VDD= 1.1V VDD_25= 2.7V VDD_18= 2.0V VDD_09= 1.1V	—	100	mA

特性	符号	测试条件：除另有规定外 -55℃ ≤ Tc ≤125℃， 3.0V≤VDD_33≤3.6V； 0.9V≤VDD ≤1.1V； 2.3V≤VDD_25≤2.7V； 1.6V≤VDD_18≤2.0V； 0.8V≤VDD_09≤1.1V；	极限值		单位
			最小	最大	
		Fclk = 0MHz Fspwclk = 0MHz			
输出低电平电压	VOL	IOL=1mA	—	0.6	V
输出高电平电压	VOH 4/	IOH=-1mA	2.4	—	V
输入低电平电压	VIL	2/	—	0.3 VDD_33	V
输入高电平电压	VIH	2/	0.7 VDD_33	—	V
输入低电平漏电流	IIL 3/	Vin= 0V	-10	—	μA
输入高电平漏电流	IIH 3/	Vin=3.0V	—	10	μA
三态输出高电平漏电流	IOZH 3/	VDD_33=3.6V,Vo= VDD_33	—	10	uA
三态输出低电平漏电流	IOZL 3/	VDD_33=3.6V,Vo=0V	-10	—	uA
输入电容	Cin 5/	F=1MHz,VDD_33=3.6V, VOH= VDD_33	—	12	pF
输出电容	Cio 5/	F=1MHz,VDD_33=3.6V, VOH= VDD_33	—	12	pF
短路电流	IosH 6/	VDD_33=3.6V，Vo= VDD_33	—	120	mA
短路电流	IosL 6/	VDD_33=3.6V，Vo=0V	-120	—	mA
内核工作频率	FIU	Tc=125℃	—	550	MHz
系统工作频率	FSYS	Tc=125℃	—	275	MHz

注释：

1、测量过程中，程序在DDR2 中运行，器件的4 个处理器核在运行，但是没有覆盖全部的测量模块。实际的电源电流依赖于工作和配置情况；

2、TAG_TCK、JTAG_TDI、JTAG_TMS、BEXCN、BRDYN 脚没有测试；

3、测试不是在-55 ℃温度下；

4、(ERRORN、WDOGN 脚没有测试 ；

5、设计保证，未测试；

6、作为设计的限制条件，不能确保所有输出测试，每次只能把一个输出短路，最大持续时间不超过 1 秒；

表 26-3 S698PM 芯片动态特性参数

#	特性	符号	测试条件 (VDVDD=3.3V， VVDD=1.0V)	最小值	典型值	最大值	单位
1	IU 时钟周期	t0		1.5	2	—	ns
2	复位脉宽	t1	f=10MHz	10	—	—	ns
3	PLL 建立时间	t2	f=10MHz	—	—	10^7	ns
4	输出管脚延迟时间	t3	f=10MHz	1.5	—	7	ns
5	数据管脚建立时间	t4	f=10MHz	4.5	—	—	ns
6	数据管脚保持时间	t5	f=10MHz	2	—	9	ns